

以低介電常數材料作為深紫外光微影之抗反射層研究

本文研究一種利用低介電常數材料作為深紫外光微影中底抗反射層技術，可藉由控制其覆蓋硬質單幕層之厚度，得到一性質極佳的底抗反射層，可以將來自底材的反射率降低至 1% 以下，大幅提升元件製程之可靠度。此外，本抗反射層可適用於金屬連結製程中鋁、銅、鎢、氮化鈦及氮化鉍等高度反光之基底材料。由於此抗反射材料本身是由低介電常數材料所構成，因此在微影製程中可省去再外加抗反層的步驟，並增加製程的可靠度及競爭性。

陳學禮、朱鐵吉、鄭旭君、柯富祥

一、前言

隨著積體電路 (IC) 元件密度的增加，許多半導體製程上的條件隨之改變，首當其衝的應屬微影 (microlithography) 製程。在微影製程中，為了增加解析度 (resolution)，曝光所需要的光源便逐漸由以往的 G 線 (波長 436 nm) 和 I 線 (波長 365 nm) 波長縮短至小於 250 nm 的光源，例如 KrF 雷射 (248 nm)、ArF 雷射 (193 nm) 等深紫外 (deep UV) 光光源。由於多數的高反射基材，特別是在深紫外波段

陳學禮先生為國立台灣大學光電博士，現任國家毫微米元件實驗室副研究員。

朱鐵吉先生為日本東北大學理學博士，現任國立清華大學原子科學系教授。

鄭旭君先生為國立清華大學原子科學系碩士。

柯富祥先生為國立清華大學原子科學系博士，現任國家毫微米元件實驗室副研究員。

處，其反射問題都大過可見光波段，因此其導致光阻層發生駐波效應 (standing wave effect) 和凹缺效應 (notching effect) 將會更加嚴重，使得微影程序時的圖案轉移可信度大幅降低⁽¹⁾。此外由於在此深紫外光波段，工業界生產多使用化學增幅 (chemical amplified) 型光阻，此種光阻對於微小曝光量的變化十分敏感⁽²⁾，因此，在深紫外光波段如何製作高效能的抗反射層是非常重要的⁽³⁾。

為了改善高度反光性基底在利用短波長光源進行微影時產生如上所述缺點，便有許多方法被提出，其中之一便是被工業界廣泛使用的底抗反射層 (bottom anti-reflective coating, BARC)⁽⁴⁾，它主要是用來減小光阻 / 基底界面間的反射光。

當線寬的縮小至 0.18 μm 以下，元件的工作訊號延遲 (signal delay) 主要由以往的閘極延遲 (gate delay) 變成 RC 延遲 (RC delay)，且串話干擾 (crosstalk) 現象更為嚴重。為了減少導體內連線

(interconnect) 時所造成的訊號延遲，在新一世代的半導體製程中，銅 (Cu) 導線已經被用來取代傳統的鋁 (Al) 導線，且低介電常數 (low-k) 材料也已經被廣泛用來取代傳統的介電層材料⁽⁵⁾。

有鑑於此，我們研究一種利用低介電係數材料作為底抗反射層技術，此底抗反射層由於是利用低介電係數材料所構成的，可藉由控制其覆蓋硬質罩幕層 (hard mask) 之厚度，得到一性質極佳的底抗反射層。藉由此方法來降低來自基底的反射光，以提高曝光圖案之可信度；再者，亦可達成降低 RC 延遲與串話干擾效應。

本抗反射層屬低介電常數材料，為鑲嵌結構 (damascene) 製程中為預先塗佈且不去除的一層，因此在微影製程中可省去再外加抗反射層的步驟，且在微影、蝕刻步驟後並不用去除。此外，此底抗反射層可適用於金屬連結製程中鋁、銅、鎢 (W)、氮化鈦 (TiN)、氮化鉭 (TaN) 等高度反光之基底材料。種種優點皆比傳統的底抗反射層優越許多。

二、基本原理

一道光入射在一個不連續的界面上就會產生反射，而影響反射率的因素為其光學常數與薄膜厚度。首先，讓我們考慮一道光入射於塗佈在一個高反射基材上的阻劑上的情況，如圖 1 所示；阻劑的折射率 (refractive index) 與消光係數 (extinction coefficient) 分別為 n 和 k ， D 代表阻劑厚度，吸收係數 $\alpha = 4\pi k/\lambda$ ， R_1 與 R_2 分別代表來自於空氣 / 阻劑與阻劑 / 基材界面的反射率。在光阻劑中，入射光與

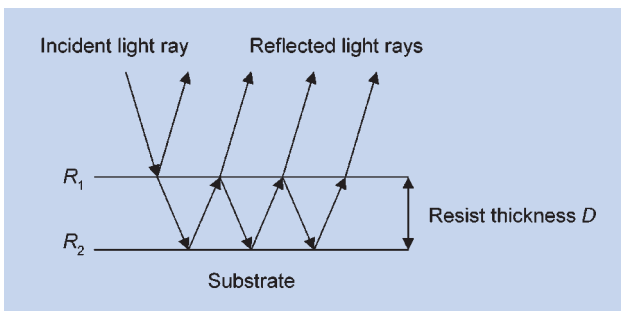


圖 1. 一道光入射於光阻劑，於空氣 / 阻劑界面與阻劑 / 基材界面之間產生多重反射示意圖。

反射光相互干涉，形成了破壞性與建設性的干涉，因此造成了阻劑中光強度分佈不均勻情況。阻劑底部光強度分佈的情況可由 etalon 理論公式表示⁽⁶⁾：

$$I_{\text{bottom}} = \frac{I_1}{1 + 2|F|\cos(\phi + \delta) + |F|^2} \cong I_1[1 - 2|F|\cos(\phi + \delta)]$$

其中 δ 為來自介面的相位移，而

$$\phi = \frac{4\pi nD}{\lambda}$$

$$I_1 = \frac{4n}{(1+n)^2} \exp(-\alpha D)$$

$$|F|^2 = R_1 R_2 \exp(-2\alpha D)$$

I_1 為入射光第一次抵達阻劑底部的強度， $|F|^2$ 為入射光在阻劑中經過一次空氣 / 阻劑與阻劑 / 基材介面的反射之後的強度， ϕ 為光經過一次空氣 / 阻劑與阻劑 / 基材介面的反射之後的相位移。因此，我們可以定義擺動率 (swing ratio; S) 為

$$S = \frac{I_1(1+2|F|) - I_1(1-2|F|)}{I_1} = 4|F|$$

$$S = 4\sqrt{R_1 R_2} \exp(-\alpha D)$$

由上式擺動率 S 可以看出，薄膜反射率隨著薄膜厚度變化呈正弦函數變化。由於反射率的變化關係到阻劑中曝光劑量的變化，所以必須將反射率儘量降低，以利於製程之線寬控制。而由上式亦可看出降低擺動率 S 的方法有下列幾種：

增加阻劑的吸收係數 α 。

以頂抗反射層降低來自於空氣 / 阻劑界面的反射率 R_1 。

以底抗反射層降低來自於阻劑 / 基材界面的反射率 R_2 。

首先，以增加阻劑的吸收係數 α 來達到降低擺動率 S 的效果似乎是最簡單的方法⁽⁷⁾。但是，這方法有相當大的負面影響，因為高吸收係數的阻劑會讓入射光無法到達阻劑底部，使得阻劑上下所受

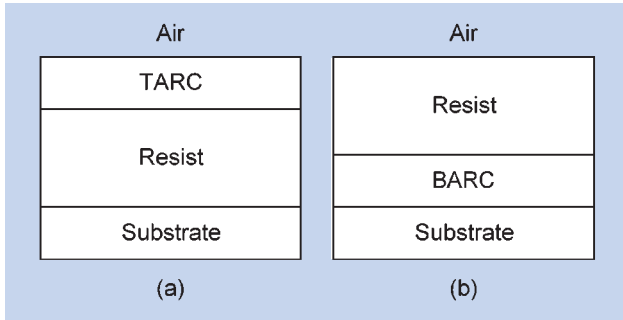


圖 2. (a) 頂抗反射層與 (b) 底抗反射層之膜層結構示意圖。

到的曝光劑量相差懸殊，底部阻劑在於顯影後殘留，而致使側壁輪廓傾斜。所以這種方法我們通常不採用。一般常用的方法為以下將詳述的兩種：頂抗反射層與底抗反射層。圖 2 為這兩種方法之膜層結構示意圖。底下將分成兩小節來做介紹。

1. 頂抗反射層設計原理

頂抗反射層 (top anti-reflective coating, TARC) 主要為降低來自於空氣 / 阻劑界面的反射率 $R_1^{(8)}$ ，其主要是利用破壞性干涉的方式來達成降低反射率的效果。先決條件是必須為弱吸收材質，且其折射率與厚度上的要求如下式所示：

$$n_{\text{TARC}} = (n_{\text{Resist}})^{1/2} \quad \text{和} \\ D_{\text{TARC}} = \frac{\lambda}{4n_{\text{TARC}}}$$

n_{TARC} 為頂抗反射層的折射率， n_{Resist} 為阻劑的折射率， D_{TARC} 為頂抗反射層的厚度， λ 為入射光的波長。

頂抗反射層設計原理相當簡單，但是材料上的選取上有較大的限制。第一，它的折射率必須是阻劑折射率的平方根，就一般常用的阻劑來看，其折射率約為 1.7 - 2.0 左右，其平方根約為 1.3 - 1.4。第二，它必須是水溶性的，因為它必須在阻劑顯影之前予以去除。第三，它必須是在使用之光波段是透明的，換句話說，在使用之光波段下它的消光係數 k 值必須很小。而上述條件在以往曝光波長較長時並非難事，但是隨著曝光光源漸漸縮短至深紫外

光波段，上述條件則越來越難達到。

頂抗反射層雖可降低擺動率 S ，改善駐波效應，但是它對於凹缺效應改善的效果並不明顯，所以在應用上有較大的限制。不過，值得一提的是，由於近來半導體業界為提高產能 (throughput)，新一代深紫外光微影的阻劑多為化學增幅型阻劑，此類阻劑除了對於微小曝光量的變化十分敏感外，在曝光後對於空氣中微量之鹼性物質亦相當敏感。因為空氣中的鹼性物質會與阻劑表面初始光酸中和，使後續之曝後烤 (post exposure bake, PEB) 的光酸驅動反應機制受制，而產生所謂正光阻的 T 型頂 (T-top) 現象。由於 TARC 可以隔絕阻劑與空氣直接接觸，因此可以防止 T 型頂現象發生，仍有許多半導體廠用於關鍵製程。

2. 底抗反射層設計原理

底抗反射層目前廣泛的應用於微影製程中⁽⁹⁾，若以成膜方式來區分可分為旋塗式薄膜與沈積式薄膜⁽¹⁰⁾。

一般而言，旋塗式底抗反射層成分多為有機材料，此利於顯影後去除。其主要是利用其高吸收性，藉由塗佈上一定厚度以上的抗反射層，來造成大部分入射光的吸收，達成抗反射的效果。但由於是利用高吸收材質，因此它與光阻劑之界面必定產生一定程度以上的反射，反射率不能降到很低的程度⁽¹¹⁾。

沈積式底抗反射層成分多為無機材料，一般多是以 CVD 沈積之 SiO_xN_y 。其主要是利用調控薄膜厚度來造成反射光的破壞性干涉，以達到效果，因此反射率將可降至非常低的程度⁽¹²⁾。

旋塗式底抗反射層具有較佳的平坦度，以及可與光阻塗佈步驟一貫化之優點。但是其厚度相較於沈積式底抗反射層要大的許多，厚度至少要上百奈米 (nanometer)，且厚度的調控亦較差，成分固定無法改變光學常數等缺點。

而沈積式底抗反射層則是具有較佳的階梯覆蓋效果，以及厚度的調控較精準、成分與光學常數均可調控之優點。但是其對於厚度變化的容忍度較小，些微的厚度變化即可造成相當大的反射率變化，以致於厚度調控必須非常精準。

一般旋塗式底抗反射層多由原光阻廠商提供，

也就是針對不同光學常數的光阻劑與底材來選用不同的底抗反射層，並且考慮製程溫度對於阻劑與底抗反射層互溶的效應；在此前提之下，旋塗式底抗反射層的發揮空間與應用場合受到相當大的限制。沈積式底抗反射層則是各個半導體廠各自依據阻劑與底材的光學常數來調控成分與厚度，在應用上具有較大的彈性空間，但是仍舊是得依據上下材料的規範。

有鑑於此，本研究主題採取兩者優點⁽¹³⁾，即利用旋塗式底抗反射層的吸收性與沈積式底抗反射層的破壞性干涉，來製作雙層底抗反射層，使抗反射效果最佳；且旋塗式底抗反射層部分以低介電常數材料來取代，沈積式底抗反射層部分則是沿用一般低介電常數材料的蝕刻罩幕層。

本結構之最大優點為微影製程後並不用加以去除，因為這就是一般鑲嵌製程中的介電層結構。再者由於是多層抗反射結構，對於各種不同底材均可適用；且反射率對於膜厚的變化容忍度亦很高，製程步驟簡化等等。

三、實驗材料及儀器設備

1. 實驗材料

FLARE 為 Allied Signal Inc. 所生產的一種有機聚合物 (organic polymer)，其主要溶劑為環己酮 (cyclohexanone; $C_6H_{10}O$; 沸點 $157^\circ C$)，玻態轉移溫度 (T_g) 約為 $450^\circ C$ ，熱穩定溫度 (thermal stability) 約 $< 400^\circ C$ ，熱膨脹係數 (coefficient of thermal expansion, CTE) 為 $61 \text{ ppm}/^\circ C$ ，介電常數為 2.84；如表 1 所示⁽¹⁴⁾。

表 1. FLARE 物質特性一覽表。

Property	Measured Value
Dielectric constant (1 kHz)	2.84
Coefficient of thermal expansion (ppm/ $^\circ C$)	61
Glass transition temperature: T_g ($^\circ C$)	450
Tensile strength (MPa)	85 ± 9
Adhesion (kpsi)	7.5
Stress (MPa)	44
Solvent	cyclohexanone or cyclopentanone

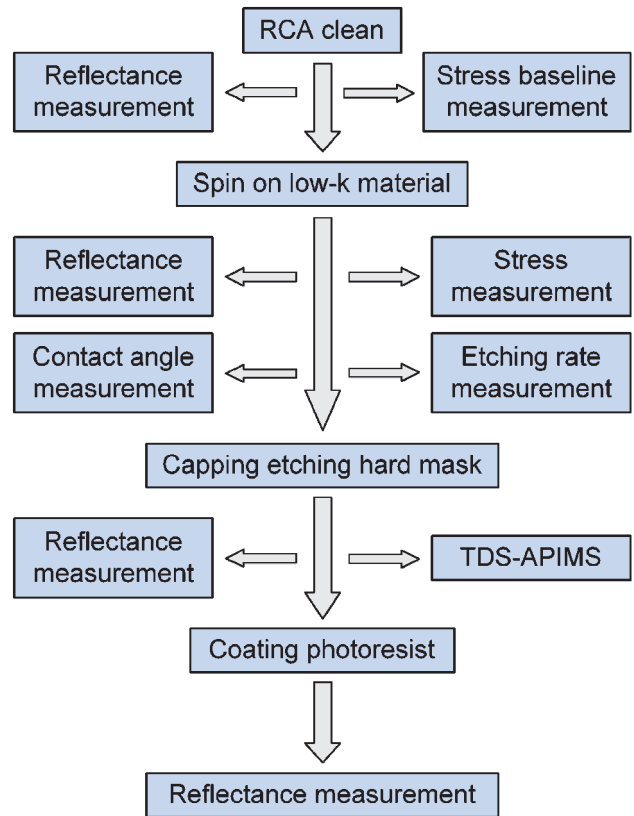


圖 3. 實驗流程圖。

2. 實驗流程之成膜方法

本實驗首先由塗低介電常數材料於清洗後的晶圓上開始，經過成膜處理，覆蓋蝕刻罩幕層後，再經由量測上光阻後的反射率始告結束。其中亦包含了一些特性量測，如圖 3 所示。

(1) 低介電常數薄膜製作

以旋塗機 (spin coater) 將液狀的低介電常數材料旋塗於清潔的晶圓表面，製程條件分別為：FLARE 以兩段轉速 $2000 \text{ rpm} / 5 \text{ s} + 1500 \text{ rpm} / 30 \text{ s}$ 旋塗後，經三階段 $150^\circ C / 1 \text{ min} + 200^\circ C / 1 \text{ min} + 300^\circ C / 1 \text{ min}$ 的 hot plate 烘烤，之後送入退火爐管做 $400^\circ C / 1 \text{ h}$ 通 N_2 $10 \text{ L}/\text{min}$ 退火處理後，自然冷卻；成膜後厚度約為 6000 \AA 。

(2) 蝕刻罩幕層的覆蓋

蝕刻罩幕層主要是以集結式電漿輔助化學氣相沈積系統 (plasma enhanced chemical vapor deposition, PECVD) 沉積的 SiO_2 與 Si_3N_4 。我們固定

成膜的條件，利用改變沈積時間來控制其厚度。其成膜條件為：SiO₂ 主要利用氣體為 TEOS 與 O₂，流量分別為 10 sccm 與 600 sccm，反應腔 (chamber) 壓力為 200 mTorr，微波功率 (RF power) 為 100 W，反應溫度為 300 °C；在此條件下成膜速率約為 1154 Å/min。Si₃N₄ 主要利用氣體為 SiH₄ 與 NH₃ 以及載氣 (carrier gas) N₂，流量分別為 20 sccm、80 sccm 與 500 sccm，反應腔壓力為 500 mTorr，微波功率為 50 W，溫度為 300 °C；在此條件下成膜速率約為 212 Å/min。

(3) 光阻劑的旋塗

本實驗用來做擺動曲線的光阻劑有兩支，一為 DHA-1000 (Dongjin Semichem Co., Ltd.)，另一為 DUV-86 (Shipley Co. Inc.)。DHA-1000 為用於 ArF 準分子雷射 (波長 193 nm) 之正型光阻劑，其軟烤 (soft bake) 條件為 110 °C / 60 s。DUV-86 則是用於 KrF 準分子雷射 (波長 248 nm) 之正型阻劑，其軟烤條件亦是 110 °C / 60 s。

3. 實驗流程之特性量測其儀器原理

本研究的重點為製作一高效能之抗反射膜層，因此反射率的量測是一大重點。此外，由於本底抗反射層兼具介電層之功能，在微影製程後並不去除，因此我們對其他一些基本性質亦做了一些量測。

(1) 光學性質的量測

在本實驗中薄膜厚度、反射率與光學常數的量

測是使用 N&K 公司所出產的 N&K analyzer 來進行，它是藉由量測薄膜的反射光譜，以 F-B 展開式 (Forouhi-Bloomer dispersion equation) 計算出 n 、 k 與厚度，再經由 n 、 k 與厚度反向計算出一條反射率的光譜線，與原來量測之反射光譜進行比對⁽¹⁵⁾。

(2) 蝕刻特性量測

本實驗以 Anelva ILD-4100 helicon wave etcher 蝕刻系統來進行低介電常數材質的蝕刻特性研究，此為乾式蝕刻之 RIE 蝕刻方法，通入氣體分依各別不同材料而定，可提供 BCl₃、Cl₂、CF₄、CHF₃、Ar、O₂、N₂、C₂F₆ 等氣體。

(3) 薄膜熱穩定性測試

熱穩定性測試採用熱脫附—大氣常壓游離質譜儀 (TDS-APIMS) 來進行實驗，儀器簡述如表 2 所示。本實驗皆採用破片 (2 × 2 cm²)，以 N₂ 作為載氣 (carrier gas)，升溫速率為 25 °C/min，加熱至 400 °C 為止。本實驗考量薄膜成分，以及質量數 16、17、18 的同質性，決定主要監測質量數為 17 (NH₃)⁽¹⁶⁾。

四、結果與討論

本抗反射層結構主要有兩層，由底下的低介電常數材料與上面覆蓋的蝕刻罩幕層所組成。本實驗所使用的低介電常數材料為 FLARE，是以旋轉塗佈方式塗佈於晶圓 (wafer) 表面，再經過爐管以充

試片尺寸	破片、六或八吋的晶片
載送氣體	N ₂ 或 Ar
加熱範圍	室溫至 800 °C
升溫速率	10 - 100 °C/min (before 500 °C), 10 - 80 °C/min (after 500 °C)
游離方式	API (atmospheric pressure ionization method)
靈敏度	S/N = 5474 (at 50 ppb O ₂ in N ₂ carrier gas)
解析度	M/ΔM = 2M
質譜掃描範圍	m/z = 3 - 400
質譜掃描速率	0.5 - 8 s/mass
雜質濃度檢測範圍	ppb - ppt
質量篩檢器	四極柱 (quadruple mass spectrometer)
真空系統	buffer chamber (10 Pa) : (1) TMP: 150 L/s (2) RP: 100 L/min analysis chamber (10 ⁻⁵ Pa) : (1) TMP: 190 L/s (2) RP: 100 L/min

表 2.

熱脫附 - 大氣常壓游離質譜儀 (TDS-APIMS) 系統簡介。

氮氣環境高溫退火處理 (curing) 後所製成。整個製程條件將影響到往後種種的薄膜特性，其中折射率、消光係數、厚度、蝕刻特性、熱穩定性 (thermal stability) 是我們比較在乎的。

另外，覆蓋在低介電常數材料上的蝕刻罩幕層則是以電漿輔助化學氣相沈積系統沈積的 SiO_2 或 Si_3N_4 ；當然，CVD 成膜的主要參數流量、溫度、壓力、微波功率、基板偏壓 (bias) 等皆會影響其品質。不過，由於此兩樣材料， SiO_2 與 Si_3N_4 ，皆為半導體製程中常見的材料，許多基礎特性研究前人已經做過，在此便不再贅述。

在此將依照抗反射層的光學特性、蝕刻性質與熱穩定性來做討論，並與模擬之結果做比較。

1. 光學特性

(1) 光學常數

薄膜光學特性的表現主要為其光學常數 (optical constants)：折射率與消光係數。以下為以 N&K analyzer 所量出的各種薄膜的 n 、 k 值。由於使用 DUV 曝光光源的緣故，所以我們較關心材料在 193 nm 與 248 nm 時的光學常數。由圖 4 可以看出 FLARE 在 248 nm 及 193 nm 之 (n , k) 分別為 (1.783, 0.374) 與 (1.622, 0.601)。

(2) 反射率

以透明的材料而言，在不同的厚度下所呈現的反射率是不同。不過，本抗反射層的主材料在工作

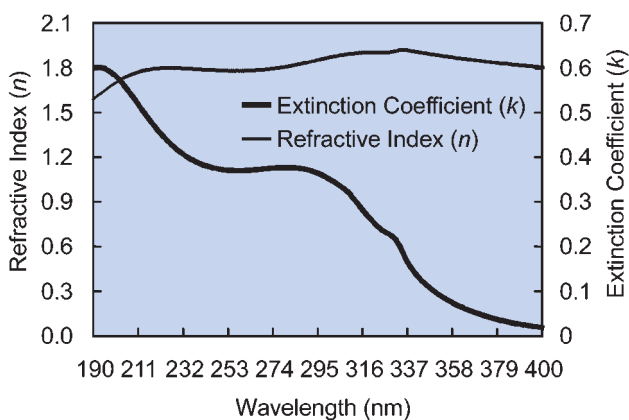


圖 4. FLARE 在 190 nm - 400 nm 波長時的折射率 (n) 與消光係數 (k)。

波段下並非完全透明，此點由 k 值可看出；且低介電常數材料在於使用上其厚度至少必須為 400 nm 以上。在此厚度時，FLARE 的反射率的變化已經不隨厚度呈週期性變化。

圖 5 可看出 248 nm 波長下，在阻劑 / low-k 材料 (FLARE) 界面所呈現之反射率對 low-k 材料厚度關係。FLARE 厚度在 200 nm 以上時，其反射率將維持一定值，並不再隨厚度增加而改變。而圖

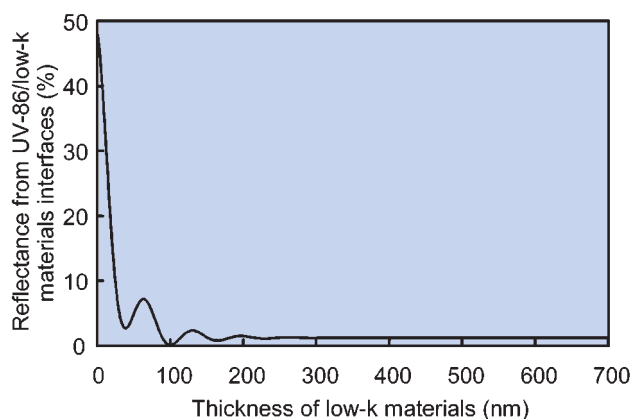


圖 5. 248 nm 波長下，在阻劑 / 低介電常數材料 (FLARE) 界面所呈現之反射率對厚度關係圖。由圖中可看出，FLARE 厚度在 200 nm 以上時，其反射率將維持一定值，並不再隨厚度增加而改變。

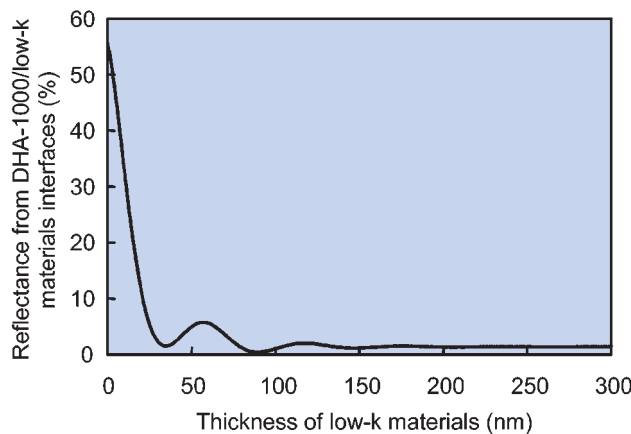


圖 6. 193 nm 波長下，在阻劑 / 低介電常數材料 (FLARE) 界面所呈現之反射率對厚度關係圖。由圖中可看出，FLARE 厚度在 200 nm 以上時，其反射率將維持一定值，並不再隨厚度增加而改變。

6 為 193 nm 波長下，在阻劑 / low-k 材料界面所呈現之反射率對 low-k 材料厚度關係圖。由圖中可看出，要反射率維持一定值，並且不再隨厚度增加而改變，則 FLARE 厚度必須在 200 nm 以上。

由於抗反射層主材料挑選得宜，對於降低來自於高反射基材的反射，已有一定成效。圖 7 為矽基板在空氣中的反射率，圖中可看到其反射率在 248 nm 及 193 nm 時分別為 66.89% 與 66.35%，而在加了厚 600 nm 的 FLARE 之後，其反射率，其在 248 nm 與 193 nm 的反射率在添加了單一層 FLARE 之後，已由原先的 66.89% 與 66.35% 降為 9.90% 與 10.05%。這一層主要效用為光吸收，其 k 值較一般傳統之沈積型底抗反射層大，並非用於做破壞性干涉用，因此，反射率並不能只靠這一層的作用就能降到很低的程度。也因此，我們在設計上添加了一

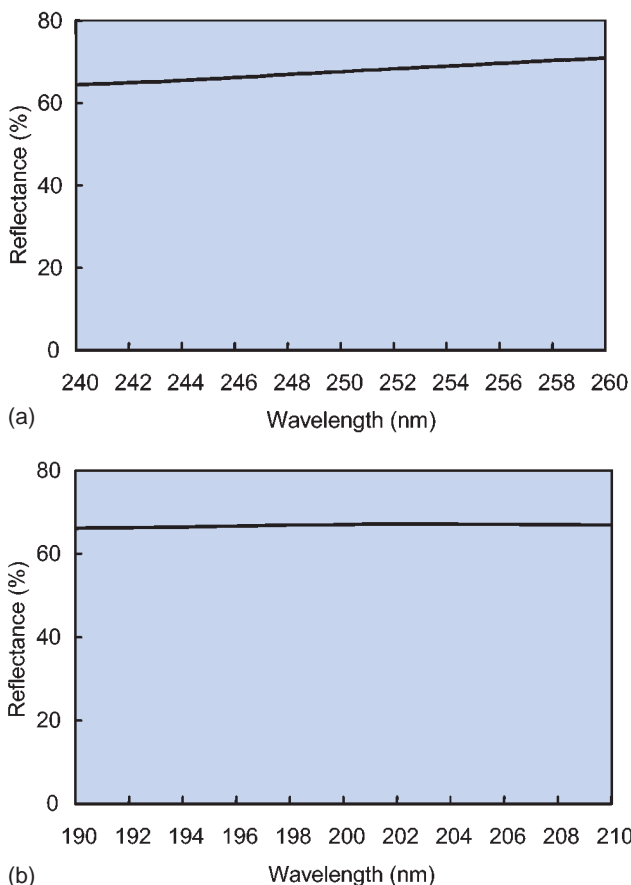


圖 7. (a) 為 bare-Si 在 248 nm 的反射率；(b) 為 bare-Si 在 193 nm 時的反射率，分別為 66.89% 與 66.35%。

層破壞性干涉層，此破壞性干涉層正好可以使用其蝕刻罩幕層來做；只要藉由調控厚度就可以達成我們的目標。

我們將在 FLARE 上覆蓋一層蝕刻罩幕層。由於干涉的結果，在同一波長下，覆蓋上不同厚度的 SiO_2 所表現出來的反射率亦是不同。因此對於欲沈積的蝕刻罩幕層的厚度，必須事先加以計算。

(3) 反射率之擺動曲線

藉由模擬軟體的運算，我們可以找到各個不同波長時所應該覆蓋的蝕刻罩幕層 (SiO_2 或 Si_3N_4) 厚度，當然，此時考慮的界面為阻劑 / 底抗反射層界面。而也可以由計算知道蝕刻罩幕層在此厚度時的底抗反射層在空氣中所呈現的反射率是多少，由此在阻劑塗佈於底抗反射層上之前，就可以藉由檢視

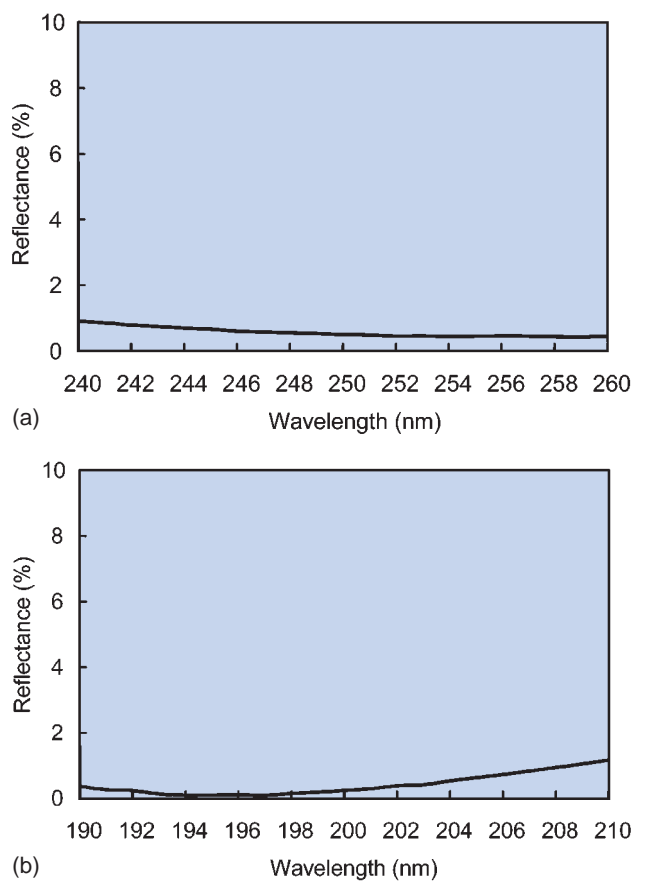


圖 8. (a) 與 (b) 分別為 FLARE 覆蓋上適當厚度蝕刻罩幕層之後，在空氣介質中 248 nm 與 193 nm 所呈現出的反射率。

底抗反射層在空氣中呈現的反射率來判斷這個底抗反射層有沒有達到我們的要求。

圖 8(a) 與 8(b) 分別為 FLARE 覆蓋上 SiO₂ 之後在空氣界質中 248 nm 與 193 nm 所呈現出的反射率，我們可以藉由蝕刻罩幕層厚度的調控，將一些高反射底材的反射率降到 1% 以下。

當一切就緒，也就是底抗反射層製作完成後，必須驗證它是否如當初所假設，因此我們想知道來自於阻劑 / 底抗反射層界面的反射率大小。不過這並無法直接量測得到，必須間接的量測來自於空氣 / 阻劑界面的反射率來判斷底抗反射層的效果。

因為在添加了底抗反射層之後，致使來自於阻劑下的反射光減少了，所以由空氣 / 阻劑界面反射出的反射光，因為沒有了干涉作用，所以其反射率擺動將比未添加底抗反射層之前要小得多。

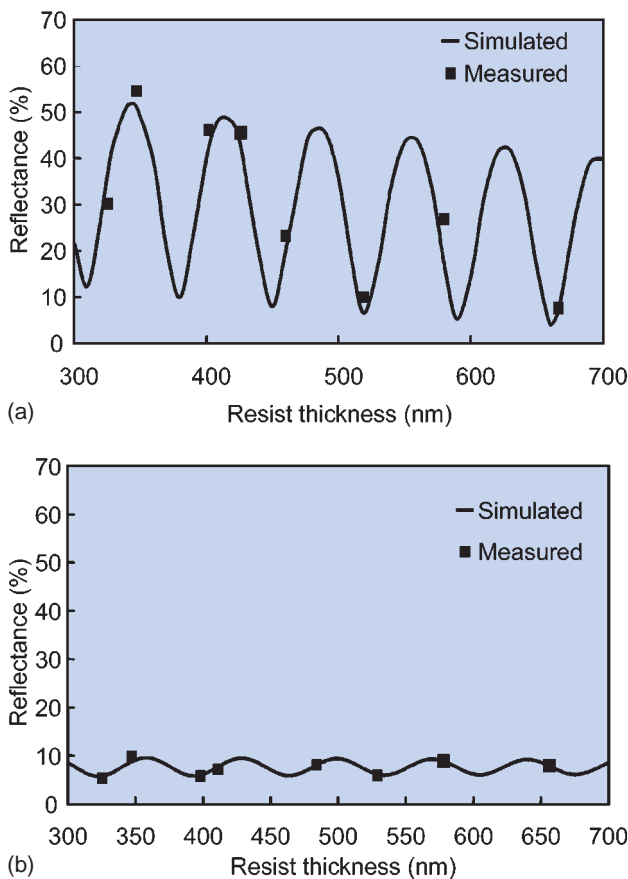


圖 9. 為波長 248 nm 下，未添加 (a) 與添加了 (b) FLARE-base 底抗反射層之後空氣 / 阻劑界面所呈現的反射率擺動曲線。

以下將分別展示以 FLARE 為主體的 BARC，覆蓋上不同厚度的 UV-86 (KrF resist) 與 DHA-1000 (ArF resist)，在 248 nm 與 193 nm 波長下所呈現反射率隨厚度的變化。

我們假設不同底材在同一轉速下阻劑的厚度均相同，也就是假設在同一轉速下，未添加底抗反射層與添加底抗反射層之底材上的阻劑厚度是相差不多的。

圖 9(a) 為未加底抗反射層前，空氣 / UV-86 界面在 248 nm 波長下所呈現反射率隨厚度的變化。在阻劑厚度 300 nm - 700 nm 之間，反射率約介於 55% - 10% 之間呈正弦函數變化。圖 10(a) 則是空氣 / DHA-1000 界面在 193 nm 波長下所呈現反射率隨厚度的變化，阻劑厚度 200 nm - 500 nm 之間，反射率約介於 45% - 5% 之間呈正弦函數變

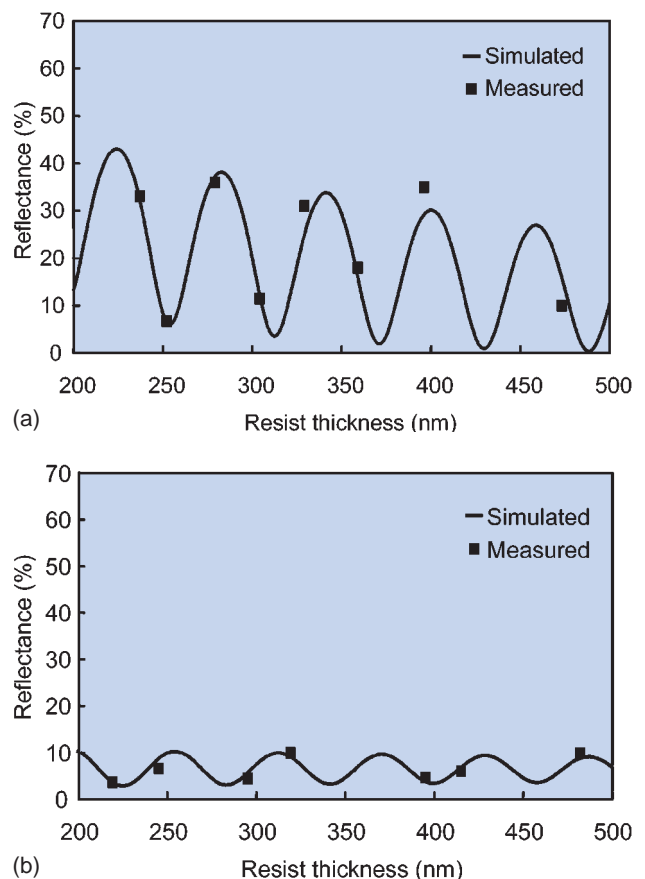


圖 10. 為波長 193 nm 下，未添加 (a) 與添加了 (b) FLARE-base 底抗反射層之後空氣 / 阻劑界面所呈現的反射率擺動曲線。

化。由圖中我們可以看到反射率隨著阻劑厚度的變化呈相當劇烈的擺動，此為來自阻劑底下的反射光與空氣 / 阻劑界面反射光相互干涉所造成的結果。這代表了阻劑 / 底材界面有著相當程度的反射，且這反射光將引起一些前述的負面效應。

以下分別以 FLARE 為主體、 SiO_2 為蝕刻罩幕層，製作適用於 248 nm 與 193 nm 之底抗反射層，在空氣 / 阻劑界面所呈現的反射率擺動曲線做討論。

圖 9 與圖 10 分別為波長 248 nm 與 193 nm 下，未添加與添加了 FLARE-base 底抗反射層之後空氣 / 阻劑界面所呈現的反射率擺動曲線。整體膜層結構為：光阻劑 / 蝕刻罩幕層 (SiO_2 或 Si_3N_4) / FLARE (600 nm) / 基材 (Si)；其中以 SiO_2 為蝕刻罩幕層時，用於 248 nm 與 193 nm 時的厚度分別約為 55 nm 與 30 nm。圖 9(b) 中，反射率變化已經減少到了 8% - 6% 之間；而圖 10(b) 亦顯示，反射率變化可減少至 10% - 4% 之間。

(4) 模擬結果

圖 11 與圖 12 為反射率對膜層厚度變化容忍度分析。由圖中可以清楚的看出，本實驗所採用的低介電常數材料，其厚度變化容忍度如預期的好，在厚度的選擇上可說是無太大限制。而在其上的蝕刻罩幕層，厚度變化的容忍度相較於傳統單層底抗反

射層 (SiON)，亦是明顯的優越許多；且此結果在 193 nm 與 248 nm 波長時皆適用。

表 3 與表 4 分別是在波長 248 nm 與 193 nm 時，各種金屬底材在塗佈底抗反射層之後，阻劑 / 底抗反射層界面所呈現的反射率。此結果顯示出本底抗反射層對於不同底材，具有相當大的適用範圍。

2. 蝕刻性質

蝕刻製程是圖案由阻劑轉移至基材的步驟，對於轉移圖案是否能順利且不失真，是蝕刻方法研究的重點。不過，我們並不在此多著墨，僅對本實驗採用之低介電常數材料在不同蝕刻條件下所呈現之不同蝕刻速率做一比較，並擇一較佳蝕刻條件與蝕刻罩幕層之蝕刻率做比較，驗證本抗反射層之蝕刻罩幕層對低介電常數材料的蝕刻選擇比 (etching selectivity) 可達到相當優越之程度，可以輕鬆勝任圖案轉移之任務。

一般低介電常數材料的蝕刻皆採用乾式蝕刻 (dry etching)，並視其薄膜成分而選用不同氣體。如前述，FLARE 屬於碳氫化合物之有機材料，因此，我們主要選用 O_2 電漿 (oxygen plasma) 來進行蝕刻率測試，通入不同比例之 N_2 以探討混和氣體對於蝕刻率的影響，並改變微波功率及基板偏壓來看反應性離子濃度 (reactive ion concentration) 與離子轟擊 (ion bombardment) 效應對於薄膜蝕刻率的影響。

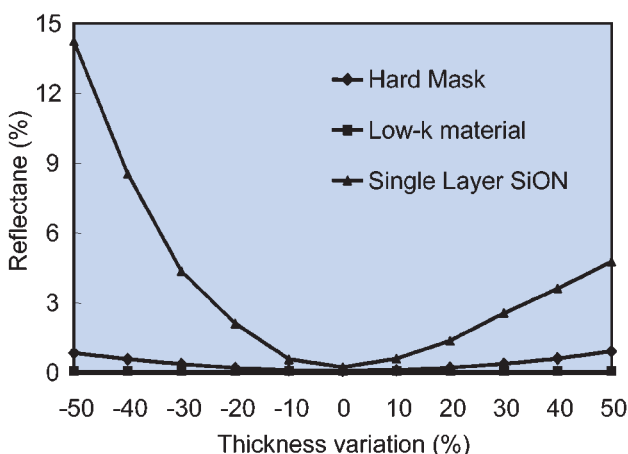


圖 11. 在波長 193 nm 時，阻劑 / 底抗反射層界面所呈現的反射率對於各膜層厚度變化容忍度分析圖。

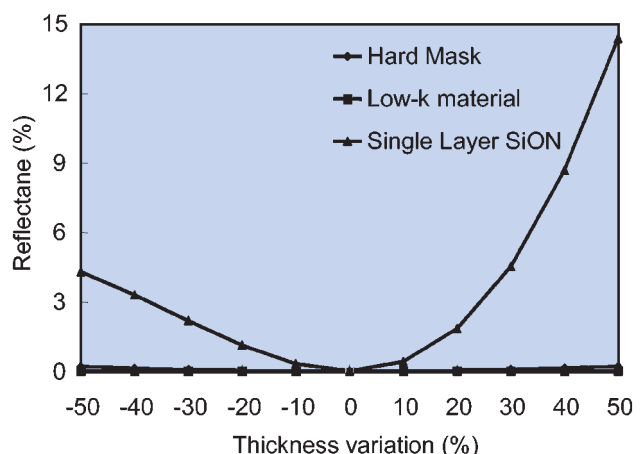


圖 12. 在波長 248 nm 時，阻劑 / 底抗反射層界面所呈現的反射率對於各膜層厚度變化容忍度分析圖。

表 3. 波長 248 nm 各種金屬底材在塗佈底抗反射層之後，阻劑 / 底抗反射層界面所呈現的反射率。

Substrates	Cu	Al	W	TiN	TaN
Optical constant at 248 nm	(1.47, 1.78)	(0.19, 2.94)	(3.40, 2.85)	(1.88, 1.31)	(2.45, 1.52)
Reflectance from resist / substrate (%)	20.815	88.519	30.933	9.46	12.828
Reflectance from resist / substrates after adding a FLARE based BARC layer (%)	1.834	1.824	1.834	1.838	1.837

表 4. 波長 193 nm 各種金屬底材在塗佈底抗反射層之後，阻劑 / 底抗反射層界面所呈現的反射率。

Substrates	Cu	Al	W	TiN	TaN
Optical constant at 193 nm	(0.958, 1.37)	(0.110, 2.17)	(1.31, 3.04)	(1.58, 1.31)	(2.07, 1.53)
Reflectance from resist / substrate (%)	27.8	91.077	54.739	15.876	18.294
Reflectance from resist / substrates after adding a FLARE based BARC layer (%)	0.6393	0.6397	0.6394	0.6391	0.6391

我們選擇了同一條件，做了 FLARE 對 SiO_2 的蝕刻選擇比 (etching selectivity)。由結果顯示，以 O_2/N_2 混和氣體來做 FLARE 蝕刻，其 FLARE 對 SiO_2 的蝕刻選擇比可高達數十倍以上。這證明了本蝕刻罩幕層的厚度足以在圖案轉移過程中抵擋住電漿蝕刻，並可以使阻劑上的圖案順利轉移到底下的低介電常數材料 FLARE 上。

3. 熱穩定性

面對積體電路後續的一些高溫製程，低介電常數材料的熱穩定性亦是必須考慮的問題；且針對在光阻劑在進行曝後烤 (post exposure bake, PEB) 時，會因為與底材所釋出的鹼性物質反應造成 footing effect。經過考慮薄膜的成分後，我們偵測質量數 1 - 100 的範圍，並選擇質量數 17 (NH_3) 為檢測的代表。我們對於所使用的三種材料進行常壓熱脫附檢測，並與一般傳統 CVD 沈積的抗反射層， SiO_xN_y ，來做對照比較。

圖 13 為 NH_3 離子濃度對溫度的關係圖。由圖中可以清楚的看出， SiO_xN_y 在加熱過程中，隨著溫度的升高釋出的離子濃度，由原本常溫時的背景值 10^{-12} 層級升至 10^{-9} 層級，而 FLARE 則是依然維持在原本的層級，與背景值相同。

這是因為本材料在製作過程中需經過一道高溫回火處理，在這道過程中，已經將大部分不穩定物質驅趕出薄膜，剩下的是呈穩定狀態的結構。由此

結果顯示，本抗反射層結構在於熱穩定性方面沒有釋氣問題，且對於防止鹼性物質釋出造成 footing effect 效應方面，亦較優於傳統之 SiO_xN_y 。

五、結論

有鑑於解決在深紫外光波段下光反射的問題，我們嘗試以低介電常數材料作為深紫外光微影之底抗反射層。在前面的章節中，已將概念、原理以及作法流程，做了詳細的闡述。

在原始設計構想上，本抗反射層是結合旋塗式與沉積式底抗反射層之優點，以低介電常數材料作為吸收層，加上其蝕刻罩幕層作為調整相位層之結構，來使反射降至最低。在抗反射效果方面，以低

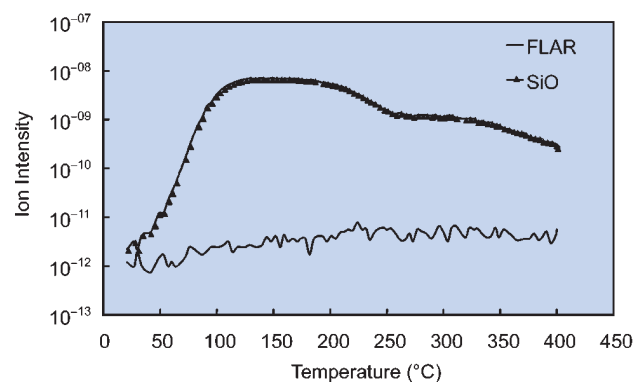


圖 13. SiO_xN_y 與 FLARE 之 NH_3 ($m/e = 17$) 離子濃度對溫度的關係圖。

介電常數材料為主的底抗反射層，不管在 248 nm 或 193 nm 的工作波長下，皆可使來自於阻劑 / 抗反射層界面的反射率達到小於 1% 的優異效果。擺動比由原本矽基材在 248 nm 與 193 nm 波長時的 39.47% 與 30.27%，降至 1.72% 與 3.31%。這將使阻劑輪廓不失真，線寬控制更加穩定。而且不止於矽基材，連一些半導體中常見的高反射基材亦可適用，如金屬鋁、銅、鎢、氮化鈦和氮化鉀等。

蝕刻特性上，亦可由調控蝕刻氣體比例來達到合乎要求且令人滿意的蝕刻選擇比。如 FLARE 在適當的 O_2/N_2 氣體比例下，其對二氧化矽的蝕刻選擇比可達 30 倍以上，顯示了蝕刻罩幕層足以抵擋蝕刻，勝任圖案轉移的任務。

至於熱穩定性方面，經由熱脫附—大氣常壓游離質譜儀的檢測，發現本低介電常數薄膜在 400 °C 時依然相當穩定，釋氣程度與背景值相同，相較於其他沉積式底抗反射層 SiO_xN_y 優越許多。這點亦確保了後續製程的穩定性。

綜觀本底抗反射層，共有以下數種優點。第一，本底抗反射層結構與鑲嵌結構相同，因此在微影製程中，並不用再額外做任何抗反射處理，省去了許多製程步驟；且曝光後無須去除，沒有殘留的顧慮，再次簡化了製程步驟。再者，相較於傳統沈積式的無機底抗反射層 (SiO_xN_y)，本底抗反射層並無在烘烤時釋出鹼性氣體造成 footing 的問題，且其反射率對於薄膜厚度變化的容忍度也大了許多，控制上相當容易。本底抗反射層的抗反射性能，相

較於一般商用的旋塗式底抗反射層要好上許多，而除了上述的簡化製程外，亦節省了成本與時間。

參考文獻

1. J. Sturtevant and B. Roman, *Microlithography World*, **4**, 13 (1995).
2. Y. Kawai, A. Otaka, A. Tanaka, and T. Matsuda, *JJAP*, **33**, 7023 (1994).
3. C. A. Mack, *Microlithography World*, **3**, 29 (1997).
4. H. L. Chen and L. A. Wang, *Appl. Opt.*, **38**, 4885 (1999).
5. K. Endo and T. Tatsumi, *Appl. Phys. Lett.*, **70**, 1078 (1997).
6. L. F. Thompson, C. G. Willson, and M. J. Bowden, *Introduction to Microlithography*, Washington D. C.: American Chemical Society (1994).
7. J. van Wingerden, *SPIE*, **3679**, 905 (1999).
8. C. Y. Chang, and S. M. Sze, *ULSI Technology*, New York: McGraw-Hill Company (1996).
9. S. Y. Chou, C. M. Wang, C. C. Hsia, L. J. Chen, G. W. Hwang, S. D. Lee, and J. C. Lou, *SPIE*, **3679**, 923 (1999).
10. C. H. Lin, L. A. Wang, and H. L. Chen, *JVST B*, **18**, 6, 3323 (2000).
11. A. Schiltz, J-F. Terpan, G. Amblard, and P. J. Paniez, *Micro-electronic Engineering*, **35**, 221 (1997).
12. Q. Y. Lin, A. Cheng, J. Sudijono, and C. Lin, *SPIE*, **3678**, 186 (1999).
13. G. Y. Lee, Z. G. Lu, D. M. Dobuzinsky, X. J. Ning, and G. Costrini, *IITC*, 87 (1998).
14. H. W. Thompson, S. Vanhaelemeersch, K. Maex, A. Van Ammel, G. Beyer, B. Coenegrachts, I. Vervoort, J. Waeterloos, H. Struyf, R. Palmans, and L. Forester, *IITC*, 59 (1999).
15. A. R. Forouhi and I. Bloomer, *Phys. Rev. B.*, **34**, 1865, (1988).
16. B. Cruden, K. Chu, K. Gleason, and H. Sawin, *IITC*, 155 (1999).