

5.2 GHz 無線網路射頻模組 之研製與量測

本文探討 5.2 GHz 射頻收發模組之研製與量測，應用於 HiperLAN/1、HiperLAN/2 和 IEEE 802.11a 之高速無線區域網路。設計方法是由系統規範出發，進行鏈路的計算，再訂定子電路的功能與規格，並討論各電路特性之量測法。系統架構採用兩級升降頻超外差式結構。整個射頻模組包含低雜訊放大器、射頻濾波器、混頻器、鎖相迴路振盪訊號源、驅動放大級、功率放大器、微帶槽孔天線等子電路之製作。各個子電路完成實作與測試後整合成單一 PCB 板上，進行 CW、數位微波訊號與實地測試。

張盛富、汪志豪、陳佳良、林建三

一、無線網際網路沿革

自從 1990 年代起，無線通訊技術不斷地革新資訊流通的面貌。最令人矚目的是無線通訊技術與網際網路技術的結合，創造了「無線網際網路」(wireless Internet)。其新增網際網路的行動性 (mobility)，突破網路佈建的侷限而讓使用者可以在居家、辦公大樓、公司廠房、機場或購物中心漫遊時，依然快速擷取數據、語音、影像等資訊。為了

張盛富為美國威斯康辛大學電機工程博士，現任國立中正大學電機工程學系副教授。

汪志豪為國立中正大學碩士，現任工業技術研究院電腦與通訊研究所副工程師。

陳佳良為國立中正大學碩士，現就讀於國立中正大學電機工程研究所博士班。

林建三為國立中正大學碩士，現服役中。

整合各領域資源，以加速建構無線網際網路的基礎建設，IEEE 802 標準制定委員會陸續制定三類標準，分別是 IEEE 802.11 無線區域網路 (wireless local area network, WLAN)、IEEE 802.15 無線個人網路 (wireless personal area network, WPAN) 和 IEEE 802.16 無線都會網路 (wireless metropolitan area network, WMAN)。另外，在歐洲方面，也有相類似標準的制定。例如，由歐洲電信標準協會 (European Telecommunications Standards Institute, ETSI) 的寬頻射頻進接網路計畫室 (Broadband Radio's Access Networks Project, BRAN) 所倡議高效能無線區域網路 (high performance LAN, HiperLAN)，其應用與實體層技術均與 IEEE 802.11a 相似。

1. 無線區域網路 IEEE 802.11a/b

無線區域網路 IEEE 802.11 標準於 1997 年由

IEEE 標準委員會提出，並於 1999 年衍生出 802.11a 和 802.11b 標準。其制訂實體層 (physical layer, PHY) 和媒體進接控制層 (medium access control layer, MAC) 的規範，以提供使用者漫遊於住家、辦公大樓、機場等 300 公尺區域範圍內的無線上網服務。IEEE 802.11b 使用 2400 - 2483.5 MHz 頻帶，提供 1 - 11 Mbps 速率；IEEE 802.11a 使用 5150 - 5350 MHz 和 5725 - 5825 MHz 頻帶，提供 1 - 54 Mbps 速率。為了克服干擾和電波通道衰弱的效應，實體層中規範的技術有 直接展頻序列 (direct sequence, DS)、 頻率跳頻 (frequency hopping, FH)、 紅外線 (infrared)、 頻率正交多工 (coded orthogonal frequency division multiplexing, COFDM)。MAC 層採取 CSMA/CA 的演算法來確認空中通道的使用權。使用無線區域網路可以讓使用者隨時隨地取得資訊，而不用去尋找有線網路的接點。而且網路管理者可以容易的因需要而架設網路，不用受限於網路線的配建問題。

2. 無線個人網路 IEEE 802.15

IEEE 802.15 工作組於 1997 年開始發展適合個人攜帶式和穿帶式的通訊器件與鄰近 10 公尺內的通訊器件無線連結 (2 kbps - 20 Mbps)。其工作項目有四大項。第一、依藍芽 1.1 版標準而發展新標準。藍芽標準為省電低成本的技术，數據速率為 721 kbps，使用 2400 - 2483.5 MHz 頻帶，每秒 1600 和 3200 次跳頻以克服干擾。第二、發展無線區域網路和無線個人網路共存相容的策略。第三、發展應用於多媒體傳輸的更高速 (20 Mbps) 的標準。第四、發展慢速 2 - 200 kbps 的應用，如感應器和兒童玩具。

3. 無線都會網路 IEEE 802.16

在廣域網路的使用中，為了提供商業大樓、中小企業公司或住宅大樓到骨幹網路的固定式無線寬頻連結，IEEE 802.16 工作組發展寬頻無線進接標準 (broadband wireless access, BWA)。其數據速率高達 260 Mbps，使用 2 - 66 GHz 頻帶。採取點對多點的架構，將各個使用者無線連接到基地台，形成細胞式的結構，再將細胞式佈建的基地台連到核心網路，完成最終一哩 (last mile) 通訊網路。

4. 高效能無線區域網路 HiperLAN

由歐洲電信標準協會 ETSI 擬定的 HiperLAN/1，使用 5150 - 5300 MHz 頻帶，提供 25 Mbps 速率。1999 年提供 HiperLAN/2，使用 5150 - 5350 MHz 和 5470 - 5725 MHz 頻段，其採用 OFDM 技術以克服電波通道衰落效應。IEEE 802.11a 與 HiperLAN/2 相似，目前工業界正尋求這兩個標準的共存性，甚至取各優點融合成單一標準。

鑑於無線網際網路廣大深遠的發展力，各家廠商紛紛發展實體層電路和 MAC 層 IC，以提供上層的應用。譬如 Intersil、Atheros、Radiata、Resonext 推出單一晶片和多晶片組實體層，以應用於 IEEE 802.11a/b 和 HiperLAN。IEEE 802.15 尚未有產品，然而藍芽晶片組已經上市，包括 Ericsson、Silicon Wave、Philips、Cambridge Silicon Radio 等。IEEE 802.16 有 LMDS 晶片組。基於 HiperLAN 和 IEEE 802.11a 使用共同頻段，在下面各節中我們將敘述 HiperLAN/1 的設計開發，此研發過程可用於 HiperLAN/2 和 IEEE 802.11a 射頻模組的發展。

二、鏈路架構與預算

| HiperLAN/1 | Transmitter Class A Transmitted power +10 dBm | Transmitter Class B Transmitted power +20 dBm | Transmitter Class C Transmitted power +30 dBm |
|---|---|---|---|
| Receiver Class A Sensitivity -50 dBm | √ | NA | NA |
| Receiver Class B Sensitivity -60 dBm | √ | √ | NA |
| Receiver Class C Sensitivity -70 dBm | √ | √ | √ |

表 1.
HiperLAN/1 發射功率與接收靈敏度的規定。

1. HiperLAN 射頻規範

HiperLAN/1 頻率範圍為 5150 - 5300 MHz，當中分為五個頻道，中心頻率為 5176.4680 MHz、5199.9974 MHz、5223.5268 MHz、5247.0562 MHz、5270.5856 MHz，頻道寬 23.5294 MHz，頻率精確度 ± 10 ppm，如圖 1(a) 所示。

接收機與發射機均分為 A、B、C 三類，在射頻發收機中發射機等級不能高於接收機，如表 1 所示，其接收機靈敏度在 0.01 的封包錯誤率下分別為 -50 dBm、-60 dBm 和 -70 dBm；發射機的 EIRPEP (effective isotropic radiated peak envelope power) 分別為 +10 dBm、+20 dBm 和 +30 dBm。在高速率傳輸時 (23.5247 Mbps) 使用 GMSK (Gaussian minimum shift keying) 調變方式，低速率傳輸時 (1.4706 Mbps) 使用 FSK (frequency shift keying) 調變。發射與接收切換時間需小於 $5 \mu\text{s}$ ，射頻載波頻率切換時間需小於 1 ms，最大接收訊號強度不可超過 -20 dBm。另外，對於發射溢漏頻率亦有規定。

HiperLAN/2 射頻載波分為 5150 - 5350 MHz 和 5470 - 5725 MHz 兩個頻段，如圖 1(b)。5150 - 5350 MHz 頻段分成 8 個頻道，每個頻道 20 MHz 頻寬，200 mW 平均發射功率 (EIRP)。5470 - 5725 MHz 頻段分成 11 個頻道，每個頻道 20 MHz 頻寬，除了第 11 個頻道為 200 mW 的發射功率外，第 1 至第 10 頻道為 1 W 的發射功率。頻率精確度為 ± 20 ppm。接收機靈敏度視傳輸速率不同而變，分別由 6 - 54 Mbps 時，靈敏度為 -85 至 -68 dBm。相鄰頻道拒斥亦從 21 dB 變為 4 dB。接收機最大輸入功率分成 -20 dBm 和 -30 dBm 兩級。

IEEE 802.11a 射頻載波分成 3 段，如圖 1(c)。

5150 - 5250 MHz 有 4 個 20 MHz 頻道，40 mW 的發射功率；5250 - 5350 MHz，有 4 個 20 MHz 頻道，200 mW 的發射功率；5725 - 5825 MHz，4 個 20 MHz 頻道，800 mW 發射功率。頻率精確度為 ± 20 ppm。接收機靈敏度隨傳輸速率 6 至 54 Mbps，訂為 -82 至 -65 dBm。相鄰頻道拒斥力亦隨之由 16 dB 變為 -1 dB。最大輸入功率為 -30 dBm。

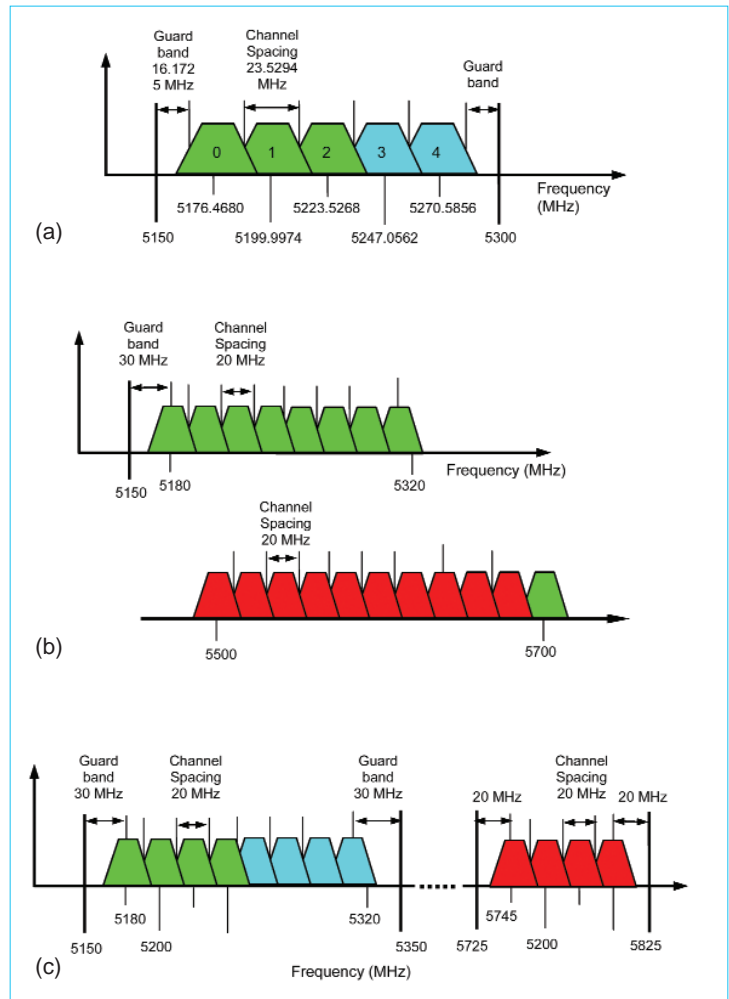


圖 1.5 GHz 射頻頻道與頻寬之規範。(a) HiperLAN/1 射頻頻道與頻寬之規範。(b) HiperLAN/2 射頻頻道與頻寬之規範。(c) IEEE 802.11a 射頻頻道與頻寬之規範。

2. 鏈路架構與預算之計算

射頻收發機架構可分為直接降頻與超外差降頻兩種。直接降頻具有零中頻頻率 (zero IF)，亦即直接將射頻訊號降至基頻，這種方法所需的元件少，但會有直流偏移 (DC offset)、本地振盪溢漏 (LO leakage)、相位與振幅不平衡、顫動雜訊 (flicker noise) 等問題。超外差式降頻自從 1918 年 Armstrong 提出後，一直被採用至今，其優點是提供較大的動態範圍和較高的靈敏度。但是其需要較多的元件，而且在選取中頻時要避免因交互調變

(intermodulation) 造成接收機靈敏度變差。根據上述元件製作的困難度、以及直接降頻與多級降頻之優缺點，我們採取超外差式二級降頻的射頻架構，第一級中頻為 282.3528 MHz，第二級降至基頻，其中 282.3528 MHz 為 23.5294 MHz 的 12 倍，這樣的中頻選擇可減少石英振盪器的個數。中頻的選擇必須防止混波器的交互調變而產生近頻或同頻干擾，這可用突波 (spur) 分析法來計算，如表 2，當 $m = -1, n = 1$ 時，即為中頻頻率，而其他 m, n 值所產生的是為高階交互調變積。另外中頻的選擇尚包括射頻濾波器的頻寬考量，若中頻太低，則射頻濾波器無法對假象頻率作有效的抑制，但若中頻太高，則第二級降頻的元件不容易製作或價格昂貴。

表 2. 鄰近中頻之干擾訊號。

| m | n | $f_{spur} = mf_{RF} + nf_{LO}$ (MHz) |
|-----|-----|--------------------------------------|
| 3 | -3 | 847.0584 |
| 2 | -2 | 564.7056 |
| 1 | -1 | 282.3528 |

射頻架構圖如圖 2 所示，可分發射與接收兩路。接收部分由天線進入，依序為天線分集開關 (antenna diversity switch)、收發切換開關 (T/R switch)、低雜訊放大器 (LNA)、射頻濾波器 (RF filter)、射頻混波器、SAW 濾波器與 IQ 解調部分，包括自動增益控制放大器 (AGC)。發射部分與接收大致是對稱的，僅對應於接收部分的 LNA，

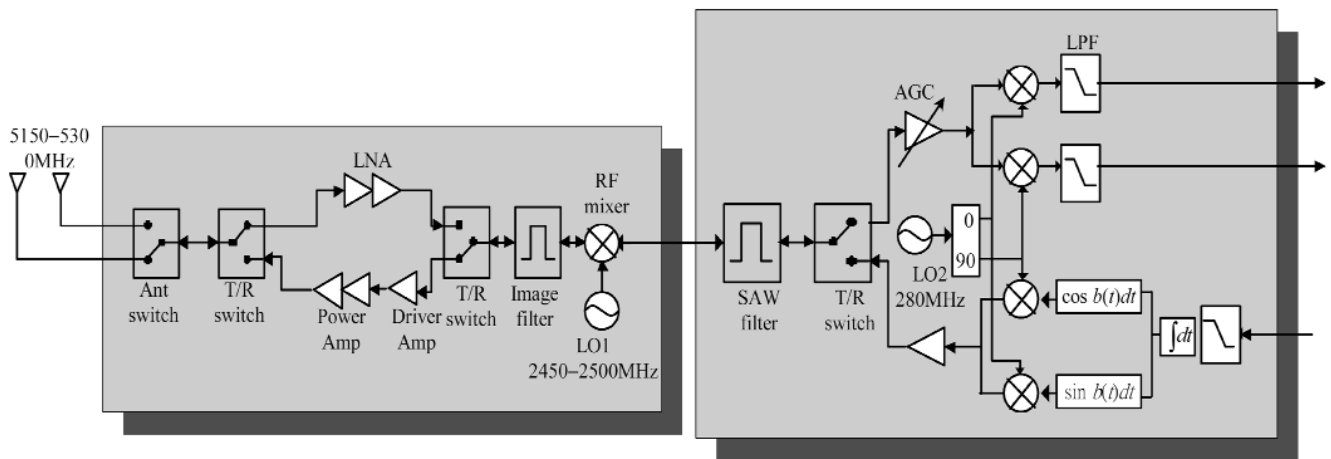


圖 2. 5.2 GHz 射頻收發機架構圖。

表 3. 接收鏈路計算表。

| Stage # | NF (dB) | Gain (dB) pass stop | iP _{1dB} (dBm) | iP ₃ (dBm) | oIP ₃ (dBm) | NF [lin] | Gain [lin] | pre-stage gain (linear) | Noise Term (lin) | Interferer stop | IM Product Signals | Desired (-60 dBm) | Stage Noise (mW) | Noise P (lin) | Noise P (dBm) | C/(I+N) |
|---------------|---------|---------------------|-------------------------|-----------------------|------------------------|----------|------------|-------------------------|------------------|-----------------|--------------------|-------------------|------------------|---------------|---------------|---------|
| 1. Ant switch | 1.5 | -1.5 | 20 | 28 | 26.5 | 1.41 | 0.71 | 1.00 | 1.41 | -31.5 | -147.4931 | -67 | 2.921E-11 | 1E-10 | -100 | 32.99 |
| 2. TR switch | 1.5 | -1.5 | 10 | 18 | 16.5 | 1.41 | 0.71 | 0.71 | 0.58 | -33 | -131.9141 | -68.5 | 2.921E-11 | 1E-10 | -100 | 31.49 |
| 3. LNA | 1.2 | 20 | -6 | 2 | 19 | 2.00 | 50.12 | 0.50 | 1.99 | -16 | -85.99443 | -51.5 | 4.988E-09 | 1E-08 | -80 | 27.52 |
| 4. RF filter | 3 | -3 -40 | 40 | 48 | 45 | 2.00 | 0.50 | 25.12 | 0.04 | -19 | -88.99442 | -54.5 | 4.988E-11 | 5.1E-09 | -82.957 | 27.49 |
| 5. RF mixer | 9 | -7 | -3 | 5 | 0 | 5.01 | 0.32 | 12.59 | 0.32 | -24 | -71.97265 | -59.5 | 1.269E-10 | 1.7E-09 | -87.626 | 12.35 |
| 6. SAW filter | 3 | -3 -50 | 40 | 48 | 43 | 3.16 | 0.32 | 3.98 | 0.54 | -74 | -76.97265 | -64.5 | 6.838E-11 | 6.1E-10 | -92.114 | 12.34 |
| 7. AGC | 8 | 50 | -50 | -42 | 8 | 6.31 | 100000 | 1.26 | 4.22 | -24 | -26.97265 | -14.5 | 5.31E-05 | 0.00011 | -39.41 | 12.23 |
| 8. IQ demo | 7 | 10 | -10 | -2 | 8 | 5.01 | 10.00 | 125892.54 | 0.00 | -14 | -16.9723 | -4.5 | 4.012E-09 | 0.00115 | -29.41 | 12.23 |
| 9. LPF | 1.5 | -1.5 -30 | 40 | 48 | 46.5 | 1.41 | 0.71 | 1258925.41 | 0.00 | -29 | -18.4723 | -6 | 2.921E-11 | 0.00081 | -30.91 | 12.23 |

表 4. 整體接收鏈路之增益、雜訊指數、 P_{1dB} 和 IP3。

| | |
|------------------------|-----------|
| Total Gain | 59.5 dB |
| Eq. Input noise figure | 9.59 dB |
| iIP3 | -20.6 dBm |
| Input P1dB | -10.6 dBm |

發射部分改為驅動放大器 (driver amplifier) 和功率放大器 (power amplifier)。頻率合成器提供射頻混波器與 IQ 解調之本地振盪訊號。

表 3 為接收鏈路各個元件之特性及其對訊號和干擾雜訊之累積。在接收鏈路計算中，假設干擾訊號最大達到 -30 dBm，並假設干擾信號分別在第二和第三通道、第三和第五通道的交互調變積會落在所要的頻段內。RF 通道的訊號經由接收機接收後的 $C/(I+N)$ 是 12 dB。整體接收鏈路之增益為 59.5 dB，雜訊指數為 9.6 dB，輸入 1 dB 增益壓縮功率 (P_{1dB}) 是 -20.6 dBm，輸入三階截止點 (IP3) 是 -10.6 dBm，如表 4。所要訊號、干擾訊號和雜訊在接收機的功率演化圖如圖 3 所示。

在天線輸入端的功率要達到 20 dBm，因此從天線端反推算回去，就可以得知每一級所必須達到的增益與輸出功率。圖 4 為傳送端的功率鍊路計算。由於混頻器的輸入 P_{1dB} 點為 3 dBm，因此輸入混頻器的功率須小於 0 dBm，以維持其線性度。經過混頻器之後的射頻輸出功率為 -8 dBm，再經過射頻濾波器、射頻收發開關，功率降為 -12 dBm。因為經過功率大級電路之後，在收發切發開關之前，功率要達到 22 dBm，所以整體功率放大級的增益要達到 36 dB，輸出 P_{1dB} 點至少要達到 26 dBm。當鏈路計算均符合 HiperLAN 系統要求時，即可由鏈路計算中所定的規格來設計各個子電路，以實現整個 HiperLAN 射頻收發系統。

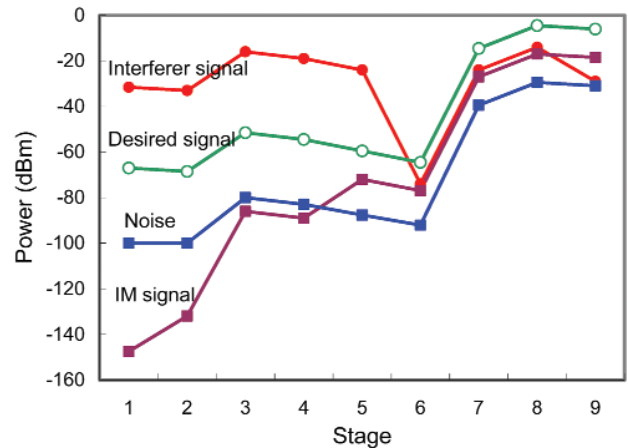


圖 3. 接收鏈路的所要訊號、干擾和雜訊功率演化圖。

三、功率放大器之設計與量測

由第二節的發射鏈路的計算，5.2 GHz 功率放大器將由兩級驅動器和一級功率放大器組成。

1. 偏壓點之選擇

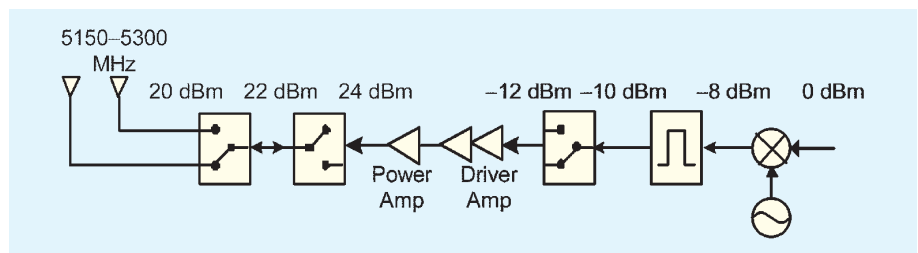
在設計功率放大器時，首先要依據操作類別來決定直流偏壓點。我們選定偏壓電流略低於一半的 I_{DSS} ，可達到較高的直流功率轉換效率。

2. 功率匹配

功率放大器是要得到最大的功率輸出，而非最大的增益，因此必須將輸出阻抗點匹配在最大功率輸出阻抗點。要得到此阻抗點的位置，常用的方法有 Cripps 法、負載調整法 (load-pull method) 及非線性晶體模型模擬法，然後再依此最佳阻抗點設計匹配電路。Cripps 法可用來推測 A 類功率放大器的最佳功率輸出負載點。電晶體最大的輸出電壓為 $2V_S - V_K$ ，最大電流輸出為 I_{DSS} ，得到最大功率輸出為

圖 4.

發射鏈路的功率鍊路計算。



$$P_{out} = \left(\frac{I_{DSS}}{2\sqrt{2}} \right) \left(\frac{2V_S - V_K}{2\sqrt{2}} \right)$$

其中 I_F 為最大汲極電流， V_K 為汲極端飽和電壓， V_S 為靜態操作偏壓。此時最佳負載阻抗為

$$R_{LOPT} = \frac{(2V_S - V_K)}{I_{DSS}}$$

接著，最大輸出功率阻抗點可進一步由負載調整法更精準的量測。負載調整法是在電晶體的輸入與輸出兩端各接上一個阻抗諧整器 (tuning stub)，然後再調整阻抗調整器之阻抗值以獲得最大輸出功率。將此時阻抗調整器之阻抗值記錄下來，然後再設計此阻抗值之匹配電路，將此輸入與輸出匹配電路和電晶體整合在一起，即完成放大器之設計。最大輸出功率阻抗點的量測可使用全自動負載調整量測儀，也可以自行組製負載調整量測儀配合儀控軟體，如圖 5 的設定。輸入信號直接由信號產生器產生，經過方向性耦合器、輸入阻抗諧調器與開關之後即進入待測元件。信號由待測元件輸出後，先經過開關與輸出阻抗諧調器，再進入頻譜分析儀。輸入端頻譜分析儀目的為量測由待測元件反射回來的功率大小，輸出端頻譜分析儀目的則為量測由待測元件輸出之功率大小。由於必須反覆量測功率以及阻抗值的大小，因此使用開關來做切換動作，以減少拆卸之麻煩。當量測功率時，開關切到待測元件端，而量測阻抗值時，則將開關切到網路分析儀，由網路分析儀來記錄此時匹配電路之阻抗值。整個

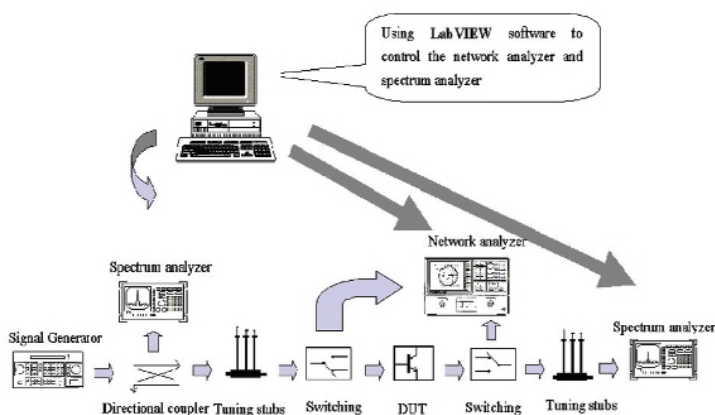


圖 5. 自行組製負載調整量測儀系統。

頻譜分析儀與網路分析儀的記錄動作，利用電腦軟體來控制，以減少人為記錄之麻煩。由於最大輸出功率主要由輸出端負載決定，因此量測順序為先調整輸出端，而後再調整輸入端。量測時除了考慮所能獲得最大輸出功率外，還要注意放大器的穩定性，必須讓電晶體不管在大訊號、小訊號或是無訊號輸入時，皆不能產生振盪之情形。

3. 功率轉換效率之計算

A 類功率放大器之直流功率轉換效率 (power added efficiency, PAE) 可由小信號增益 G 、直流電源電壓 V_S 、膝電壓 V_K 來計算

$$PAE = \frac{2V_S - V_K}{4V_S} \left(1 - \frac{1}{G} \right)$$

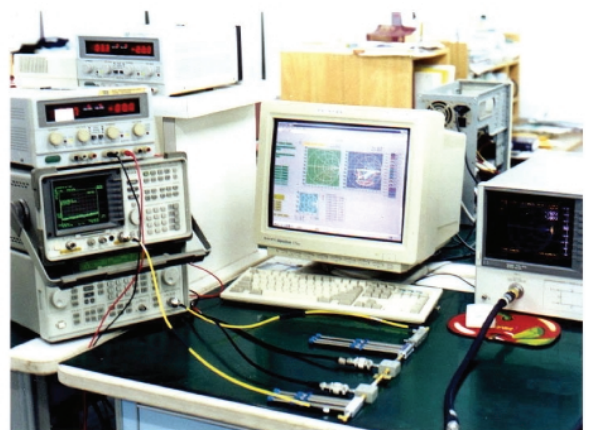
4.1 dB 功率壓縮點 P_{1dB} 和三階截斷點 $IP3$ 之計算

放大器在大訊號輸入時，受到電晶體非線性特性的影響，使得功率增益被壓縮，限制了輸出功率。當輸出功率比理想輸出功率小 1 dB 時，此時的輸入功率稱為輸入 1 dB 增益壓縮點。若考慮到三階非線性項

$$V_0 = k_1 A \cos \omega_1 t + k_2 A^2 \cos^2 \omega_1 t + k_3 A^3 \cos^3 \omega_1 t$$

則

$$P_{1dB} = 10 \log \left(\frac{57.7 k_1^3}{k_3 R} \right) \text{dBm}$$



當輸入兩個不同頻率 ω_1 、 ω_2 的訊號時，其輸出有基頻 ω_1 、 ω_2 訊號外，另有三階非線性訊號 $(2\omega_1 - \omega_2)$ 、 $(2\omega_2 - \omega_1)$ 和其他高次項的訊號產生。在頻譜上，三階非線性訊號 $(2\omega_1 - \omega_2)$ 、 $(2\omega_2 - \omega_1)$ 接近基頻訊號，因此造成旁帶增生 (sideband re-

growth) 和頻帶內振幅失真 (in-band distortion)。當基頻功率與三階非線性訊號功率 $P_{(2\omega_1 - \omega_2)}$ 相等時，訂為三階截止點 (third-order intercept point)，

$$P_{(2\omega_1 - \omega_2)} = 3P_O - 2P_{OIP3}$$

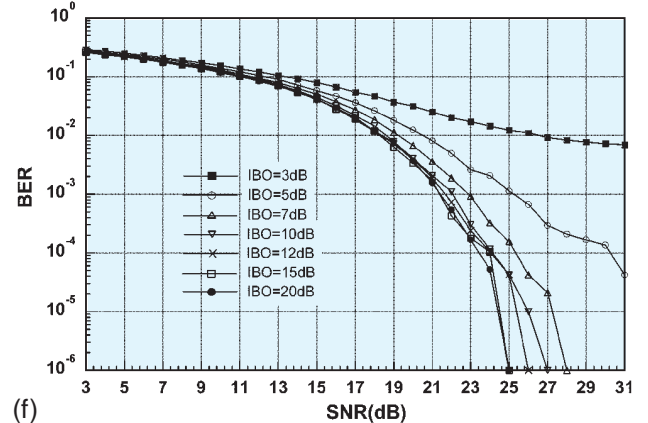
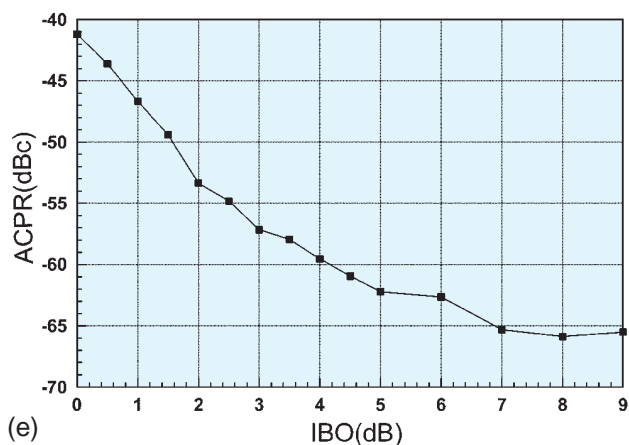
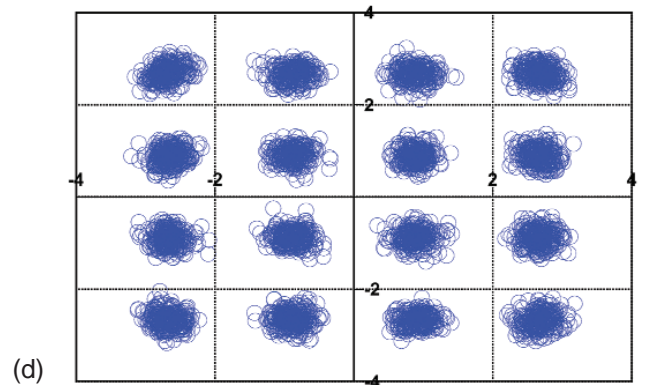
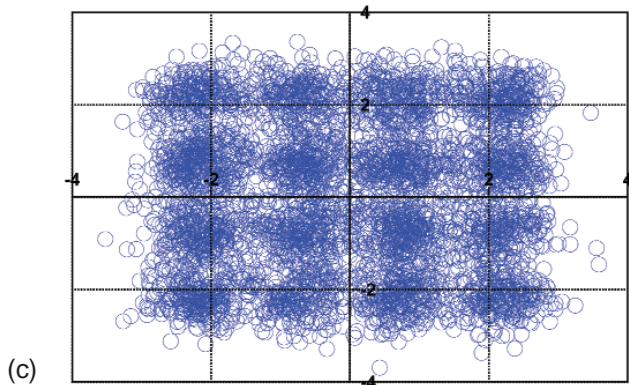
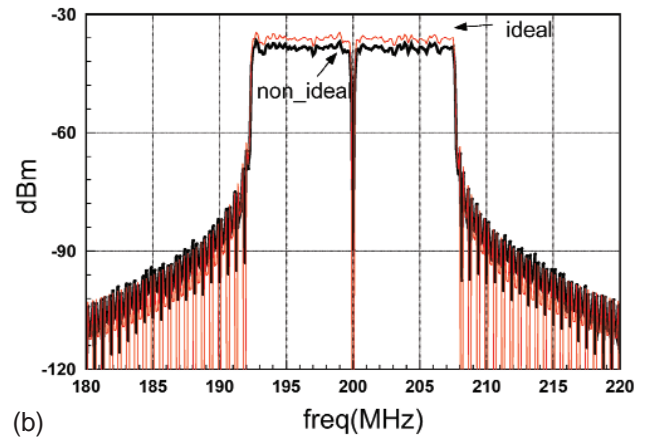
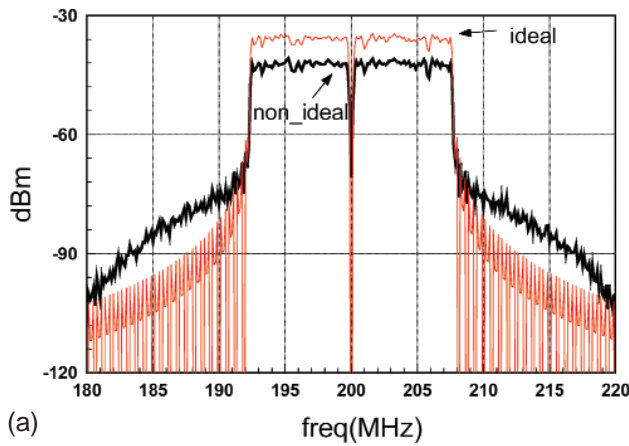


圖 6. OFDM 功率放大器之模擬結果。(a) 輸入功率由 P_{1dB} 點退縮 1 dB。(b) 輸入功率由 P_{1dB} 點退縮 5 dB。(c) 輸入功率由 P_{1dB} 點退縮 1 dB。(d) 輸入功率由 P_{1dB} 點退縮 5 dB。(e) 相鄰頻道溢滿功率比。(f) 位元錯誤率。

三階非線性訊號的抑制程度 (intermodulation suppression, IM_{SUPP}) 可表示為

$$IM_{SUPP} = P_O - P_{(2\omega_1 - \omega_2)} = 2(P_{OIP3} - P_O)$$

5. OFDM 功率放大器之模擬結果

依據 IEEE 802.11a OFDM 規定 48 個副載波，各個副載波以 16-QAM 調變，載波之間距為 0.3125 MHz，位元速率為 48 Mbps。以不同之輸入訊號功率大小，經由功率放大器非線性失真後，觀察其在

功率放大器輸出端之頻譜、星雲圖和位元錯誤率，如圖 6 所示。當輸入信號功率愈接近 1 dB 增益壓縮點時，其失真情形愈嚴重。其中當輸入功率由 P_{1dB} 點退縮 5 dB 時，鄰近頻道功率比為 -63 dBc。在 SNR = 23 dB 時 (僅考慮通道之高斯雜訊)，功率放大器之輸入功率必須由 P_{1dB} 點退縮 7 dB，以得到 0.001 之位元錯誤率。

6. 功率放大器之量測結果

第一級的驅動放大器 NE32584C，電路設計方

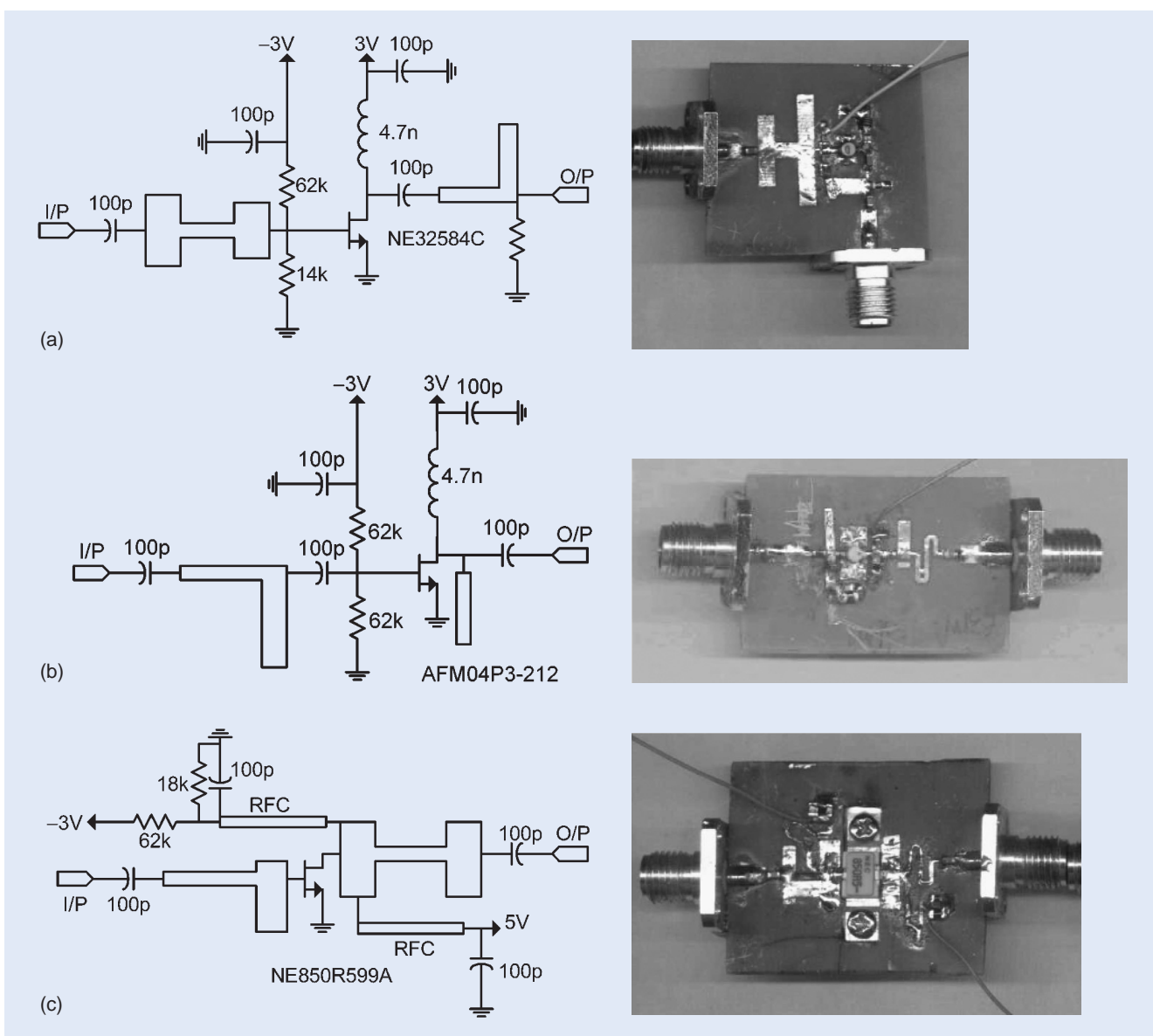
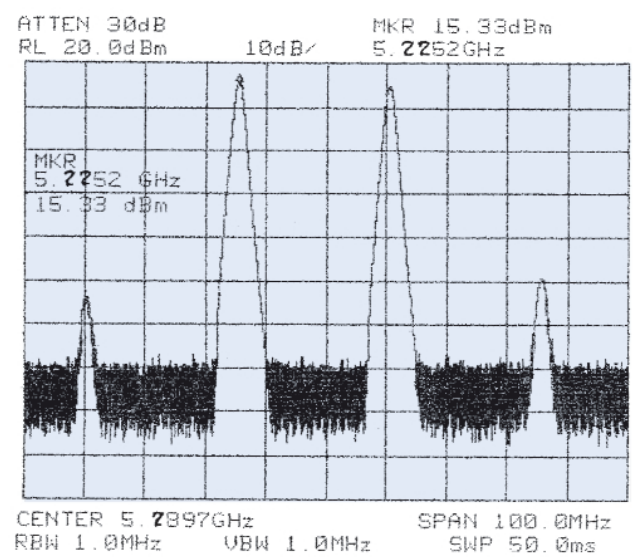
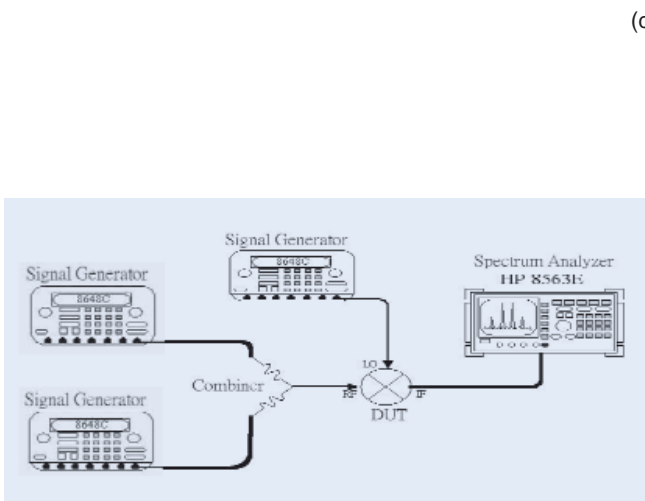
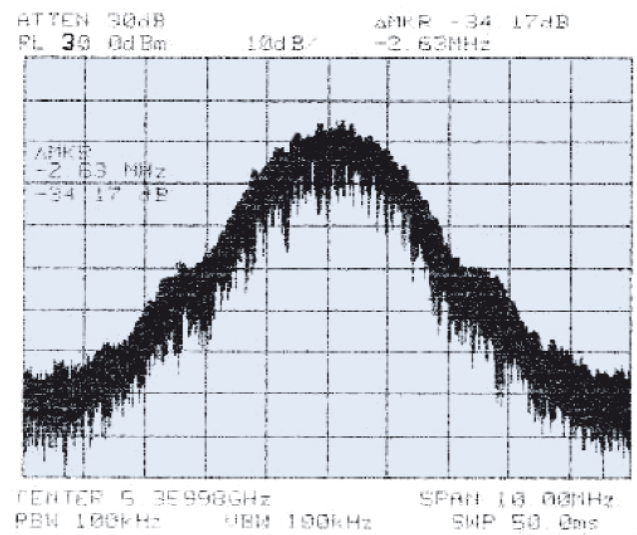
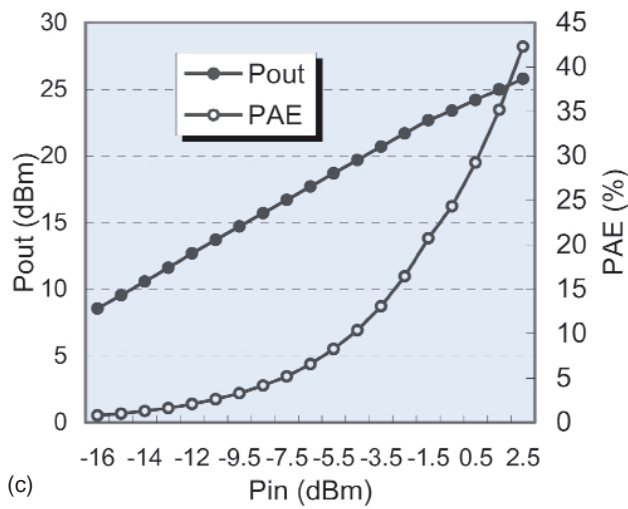
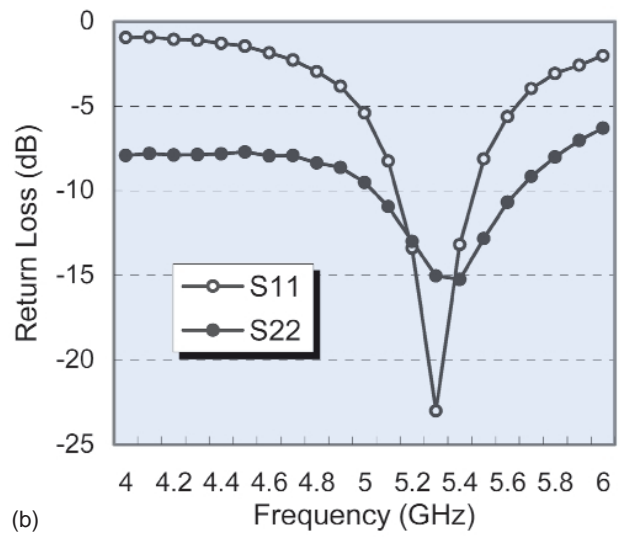
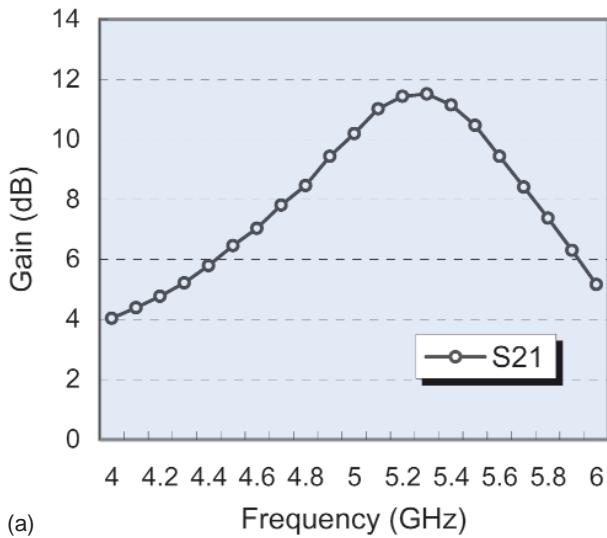


圖 7. 三級功率放大器電路圖。(a) 第一級驅動放大器。(b) 第二級驅動放大器。(c) 功率放大器。



(e)

圖 8. 功率放大器之量測結果。(a) 小訊號增益。(b) 返回損失。(c) 直流功率轉換效率。(d) 功率放大器 3 Mb/s GMSK 頻譜圖。(e) OIP3 量測圖。

法類似小訊號放大器，偏壓電流為 25 mA，其增益為 14 dB，輸入和輸出返迴損耗大於 13 dB。第二級驅動放大器 AFM04P3-212，選定偏壓點為 3 V，偏壓電流 40 mA，此時閘級偏壓為 -1.5 V，其增益為 13.5 dB，輸入和輸出返迴損耗大於 10 dB。第三級功率放大器採用的功率晶體為 NEC NE850R599A，其直流偏壓電流為 155 mA，最佳負載阻抗點之實部為 $R_L = 272.7 \Omega$ 。電路如圖 7。量測結果如圖 8，輸出 $P_{1dB} = 26 \text{ dBm}$ ，輸入反射損失大於 15 dB，輸出反射損失小於 13 dB，小訊號增益大於 11 dB，直流功率效益約為 36% @ $P_{out} = 24 \text{ dBm}$ 。

四、低雜訊放大器之設計與量測

在設計低雜訊放大器時，要求最小的雜訊指數和最大的增益。也就是在設計匹配網路時，不僅要匹配到最佳的雜訊指數，而且也要匹配到最大的功率增益。但這兩個阻抗匹配點通常不在同一點，因此設計上要在這兩個值之間做取捨。這種困難可以在選擇電晶體時解決，亦即選擇具有雜訊阻抗點和增益阻抗點形成共軛型態的電晶體，或在設計上加入迴授電路以修正原有的雜訊阻抗點和增益阻抗點。採用 NEC NE32584C 電晶體，電路結構採取兩級式串接，第一級偏壓點 $V_{CE} = 2 \text{ V}$ 、 $I_C = 7 \text{ mA}$ ，以求達到最低雜訊，第二級偏壓點 $V_{CE} = 2.5 \text{ V}$ 、 $I_C = 11 \text{ mA}$ ，以求達到高增益，輸出端阻抗匹配到 50Ω 。設計匹配電路前，我們先以 TRL 校正方式取得電

晶體與偏壓電路的 S 參數，然後以電腦模擬設計匹配電路，電路如圖 9 所示。量測結果如圖 10 所示，輸入與輸出反射損耗大於 15 dB，增益為 $20 \pm 1 \text{ dB}$ ，雜訊指數 1.2 dB，輸入 $P_{1dB} = -3 \text{ dBm}$ 。

五、次諧波電晶體混頻器之設計與量測

1. 次諧波電晶體混頻器之原理

混頻器是使用 LO 訊號去改變電晶體界面電導以產生混頻。當電晶體 V_{ds} 偏壓在 0 V 時，其界面空乏電容可視為兩個非線性電容 C_{gs} 和 C_{gd} ， R_g 是閘極電阻、 R_d 與 R_s 是汲極和源極的歐姆電阻。將 LO 訊號饋入電晶體的閘極端，會改變空乏區的寬度，也就是改變通道電阻的大小。其動作就類似於一開關，而使得汲極端所饋入的 RF 訊號和 LO 訊號產生混頻。要達到最小的混波器轉換損失，最大通道電阻與最小通道電阻比值要最大。在隔離度方面， C_{gd} 在 V_{ds} 接近 0 V 時變大，LO 訊號到汲極端的耦合量也會隨 C_{gd} 而增大。因此，在單一電晶體的情況下，閘極到汲極的隔離度將無法滿足需求，但次諧波混頻器的 LO 訊號是經由 180 度的平衡器 (balun) 之後再饋入閘極端，經兩個電晶體閘極溢漏到汲極端的訊號也是 180 度的相差，會互相抵銷，因此，次諧波混頻器具有較優良的隔離度。

2. 次諧波電晶體混頻器之設計

次諧波混頻器的兩個電晶體採用共源極的組態，LO 訊號經由平衡器形成反相的兩個訊號由閘

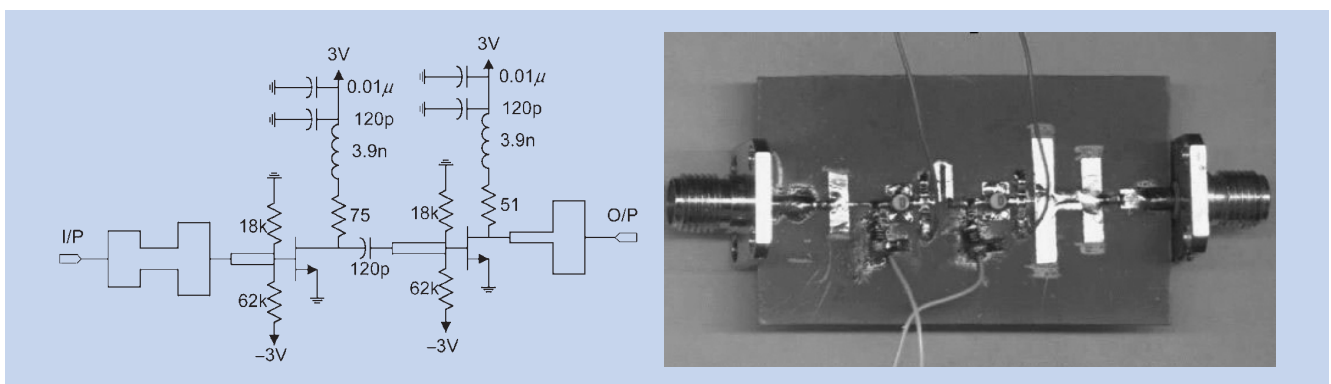


圖 9. 低雜訊放大器電路圖。

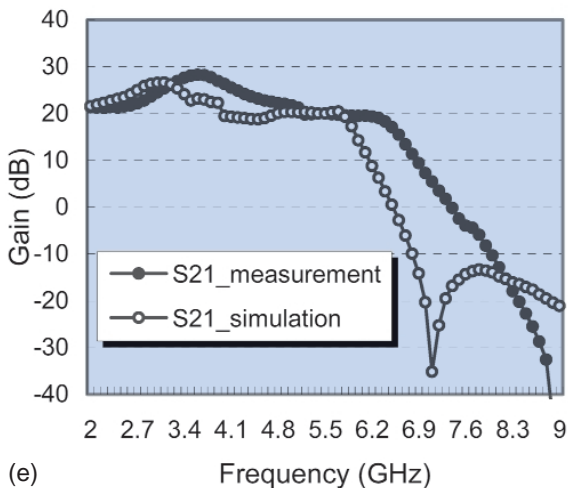
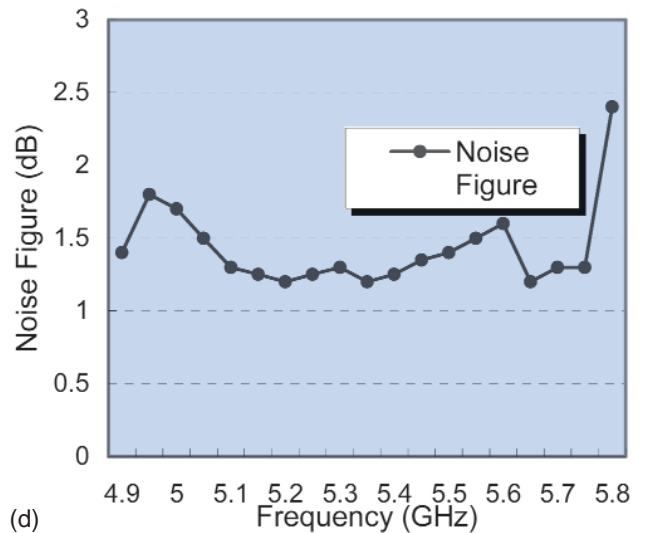
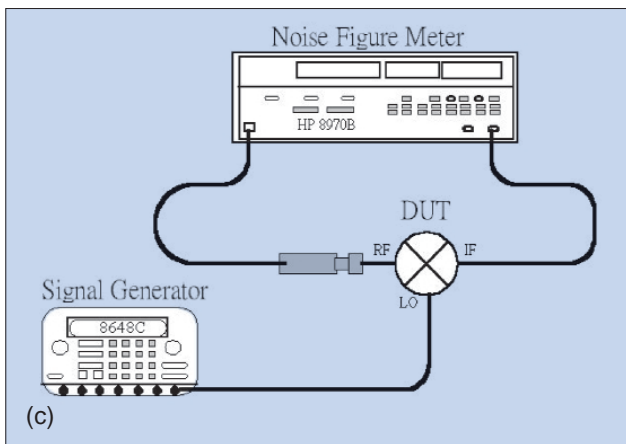
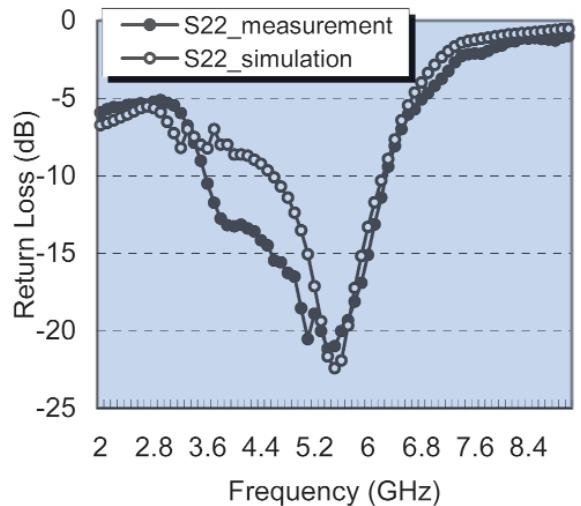
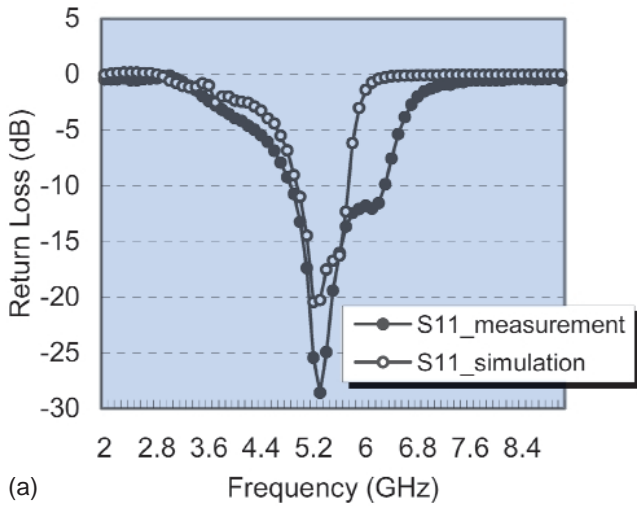


圖 10. 低雜訊放大器之量測與模擬結果。(a) S_{11} 。(b) S_{22} 。(c) 雜訊指數量測儀器連線。(d) 量測結果。(e) 增益。

極端輸入，閘極端的偏壓大約在截止電壓附近，使其以開關的型態操作。RF 訊號從汲極端輸入，IF 訊號從汲極端由濾波器取出。因為 LO 訊號注入電

晶體的閘極而使其具有非線性的效應，會影響其他埠的 S 參數，所以要先匹配 LO 端；其次，再匹配 RF 端和 IF 端時，因為 RF 端和 IF 端都同在電晶體

的汲極，所以此兩端的匹配電路會互相影響，需重複來回匹配此兩端以尋找較佳值，最後再調整 LO 端的匹配電路。RF 和 IF 是在同一個汲極端，因此 RF 到 IF 的隔離度會很差，必須另外做濾波器濾除。在 RF 端我們選用 1 pF 的電容，以阻隔 IF 端的訊號，在 IF 端則做一個 RF choke 以阻絕 RF 的訊號溢漏過來。電路如圖 11。

3. 次諧波電晶體混頻器之量測

RF 頻率範圍 5150 - 5350 MHz，LO 頻率範圍 2440 - 2600 MHz，IF 頻率為 282.3528 MHz。當 LO = 4 dBm，量測轉換損耗 7.5 ± 0.3 dB，雜訊指數 9.2 ± 0.2 dB。RF、LO 和 IF 的輸入返回損耗大於 15 dB。LO-RF 和 LO-IF 隔離度皆大於 30 dB。輸入 P_{1dB} 為 4 dBm。如圖 12。

六、電壓控制振盪器之設計與量測

1. 電壓控制振盪器之設計

振盪器電路架構是採取共集極的 Clapp 電路振盪器，如圖 13，由三個部分組成。第一部分是共振腔結構，其功能為儲存能量及決定頻率值；第二部分是主動元件的正迴授電路部分，主要是提供負電阻效應，以產生振盪；第三部分是輸出耦合網路，目的在於將振盪能量耦合至負載端。起振點的頻率為

$$f_v = \frac{1}{2\pi\sqrt{L[C_1C_2/(C_1 + C_2)]}}$$

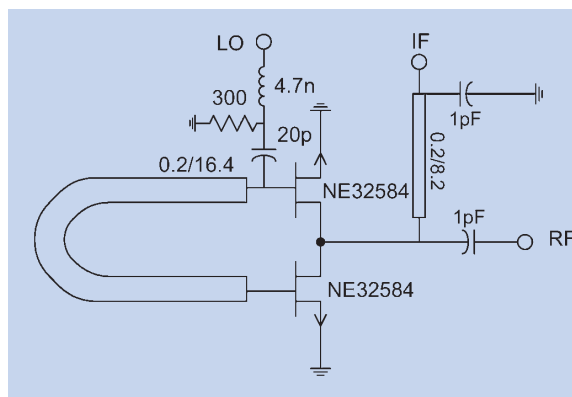


圖 11. 次諧波混頻器。

採用 NEC UPA806T 電晶體。變容二極體使用 Toshiba 公司的 1SV239，板材採用 25N。

2. 電壓控制振盪器之量測結果

調控頻率範圍是 2490 - 2550 MHz，頻率調控靈敏度為 20 MHz/V，輸出功率為 0 dBm，相位雜訊量測值在離載波 10 kHz 處為 -85 至 -92 dBc/Hz，二階協波抑制為 -47 dBc，負載拖曳 (load-pulling) 為 1.42 MHz @ 12 dB 返回損耗。電壓控制振盪器量測結果如圖 14。

七、頻率合成器之設計與實作

1. 頻率合成器之設計

頻率合成器之設計主要需考慮以下幾點：相位雜訊、穩定度、切換時間、突波雜訊、輸出功率、功率消耗、PCB 面積等，這些特性均可透過迴路濾波器的設計得到最佳值。我們採用 NS 公司的 LMX2330ATM 晶片，此晶片提供雙模鎖頻方式，一是提供 RF 的 LO 鎖頻，另一個則是提供 IF 的 LO，可提供兩級升 / 降頻使用。我們所採用的迴路濾波器為三階低通結構，其設計法則：

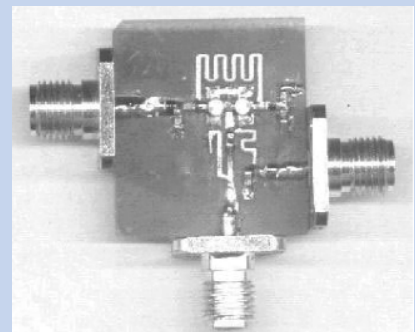
迴路濾波器的頻寬要取小於 1/50 的參考頻率。

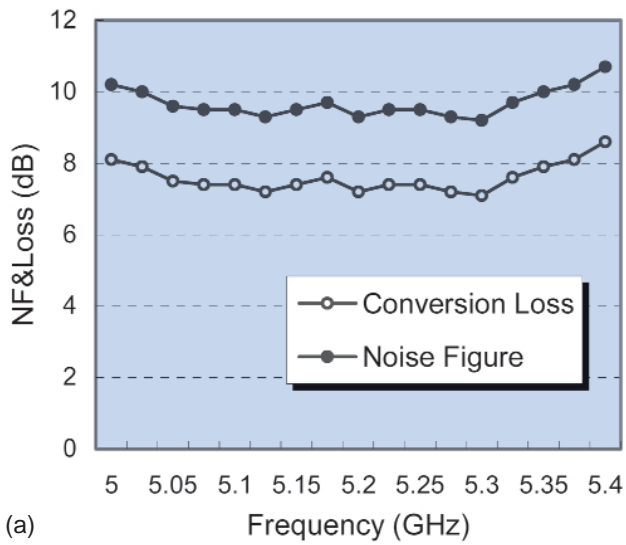
C_3 要小於 $C_1/10$ ，否則第二極點會影響到主要極點的響應。

R_3 的值要大於 R_2 值的兩倍以上，同樣避免次極點影響主極點的頻率響應。

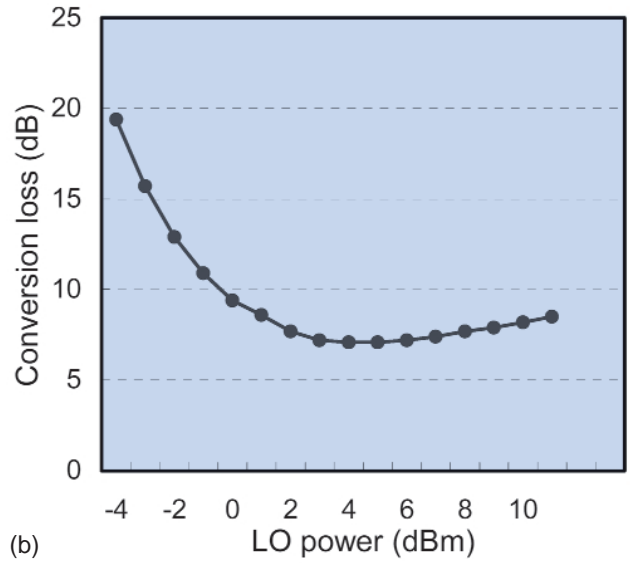
C_3 的值要將 VCO 的輸入電容值計入。

其與穩定度、切換時間之關係式為

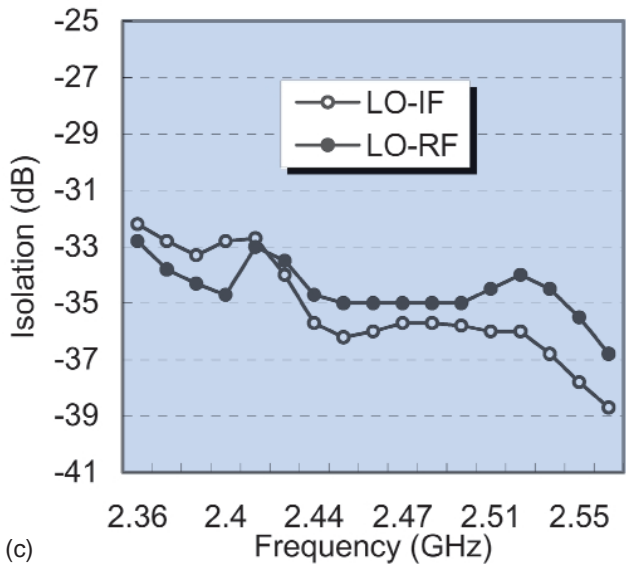




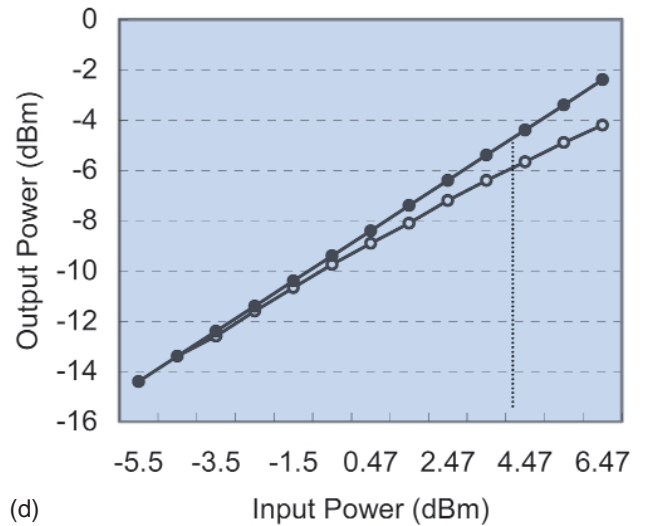
(a)



(b)



(c)



(d)

圖 12. 次諧波混頻器之量測結果。(a) 轉換損耗與雜訊指數。(b) 轉換損耗與 LO 功率之關係。(c) LO-RF 與 LO-IF 之隔離度。(d) 輸入 P_{1dB} 點 @ LO power = 4 dBm

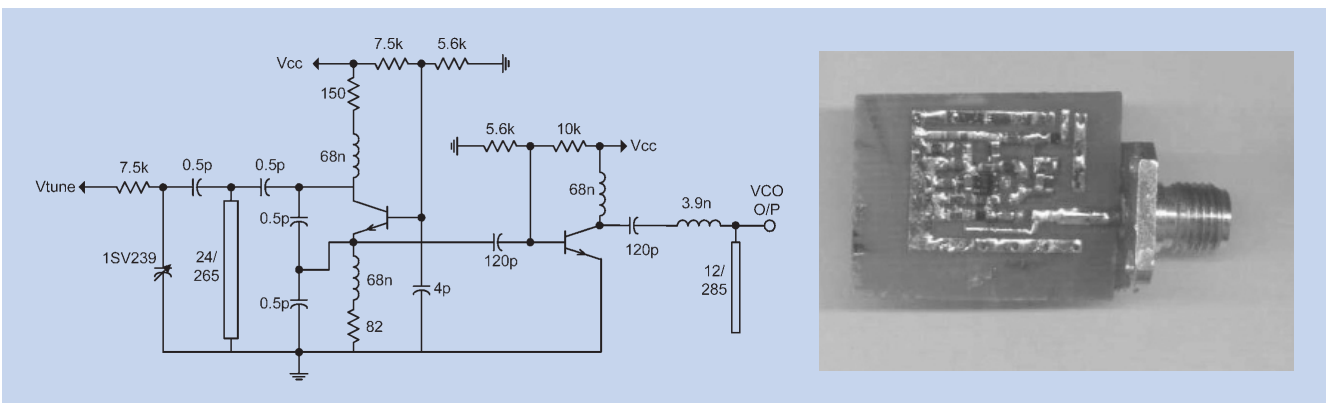


圖 13. 電壓控制振盪器電路圖。

$$T_1 = R_2 \times \frac{C_1 \times C_2}{C_1 + C_2} \text{ in terms of stability } T_1 = \frac{\sec \phi_c - \tan \phi_c}{\omega_c}$$

$$T_2 = \frac{1}{\omega_c^2 \times (T_1 + T_3)}$$

$$\text{in terms of stability } T_2 = \frac{1}{\omega_c^2 \cdot T_1}$$

$$T_3 = R_3 \times C_3$$

$$\text{in terms of the attenuation } T_3 = \sqrt{\frac{10^{(ATTN/20)} - 1}{(2\pi \cdot F_{ref})^2}}$$

$$\omega_c = \frac{\tan \phi \times (T_1 + T_3)}{(T_1 + T_3)^2 + T_1 \times T_3} \times \left[\sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 \times T_3}{[\tan \phi \times (T_1 + T_3)]^2}} - 1 \right]$$

$$C_1 = \frac{T_1 K_\phi \times K_v}{T_2 \omega_c^2 \times N} \times \left[\frac{(1 + \omega_c^2 \times T_2^2)}{(1 + \omega_c^2 \times T_1^2)(1 + \omega_c^2 \times T_3^2)} \right]^{1/2}$$

$$C_2 = C_1 \times \left(\frac{T_2}{T_1} - 1 \right)$$

$$R_2 = \frac{T_2}{C_2}$$

$$\omega_n = \sqrt{\frac{K_v K_d}{N T_1}}$$

$$T_L = \frac{2\pi}{\omega_n}$$

其中 T_1 、 T_2 、 T_3 為時間常數， ω_c 增益邊際的頻率， K_ϕ 為相位比較器之增益， K_v 為振盪器之調控電壓增益， N 為迴路除數值， ϕ 為相位邊際 (phase margin)。圖 15 為電路圖，以下為計算所得迴路濾波器的參數：

$$K_v = 21 \text{ MHz/V} \quad K_\phi = 5 \text{ mA}$$

$$RF_{\text{output}} = 2470 \text{ MHz}$$

$$F_{\text{ref}} = 5 \text{ MHz} \quad N = 996$$

$$\omega_p = 2\pi \cdot 10 \text{ kHz} = 6.283 \times 10^4 \text{ rad/s}$$

$$\phi_p = 45^\circ \text{ (phase margin)}$$

$$\text{ATTEN} = 20 \text{ dB (對參考頻率突波衰減量)}$$

$$C_1 = 24 \text{ nF} \quad C_2 = 120 \text{ nF} \quad C_3 = 57 \text{ pF}$$

$$R_2 = 390 \Omega \quad R_3 = 1.8 \text{ k}\Omega$$

2. 頻率合成器之量測結果

頻率合成器範圍為 2450 至 2525 MHz，共 5 個頻道，每個頻道相隔 12.5 MHz。相位雜訊為 -88

dBc/Hz @ 10 kHz，輸出功率為 2 dBm，一個頻道之切換時間小於 420 us，突波雜訊小於 -74 dBc，

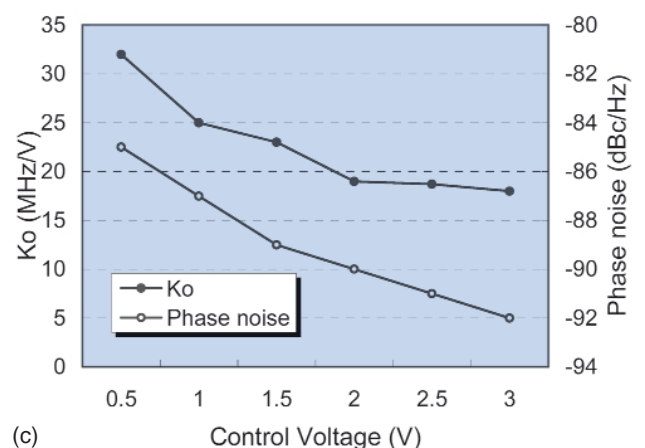
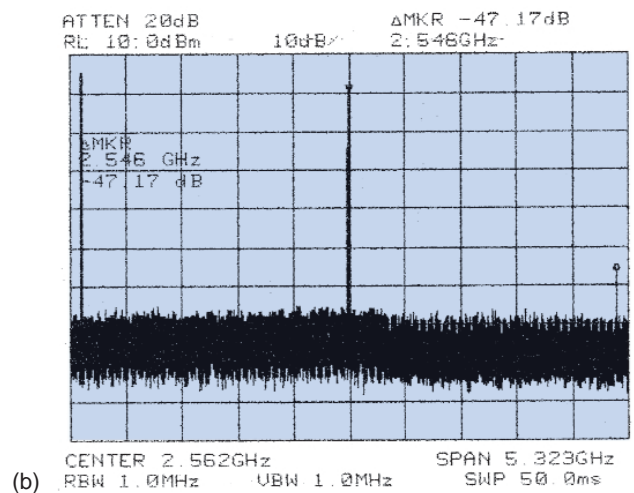
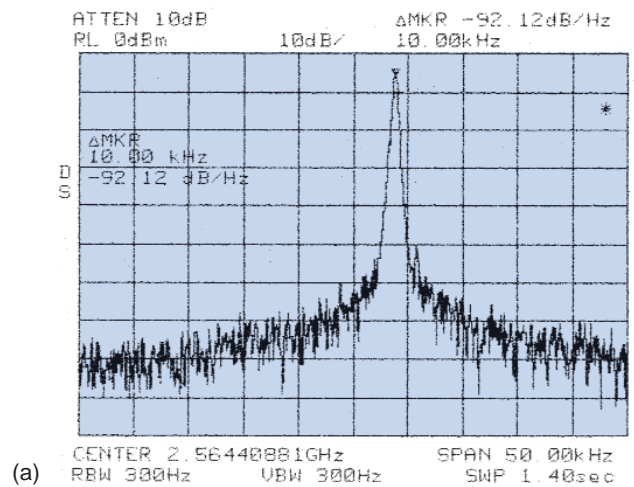


圖 14. 電壓控制振盪器之量測結果。(a) 相位雜訊 -92 dBc/Hz @ 10 kHz。(b) 二次諧波功率 -47 dBc。(c) 相位雜訊與調控電壓增益。

二次諧波小於 -45 dBc，消耗功率 3 V、32 mA (含 VCO)，量測結果如圖 16。

八、射頻濾波器之設計與實作

1. 正方開環型諧振濾波器

射頻濾波器最主要是濾出整個射頻通道的訊號，並抑制假像的訊號 (image rejection)。本系統的射頻濾波器通帶範圍為 5.15 - 5.3 GHz。濾波器的衰減量與所選擇的中頻有關，本研究選擇的中頻為 282 MHz，相當於要在 4.8 - 4.66 GHz 內要衰減 40 dB 以上，才能對假像訊號有足夠的抑制。我們採用正方開環型諧振濾波器 (square open-loop resonator filter) 的架構，此濾波器之設計想法可視為是以縮小化髮夾諧振濾波器為基礎，再輔以空腔

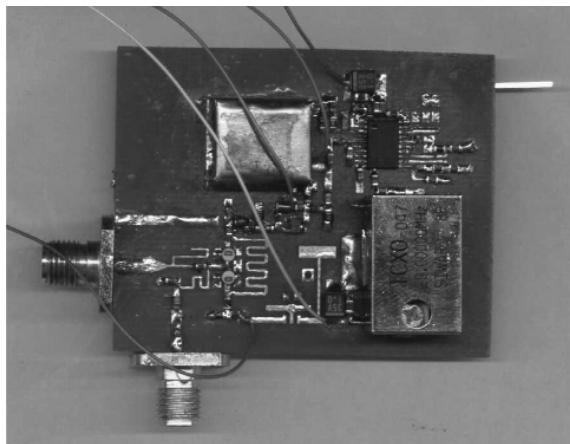
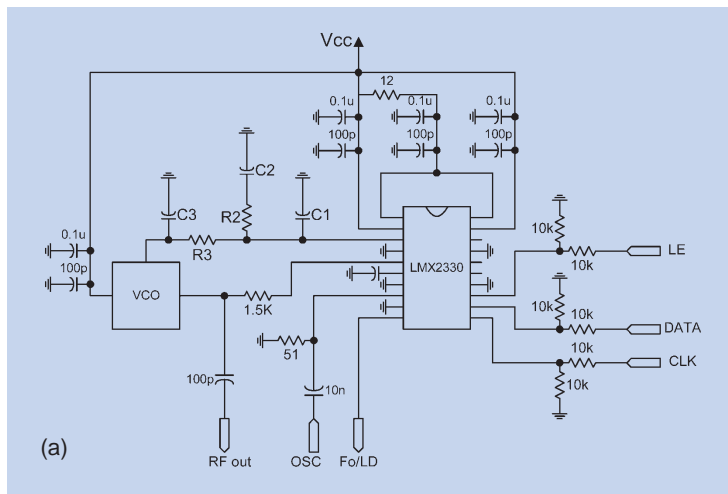
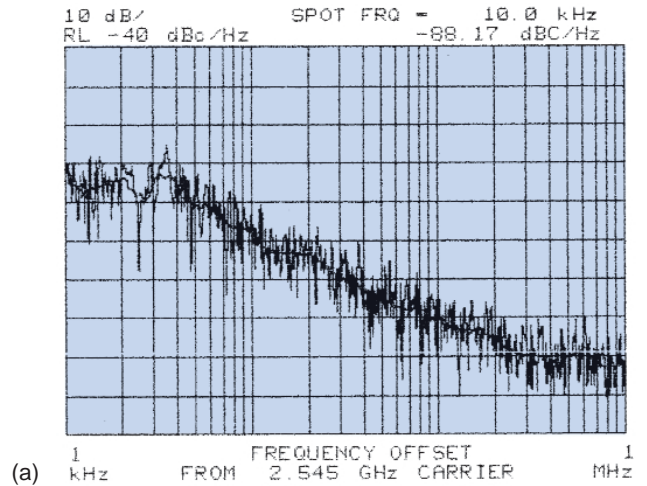


圖 15. 鎖相迴路電路圖。



PM3394A

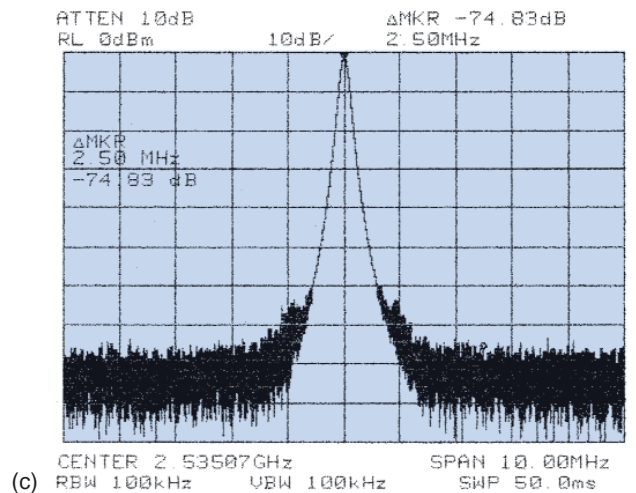
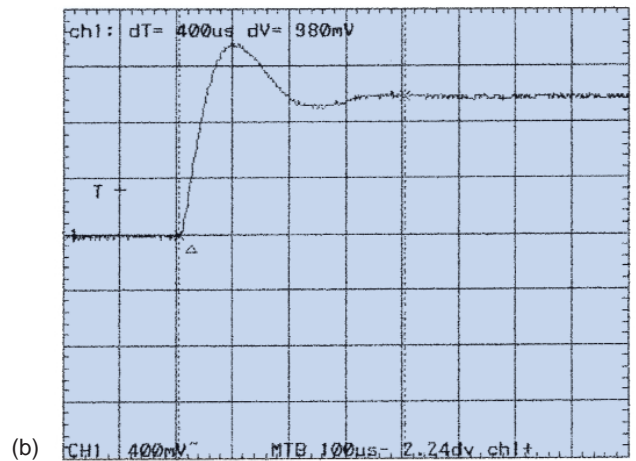


圖 16. 鎖相迴路量測結果。(a) 相位雜訊 -88 dBc/Hz @ 10 kHz。(b) 一個頻道之切換時間 (< 420 μ s)。(c) 突波雜訊小於 -74 dBc 以下。

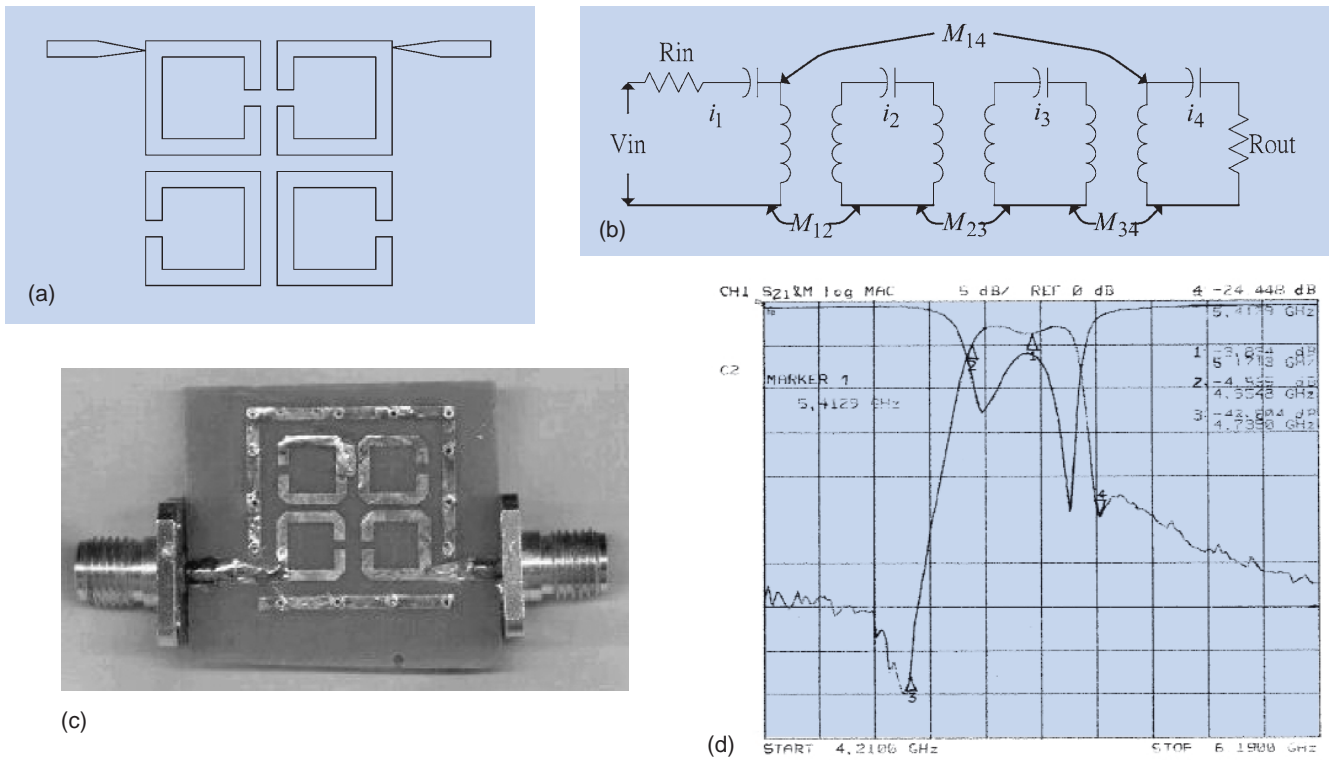


圖 17. 正方開環濾波器。(a) 示意圖。(b) 等效電路圖。(c) 實體圖。(d) 量測結果。

波導管濾波器的設計方法。圖 17(a) 之等效電路如圖 17(b) 所示。

功率傳輸比 (power-transmission ratio) 為

$$|t(j\omega)|^2 = \frac{P_L}{P_{L,max}} = \frac{4R_S}{R_L} \left| \frac{V_L}{V_S} \right|^2 = \frac{4R^2(-M_{12}^2 M_{23} - \omega^2 M_{14} + M_{23}^2 M_{14})^2}{D'}$$

其中

$$D' = \omega^8 + \omega^6(2C + R^2) + \omega^4[2D + C^2 - 8R^2(M_{12}^2 + M_{23}^2)] + \omega^2[2CD + 4R^2(M_{12}^2 + M_{23}^2)^2] + D^2$$

$$C = -R^2 - M_{23}^2 - M_{14}^2 - 2M_{12}^2$$

$$D = M_{23}^2 R^2 + (M_{12}^2 - M_{23} M_{14})^2$$

若互偶參數滿足

$$M_{14} = -\frac{\Delta\omega^2}{2\epsilon R}, \quad M_{23} = \Delta\omega^2 \frac{\omega_p}{\sqrt{2\epsilon} R}$$

$$M_{12}^2 = RM_{23} + M_{14}M_{23}$$

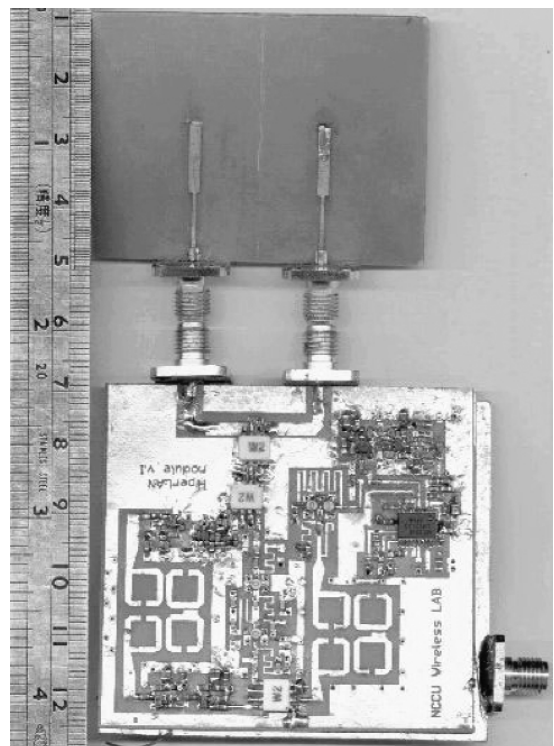


圖 18. 5.2 GHz 射頻模組實品圖 (頻率合成器位於背面)。

則輸出與輸入功率傳輸筆的頻率響應為四階反橢圓率波器函數 (fourth-order anti-metric elliptic function), 亦即

$$|t|^2 = \frac{1}{1 + \varepsilon^2 R^2(\omega)}$$

$$R^2 = \frac{-\Delta\omega^2}{2} \left(\omega_z^2 - \frac{2\omega_p}{\sqrt{2\varepsilon}} \right)$$

$$\pm \frac{1}{2} \sqrt{\Delta\omega^4 \left(\omega_z^2 - \frac{2\omega_p}{\sqrt{2\varepsilon}} \right) - 4\Delta\omega^4 \left(\frac{\omega_p}{\varepsilon\sqrt{2\varepsilon}} - \frac{\omega_p^2}{2\varepsilon} - \frac{1}{4\varepsilon^2} \right)}$$

其中 ω_0 為中心頻率, ω_z 與 ω_p 分別為零點頻率與

極點頻率, $\omega' = \frac{1}{\Delta\omega} \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)$, $\Delta\omega = \frac{\omega_2 - \omega_1}{\omega_0}$, ε 為漣波常數 (the ripple constant).

2. 量測結果

電路尺寸為 $1.5 \times 1.5 \text{ cm}^2$, 實品圖如圖 17(c), 量測結果如圖 17(d), 頻帶內的損耗為小於 3 dB, 在通帶邊緣各有一個傳輸零點, 大幅提高假像的訊號衰減量為 45 dB。

九、射頻收發模組之整合測試

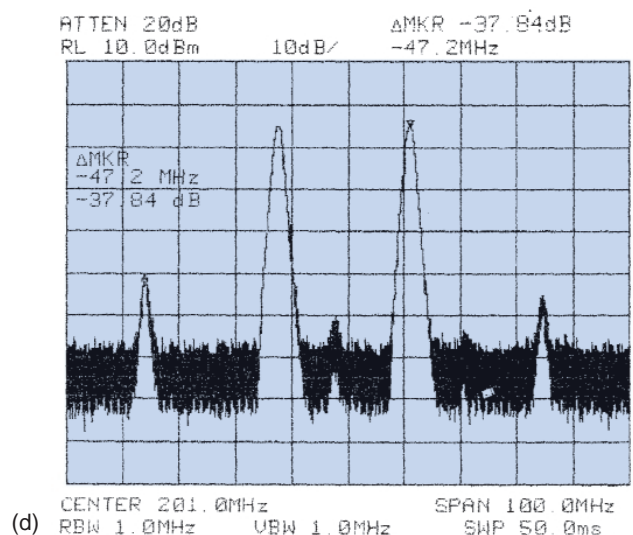
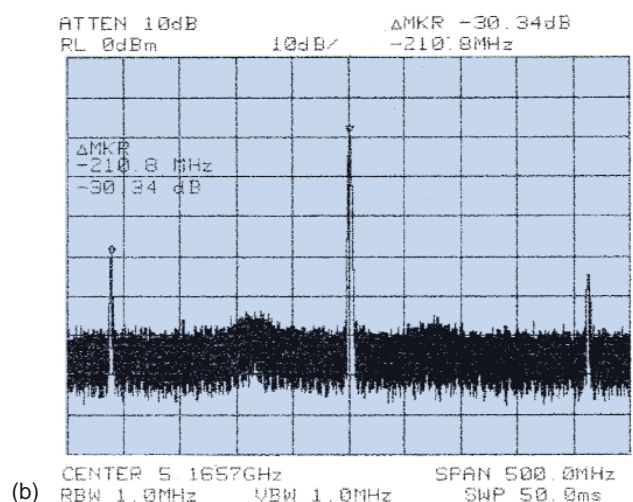
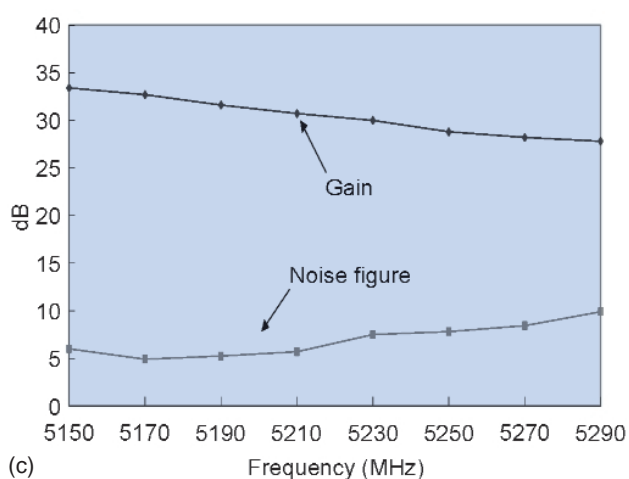
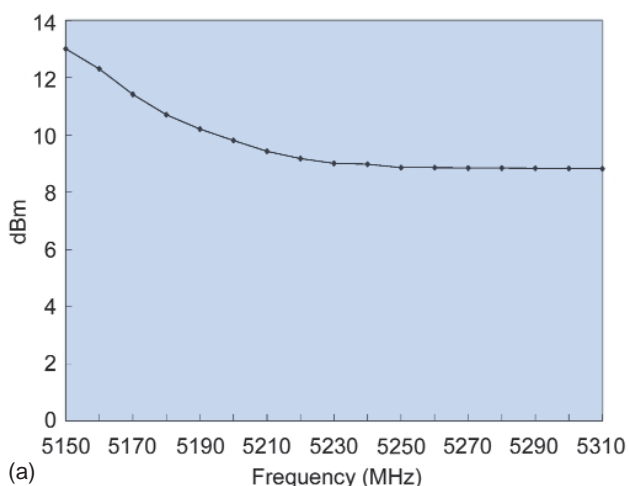


圖 19. 射頻模組之 CW 量測結果。(a) 發射機之輸出功率。(b) 發射機之二倍 LO 訊號溢漏。(c) 接收機之增益與雜訊指數。(d) 接收機之 2-tone 測試。

1. 電路整合

將射頻子電路：低雜訊放大器、射頻濾波器、混頻器、鎖相迴路振盪訊號源，功率放大器與驅動放大器，天線分集與 T/R 分時開關 (採用 Stanford Microelectronic 公司之 SSW-224)，整合射頻模組，工作電壓為 3 V，電路尺寸為 $6 \times 6 \text{ cm}^2$ ，如圖 18。

2. 整合測試之結果

(1) 發射機測試

CW 量測結果如圖 19，發射機在 5150 到 5300 MHz 頻段內的增益為 24 dB，輸出功率為 $24 \pm 1 \text{ dBm}$ 。5 GHz 之 2 倍 LO 訊號溢漏到天線端的功率為 -30 dBc ，而 2.5 GHz 的 LO 訊號溢漏到發射天線為 -74 dBc 。

(2) 接收機測試

接收端之功率增益為 $31.5 \pm 1.5 \text{ dB}$ ，雜訊指數為 $7.5 \pm 2.5 \text{ dB}$ 。接收機雜訊指數較大的原因是低雜訊放大器前端有天線分集開關和 TR 開關，總共有 4 dB 的損耗，因此造成整體接收機雜訊指數增加到 7.5 dB。關於接收機非線性特性量測，以 2-tone 測試法來量測，送入 5150 和 5173.5 MHz 的兩

表 5. CW 測試結果。

| (a) 發射機部分 | |
|--|--|
| Frequency input | 280 MHz |
| Frequency output | 5150 - 5300 MHz |
| Gain | 24 dB |
| Pout | $24 \pm 1 \text{ dBm}$ |
| LO leakage at antenna | -30 dBc |
| (b) 接收機部分 | |
| Frequency input | 5150 - 5300 MHz |
| Frequency output | 280 MHz |
| Gain | $31.5 \pm 1.5 \text{ dB}$ |
| NF | $7 \pm 1.5 \text{ dB}$ |
| $IP_{1\text{dB}}$ | -24 dBm |
| IMD (two tone at -5 dBm each 23.5294 MHz apart) | 37 dBc |
| Image rejection | 45 dBc |
| Input Return Loss | $> 15 \text{ dB}$ |
| LO leakage at IF | 40 dBc |
| LO phase noise | $-88 \text{ dBc/Hz @ } 10 \text{ kHz}$ |

個射頻訊號，當輸出訊號分別達到 -5 dBm 時，在所要頻率兩旁有增生的非線性成分，小於主訊號 37 dBc。CW 測試結果列於表 5。

(3) 數位訊號測試

設立兩套射頻模組，作傳輸和接收同時動作的量測，測試環境設定如圖 20。數位訊號量測結果如圖 21，是在距離 1 和 6 公尺的情況下，系統傳送 3 Mps 時的眼圖，EVM 值為 10%。EVM 值與接收訊號強弱之關係如圖 21(c) 所示。另外，進行兩套射頻模組之實地測試，在相距 15 公尺之距離可成功將兩部電腦之畫面對傳。

十、結論

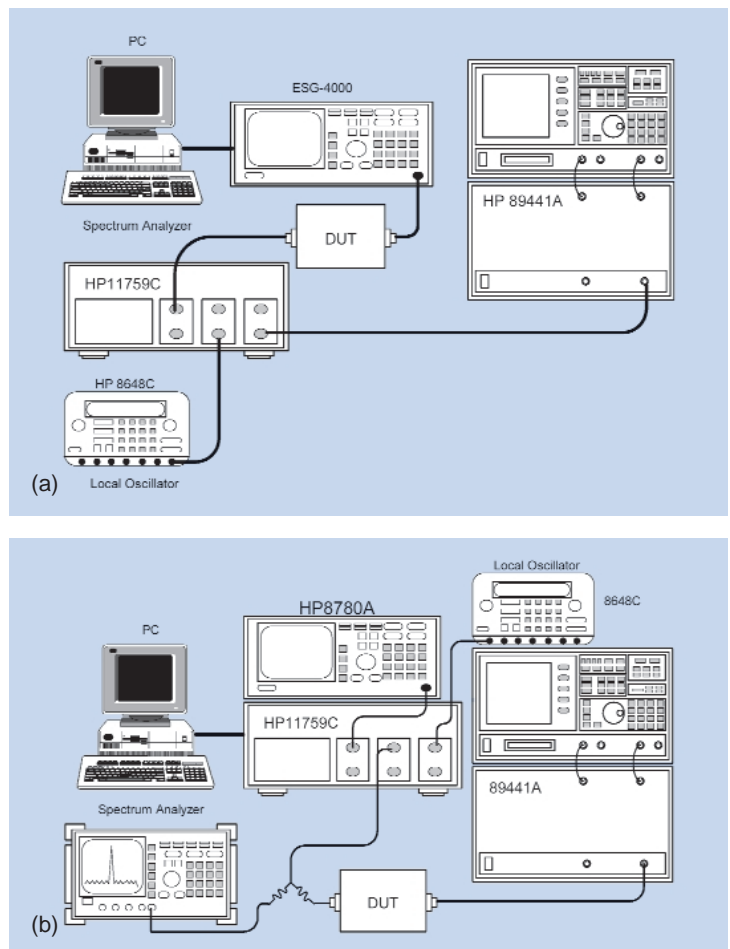


圖 20. 數位微波訊號測試設立。(a) 接收機。(b) 發射機。

本文探討應用於 5.2 GHz HiperLAN/1、HiperLAN/2 和 IEEE 802.11a 之射頻模組。由書面

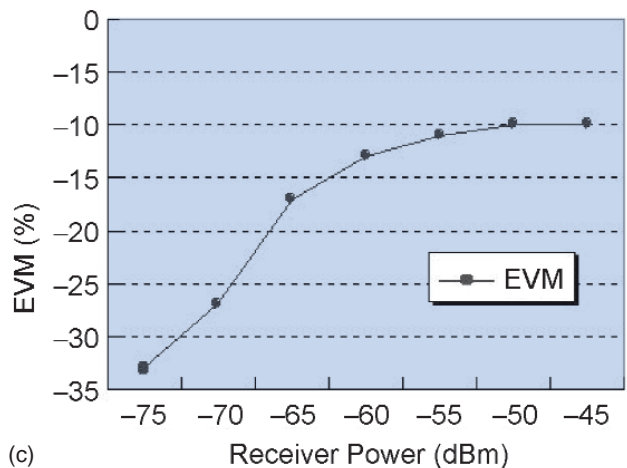
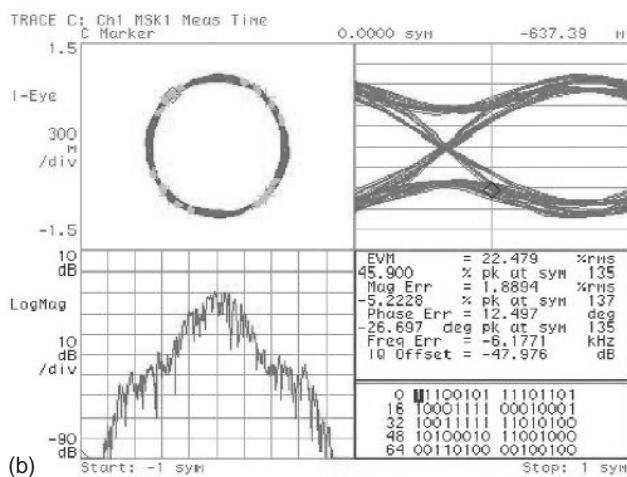
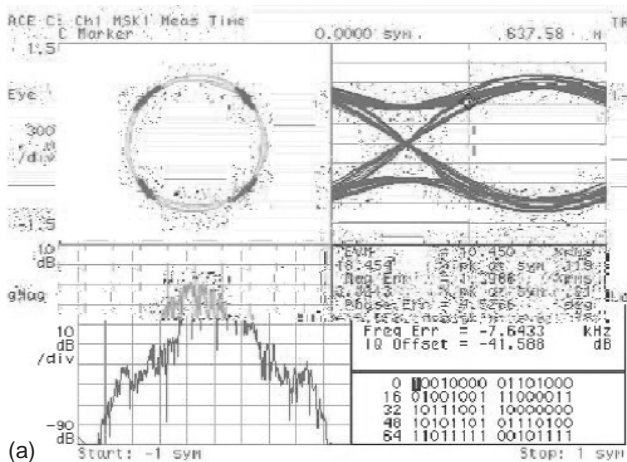


圖 21. 數位微波訊號之量測結果。(a) 相距 1 公尺。(b) 相距 6 公尺。(c) EVM 值與接收信號功率之關係。

標準出發，計算鏈路與劃分子電路，以混成積體電路方式組製各子電路。接收機部分包含低雜訊放大器、次諧波混頻器、射頻濾波器、電壓控制振盪器和鎖相迴路等子電路，發射部分則完成三級功率放大器的 OFDM 模擬、電路設計與製作。接收機工作在 3 V，消耗電流 54 mA，發射機消耗功率為 985 mW。將各子電路整合於一 6×6 公分之測試基板上，完成 CW 的訊號測試，整體接收機增益為 32 dB，雜訊指數為 5 - 7 dB，輸出 1 dB 增益壓縮點為 26 dBm。在數位微波測試方面，以 3 Mb/s 的 GMSK 訊號測試之 EVM 值小於 10%。另外，進行兩套射頻模組之實地測試，在相距 15 公尺之距離可成功將兩部電腦之畫面對傳。

參考文獻

1. L. F. Pasmooij, "Wireless LANs: Worldwide Market Review and Forecast, 1997-2003", International Data Corporation (1998).
2. R. B. Marks, I. C. Gifford, and B. O'hara, *Microwave Journal*, 46, June (2001).
3. ETSI, Broadband radio access networks (BRAN); high performance radio local area network (HIPERLAN) Type 2; requirements and architectures for wireless broadband access, TR 101 031 v2.2.1, Jan 1999.
4. ETSI, Broadband radio access networks (BRAN); high performance radio local area network (HIPERLAN) Type 1, Reference: DE/BRAN-10-02D, May 1998
5. M. V. Schneider and W. W. Snell, Jr., *IEEE Trans. Microwave Theory Tech.*, **MTT-23**, 271 (1975).
6. H. Zirath, *IEEE Symposium MTT-s*, MTT-S Digest, 875 (1991).



圖 22. 兩套射頻模組作電腦畫面互傳。

7. S. A. Maas, *IEEE Trans. Microwave Theory and Tech.*, **MTT-35**, 425 (1987).
8. S. A. Maas, *Microwave Mixers*, 2nd ed., Norwood, MA: Artech House (1993).
9. 郭俊儀, Ka 頻帶平衡交叉式二極體混波器與 X 頻帶次諧波電阻性 FET 混波器, 國立交通大學電信工程研究所碩士論文 (1995).
10. 耿仁鵬, 利用微帶線實現高群帶比之射頻濾波器, 國立中正大學工程研究所碩士論文 (1999).
11. J.-S. Hong and M. J. Lancaster, *IEEE Trans. Microwave Theory and Tech.*, **44** (12), 1996.
12. G. Gonzalez, *Microwave Transistor Amplifier; Analysis and Design*, Englewood Cliffs, NJ: Prentice Hall (1994).
13. Hewlett Packard 8970B Opt 020/8971B/8971C Noise figure meter operating manual.
14. M. K. Nezami, *Microwave & RF*, 101, June (1998).
15. G. D. Vendelin, *Microwave Circuit Design Using Linear and Nonlinear Techniques*, New York: John Wiley & Sons (1990).
16. U. L. Rohde, "All about phase noise in oscillators," part 1, QEX, December (1993).
17. U. L. Rohde, *Microwave and Wireless Synthesizers: Theory and Design*, New York: John Wiley & Sons (1997).
18. D. B. Leeson, *Proceedings of IEEE*, **42**, 329 (1965).
19. California Eastern Laboratory, "Designing VCOs and Buffers Using the UPA family of Dual Transistors," AN-1034.
20. National Semiconductor, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL," AN-1001.
21. 蔣建勇, ISM 頻帶無線通訊之射頻功率放大器模組設計, 國立成功大學電機工程研究所碩士論文 (1995).
22. 黃俊雄, 0.1 MHz - 1.3 GHz / 1.3 GHz - 2.6 GHz 寬頻帶射頻功率放大器之設計, 國立成功大學電機工程研究所碩士論文 (1996).
23. B. Gallagher, *Microwave Journal*, 70, October (1997).
24. J. L. B. Walker, *High-Power GaAs FET Amplifier*, Norwood, MA: Artech House,
25. C. C. Faulkner and S. M. Jones, *Proceedings of Microwaves and RF*, 33 (1997).
26. California Eastern Laboratory, "1/f Noise characteristics influencing Phase Noise," AN-1026.
27. R. W. Rhea, *Oscillator Design and Computer Simulation*, Atlanta: Noble Publishing (1995).
28. P. Vizmuller, *RF Design Guide*, Norwood, MA: Artech House (1995).
29. 沈文和, 張盛富, 高速無線區域網路技術研討會, 工研院電通所 (1998).
30. A. A. Sweet, *MIC & MMIC Amplifier and Oscillator Circuit Design*, Norwood, MA: Artech House (1990).
31. P. Shveshkeyev, "A Colpitts VCO for Wideband (0.95 - 1.5 GHz) Set-Top TV Tuner Applications," Alpha, Application Note (1997).