

深槽技術於 CMOS 共平面波導與晶片隔絕度之應用

Deep Trench Technology for CMOS CPW and On-Chip Isolation

呂學士、汪濤

Shey-Shi Lu, Tao Wang

本研究將微機電深槽技術應用於 CMOS 射頻積體電路之共平面波導，晶片製作後，將該共平面波導底下之損耗基板，以微機電製程之電感型耦合電漿蝕刻技術移除，並於量測散射參數 (S 參數) 後，由量測數據萃取其傳輸線等效電路。實驗結果顯示，在 20 GHz 時移除基板損耗後，此傳輸線之效能提升，其訊號衰減率由原本 0.5 dB/mm 降至 0.05 dB/mm；寄生電容 (capacitance) 降低為原本的 56%，寄生之基板電納 (conductance) 則由原本的 1.6 mS/mm 降至近乎 0 mS/mm 的程度。本文除了驗證此深槽技術能消除共平面波的基板損耗，並進一步討論該技術對於晶片隔絕度 (on-chip isolation) 之改善，實驗結果顯示，晶片隔絕度於 2 GHz 時可增加近 32 dB。上述種種優點說明本技術不僅改善共平面波導的性能，也可使電路透過基板的干擾降低，對未來 CMOS 微波領域或系統單晶化 (system-on-a-chip) 的應用具有相當潛力。

A coplanar waveguide (CPW) was implemented in 0.13 μm CMOS technology and then post-processed by CMOS compatible inductively-coupled plasma (ICP) etching, which removes the silicon underneath the coplanar strips. Transmission line parameters such as characteristic impedance Z_0 , attenuation constant, substrate capacitance/conductance C/G , series inductance/resistance L/R , as a function of frequency were extracted. It is found that α , C and G are greatly improved after silicon removal. At 20 GHz, α is decreased from 0.5 dB/mm to 0.05 dB/mm, G is reduced from 1.6 mS/mm to ~ 0 mS/mm and C is lowered by 56%. The experiment shows that deep trench technology is capable to promote the performance of coplanar waveguide profoundly. Besides the CPW, the technique was further used for on-chip isolation purpose, aimed to solve the problem of substrate leakage. The result shows an extra 32 dB isolation at 2 GHz was contributed by this technique. From these experiments, it is evidenced that deep trench technology should be promising in CMOS MMIC and SOC applications.

一、簡介

近年來由於半導體製程技術日新月異，互補型金屬氧化物半導體 (CMOS) 之電晶體製造技術已突

破原有的藩籬，將其應用範圍延伸至頻率高如微波或毫米波之頻段⁽¹⁾。此技術之突破，象徵著未來單晶片通訊積體電路將逐一實現於 CMOS 製程中，同時其製程之成本較低且可與其他系統整合之特

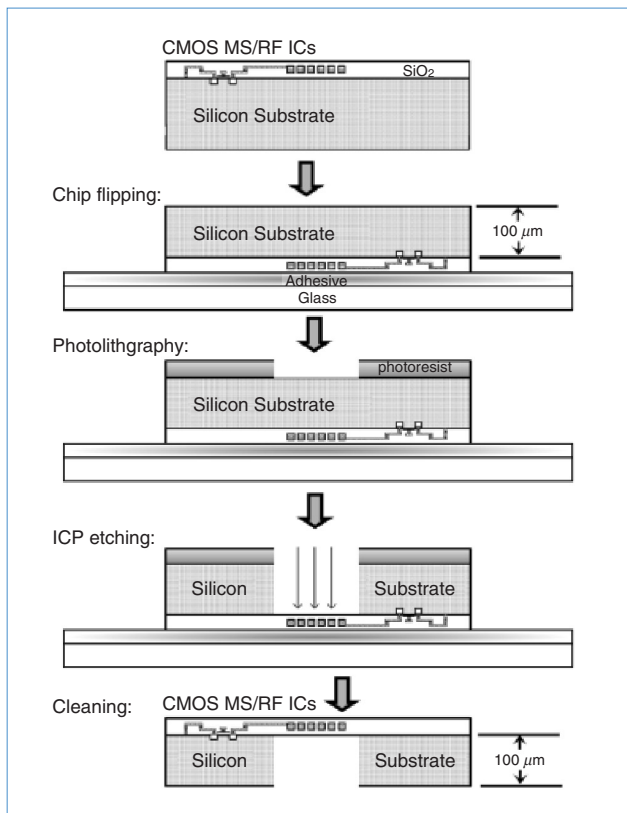


圖 1. 深槽技術施作流程。

性，將使它成為未來發展之主流。

然而，儘管電晶體特性持續進步，CMOS 技術所使用之高損耗性基板依舊為許多應用的阻礙。首先，被動元件之微波特性與基板損耗息息相關，僅改善電晶體操作效能，將無助於被動元件特性的提昇，故需一徹底解決方式，將被動元件底的損耗基板移除。另者，隨著積體電路整合度不斷上升，晶片上各電路訊號因為低阻值基板互相干擾的問題逐一浮現，如何提昇晶片隔絕度的方式逐漸受重視。一般常見用來消除基板損耗的方法有：高阻抗基板材料⁽²⁾、正面蝕刻與背面蝕刻⁽³⁾、多孔矽基板⁽⁴⁾，以及高能質子轟擊基板技術⁽⁵⁾等等，儘管這些技術皆稱可有效降低矽基板之損耗，但此類方式卻鮮少用於含有主動電路的 CMOS 晶片，可見該些方式與現今 CMOS 製程技術仍存在著相容性的問題，以至於難以實現於標準之 CMOS 積體電路。筆者實驗室近年內研發出可完全消除矽基板損耗之技術 (深槽技術)，該技術以微機電製程之電感型耦合電漿蝕刻為主，可將所指定位置下之矽基板蝕刻

乾淨。由於可選擇欲蝕刻之區域，對於電晶體底下的基板將無損傷之虞，故可施作於主動電路所作的各項元件，而無相容性的問題。該技術已應用於各項射頻電路元件，如低雜訊放大器 (LNA)、分散式放大器 (DA)、壓控震盪器 (VCO)，與直接降頻接收機 (direct conversion receiver) 等⁽⁶⁻⁹⁾，而且均證實其功效。因此本研究進一步討論該技術對微波領域與系統單晶化之影響，包括微波電路所常見之共平面波導與基板隔絕度的增強，期為將來相關研究者奠立基石。

二、深槽技術

為了與標準 CMOS 製程達到相容的目的，本技術採晶片後製程的方式，先將已設計完成之共平面波導 (coplanar wave guide) 下線予晶圓廠製作，待晶片完成後，再依後製程加工處理。此後製程因可完成既深且垂直的槽孔，故以深槽技術命名之。深槽技術以電感式耦合電漿蝕刻技術為主，此乃一具有高深寬比之蝕刻技術，由於蝕刻速率極高，此常為微機電製程所用，深槽技術即利用上述蝕刻方式之優點，完成選擇性蝕刻矽基板之目的。

深槽技術施作流程如圖 1 所示，其施作步驟分述如下：

- (1) 將下線完成的 CMOS 晶片翻面，將晶片加熱，並以熱熔臘將其正面黏著於一玻璃片上，待臘冷卻後，復以砂紙研磨之，此研磨之目的在於減少基板厚度，直至基板厚度約 100 微米後，加熱晶片將其取下，並作表面清理的工作。
- (2) 將已磨薄之晶片翻面，重新用光阻將其正面黏著於另一玻璃，接著對晶片背面的基板作曝光顯影的步驟，此黃光過程將定義屆時被蝕刻的部分，其光阻於硬烤後將作為阻擋電漿蝕刻之遮罩。
- (3) 將硬烤完之晶片置入電感耦合電漿蝕刻機內開始蝕刻。本實驗通入 SiF_6 與 C_2F_8 氣體，分別作為電漿蝕刻系統所需之蝕刻與保護層所用，關於電感型耦合電漿蝕刻原理及應用，非本文探討之重點，故不贅述。本實驗所採用的設備，其對矽蝕刻之速率約為 $2 \mu\text{m}/\text{min}$ ，故蝕刻 $100 \mu\text{m}$ 所需時間約為 50 分鐘。

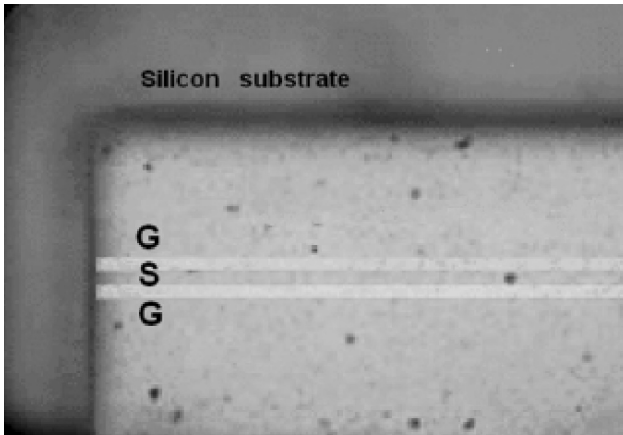


圖 2. 經過後製程之晶片背面照。

(4) 將晶片蝕刻至由晶片背面可見到正面為止，因為矽基板不透光，若可見到正面圖形，代表矽已經被蝕刻乾淨，此時只需以丙酮將晶片由原本玻璃上取下，再作表面清理工作，即完成該製程。圖 2 為經過後製程實施之晶片背面照片，其中黑色部分為矽基板，在其旁邊則為蝕刻完全之槽溝，由於矽已經被蝕刻乾淨，故其晶片之正面景象由背面清楚可見。

三、共平面波導

共平面波導結構如圖 3 所示，一金屬走線夾於兩片金屬平面之間，此結構常以 ground-signal-ground 稱之，其電磁波分布如圖 3 所示，由於部分電磁場穿過底下的基板，若基板絕緣度差，則會有能量消耗於其中，本實驗即將此基板掏空，並加

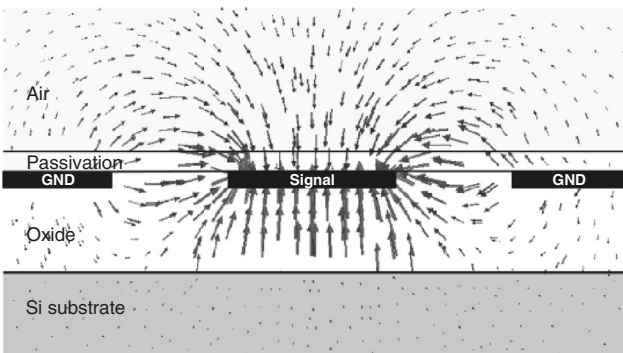


圖 3. 共平面波導結構⁽¹⁾。

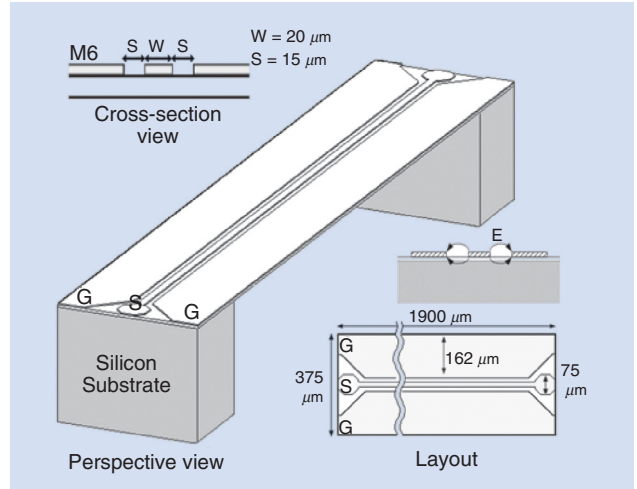


圖 4. 共平面波導之尺寸與剖面圖。

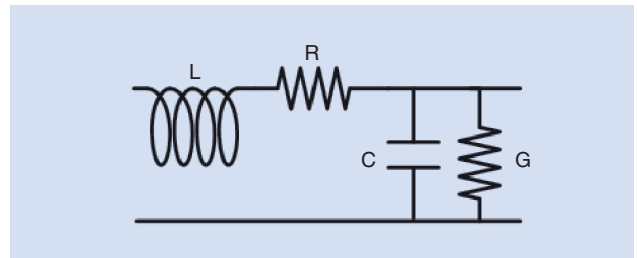


圖 5. 傳輸線的等效分散電路模型。

以比較。實驗所用波導以 TSMC CMOS 0.13 μm 製程製作，所採用共平面波導之尺寸與剖面圖，如圖 4 所示。如同一般共平面波導，此傳輸線採 ground-signal-ground 之共平面結構，並於最外兩端連接高頻探針所使用之探針墊 (probing pad)，以符合晶圓級量測所需。此波導 signal 線寬為 20 μm ，signal 與 ground 之間的空隙則為 15 μm ，使用金屬層為最上層金屬，其金屬厚度為 3 μm 。本元件之散射係數 (scattering parameters) 經由網路分析儀量測而得出，其測量頻率為 2 GHz 至 20 GHz，由此散射係數可反推傳輸線的各项參數，如特徵阻抗、衰減係數與傳輸線等效電路中的 R (串聯電阻)、 L (串聯電感)、 C (並聯電容) 與 G (並聯電納) 等值。

圖 5 為傳輸線的等效分散電路模型 (distributed model)，由參考文獻⁽¹⁰⁾ 得知，我們可以將 S 參數經由下列公式轉換，得出等效電路中之 Z (特徵阻抗)、 R (串聯電阻)、 L (串聯電感)、 C (並聯電

容)、 G (並聯電納) 與 γ (傳播係數)。實驗數據分析步驟如下。

首先，先將 S 參數帶入下列各式求出 $e^{-\gamma l}$ 之值，

$$e^{-\gamma l} = \left\{ \frac{1 - S_{11}^2 + S_{21}^2}{2S_{21}} \pm K \right\}^{-1}$$

其中，

$$K = \left\{ \frac{(S_{11}^2 - S_{21}^2 + 1)^2 - (2S_{11})^2}{(2S_{21})^2} \right\}$$

$$Z^2 = Z_0^2 \frac{(1 + S_{11})^2 - S_{21}^2}{(1 - S_{11})^2 - S_{21}^2}$$

在利用 $e^{-\gamma l}$ 與 Z^2 的時候，必須注意由於一般網路分析儀會將所量到的相位侷限於 -180° 至 180° 區間，儀器會自動將超過 -180° 的相位加上 360° ，因此我們必須將這個不連續點先修正成連續點之後，才可帶入上述的公式。此外， $e^{-\gamma l}$ 的計算必須合乎物理解釋，例如衰減係數之實部 (α) 必須為正值等經過檢視方可確定。待決定 γ 與 Z 值之後，即可由下述公式反推此傳輸線之等效電路：

$$\alpha = \text{Re}\{\gamma\}$$

$$R = \text{Re}\{\gamma Z\}$$

$$L = \frac{\text{Im}\{\gamma Z\}}{\omega}$$

$$G = \text{Re}\{\gamma/Z\}$$

$$C = \frac{\text{Im}\{\gamma/Z\}}{\omega}$$

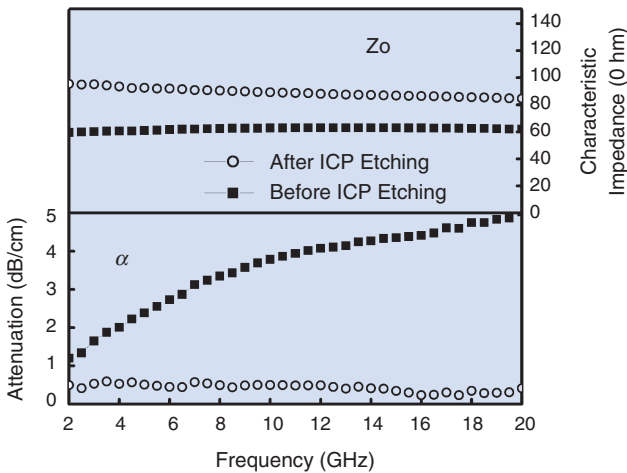


圖 6. 特徵阻抗與衰減常數比較圖。

圖 6 為此傳輸線的特徵阻抗與衰減常數在經過電感耦合型電漿蝕刻 (ICP) 之前與之後的比較，由圖可見，其特徵阻抗 Z_0 經過 ICP 矽蝕刻後明顯增加，欲解釋此現象可參照圖 7 與圖 8，蝕刻後，因為該傳輸線並聯電容 (C 如圖 7) 減少，但串聯電感值 (L 如圖 8) 卻不變，由特徵阻抗公式 $Z_0 = \sqrt{L/C}$ 可知，其值因此升高。另者，除了並聯寄生電容 (C ，圖 7) 明顯地減少，此傳輸線之並聯電納 (G ，圖 7) 亦大幅減少，該並聯電納在等效分散電路模型中代表基板的電阻損耗，在 20 GHz 時，原本為

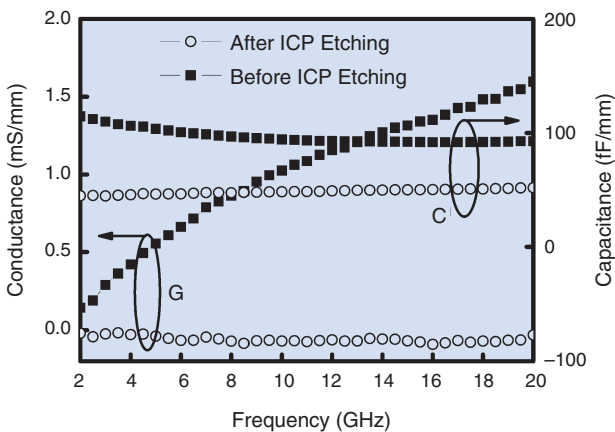


圖 7. 並聯電容與電納比較圖。

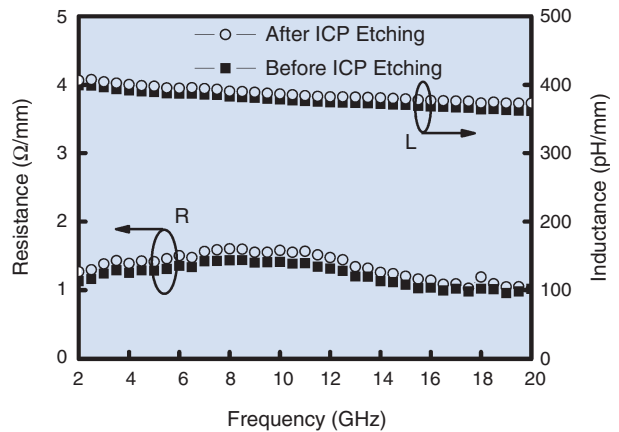


圖 8. 串聯電感與電阻比較圖。

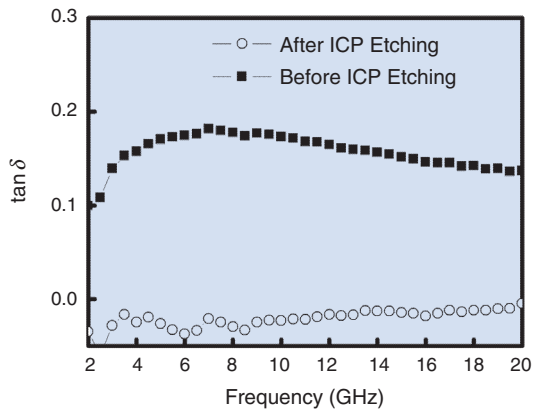


圖 9. 損耗正切比較圖。

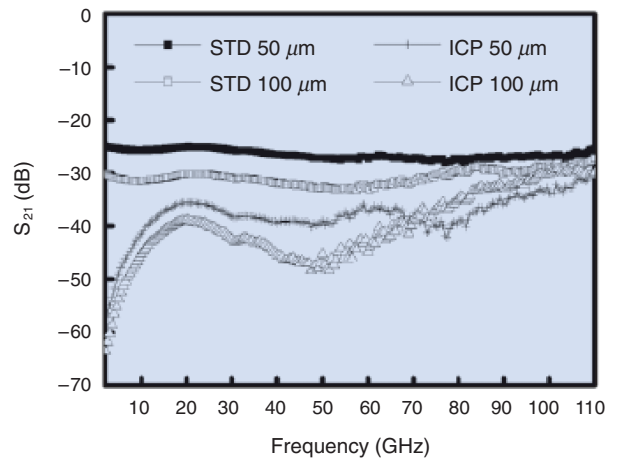


圖 11. Port 1 至 Port 2 的穿透係數 (S_{21})。

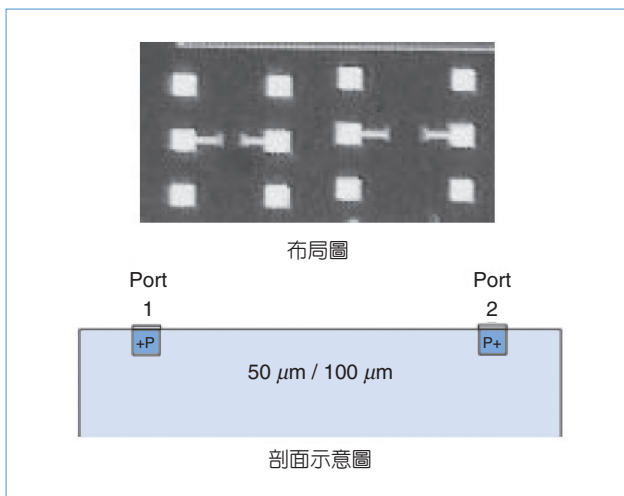


圖 10. 晶片隔離度測試元件之布局與剖面示意圖。

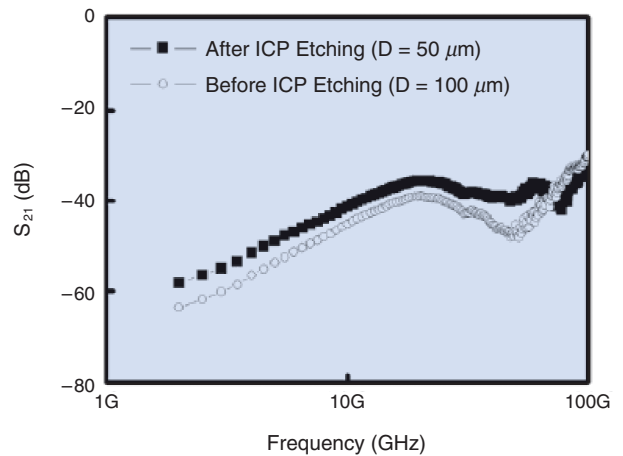


圖 12. Port 1 至 Port 2 的穿透係數 (S_{21})。

1.6 mS/mm，經過矽基板蝕刻後的結果則近乎為零，此改變亦可由衰減常數的降低窺見。原本在 20 GHz 的信號功率衰減為每公釐 0.5 dB，基板移除後降至每公厘衰減 0.05 dB。根據參考文獻 11，此傳輸線底下介質的損耗正切 (loss tangent，一般以 $\tan \delta$ 為符號表示) 可由 $G/\omega C$ 估算而來，如圖 9 所示，在矽蝕刻後，損耗正切由原本接近 0.2 之處，降至接近 0 的地方。由上述各實驗結果得知，深槽技術對於基板損耗的消除具有明顯的功效。

四、晶片隔離度

在本文所述之實驗中，設計兩種測試元件，探討訊號如何在基板內傳送與深槽技術對晶片隔離度 (on-chip isolation) 的影響。圖 10 為該測試元件之布

局與剖面示意圖，主要概念為利用離子佈值的區域，將訊號自輸入端 (Port 1) 導入基板後，再由輸出端 (Port 2) 量測出。其中 Port 1 與 Port 2 之距離設計為 50 μm 與 100 μm 兩種長度，Port 1 與 Port 2 經過矽蝕刻後，其導通媒介將被一寬度約 30 μm 的壕溝所截斷，由於此壕溝以空氣為介質，故可阻擋該訊號，並提高晶片的隔離度。

圖 11 為 Port 1 至 Port 2 的穿透係數 (S_{21})，量測頻率為 2 GHz 至 110 GHz，結果顯示，在矽蝕刻之前 (STD 曲線，圖 11)，其穿透係數之頻率響應相當平坦，值得注意的是，相距 100 μm 的穿透係數，皆與 50 μm 的結果保持著近 6 dB 的差異，此現象顯示訊號在矽基板傳遞之衰減與距離呈反比，此差異維持至 60 GHz 為止。反觀，矽蝕刻後的結果 (ICP 曲線，圖 11)，其穿透係數明顯地隨頻率而

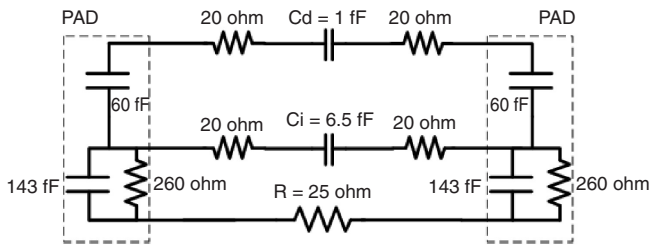


圖 13. 等效電路模型。

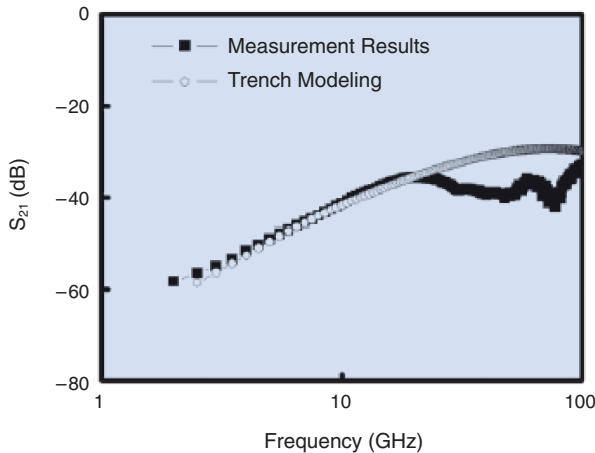


圖 14. 模型之模擬與量測結果。

變化，其變化率約為 20 dB/dec (圖 12)，故推論此時輸入輸出呈現應為一 RC 網路，此網路之等效電路模型如圖 13 所示。圖 13 之模型包含探針測試墊之間的 RC 網路，此模型之模擬結果與量測結果在 10 GHz 之前皆相當吻合 (圖 14)。我們可以從該等效模型得知，矽蝕刻後的壕溝，主要貢獻為 Cd 與 Ci 兩個電容與其寄生電阻。本技術在 2 GHz 時，將晶片隔離度增加 32 dB，隨著頻率上升，此改善雖逐漸減少，卻不失為避免基板干擾的良方。

五、結論

本文介紹如何將深槽技術應用於微波領域與 SOC 領域，該技術可選擇性地蝕刻 CMOS 晶片的矽基板，將其基板損耗移除，以改善電路的性能。藉由一平面波導的實驗，證實該波導之寄生並聯電容與並聯電納均大幅地減少，且信號衰減與損耗正切，均被抑制至近乎零的程度。此外，該技術對於如何改善 SOC 基板的干擾訊號亦提出有效的方式。該方式乃是將矽基板鑿一壕溝來阻擋外來基板

之干擾信號，以改善晶片的隔離度。由於深槽技術與標準 CMOS 製程技術完全相容，對於長久以來矽基板的損耗問題，提出了一個理想的解決方案。

誌謝

感謝國家晶片中心對於本實驗室所做的下線流程與晶片製造技術諮詢，並感謝國家奈米元件實驗室高頻技術中心對於晶圓級量測技術的大力協助。

參考文獻

1. C. H. Doan, S. Emami, A. M. Nikenjad, and R. W. Brodersoen, *IEEE J. Solid-State Circuits*, **40** (1), 144 (2005).
2. B. Rong, J. N. Burghartz, L. K. Nanver, B. Rejaei, and M. van der Zwan, *IEEE Electron Device Letters*, **25** (4), 176 (2004).
3. K. J. Herrick, T. A. Schwartz, and L. P. B. Katehi, *IEEE T. Microwave Theory and Techniques*, **46** (6), 762 (1998).
4. I. K. Itotia and R. F. Drayton, *IEEE MTT-S Digest*, 681 (2002).
5. M. T. Yang, T. J. Yeh, H. M. Hsu, P. C. Ho, Y. J. Wang, Y. T. Chia, and D. D. L. Tang, *IEEE MTT-S Digest*, 1283 (2003).
6. T. Wang, Y.-S. Lin, and S.-S. Lu, *IEEE T. Electron Devices*, **53** (3), 568 (2006).
7. T. Wang, C.-H. Chen, Y.-S. Lin, and S.-S. Lu, *IEEE Electron Device Letters*, **27** (4), 291 (2006).
8. T. Wang, H.-C. Chen, H.-W. Chiu, Y.-S. Lin, G. W. Huang, and S.-S. Lu, *IEEE T. Microwave Theory and Techniques*, **54** (2), 580 (2006).
9. H.-C. Chen, T. Wang, and Shey-Shi Lu, *IEEE J. Solid-State Circuits*, **42** (9) (2007).
10. Y. Eo and W. R. Eisenstadt, *IEEE T. Components, Hybrids, and Manufacturing Technology*, **15**, 483 (1992).
11. K. Nishikawa, K. Shintani, and S. Yamakawa, *IEEE T. Microwave Theory and Technique*, **54** (2), 589 (2006).

- 呂學士先生為美國明尼蘇達大學電機博士，現任國立台灣大學電子工程研究所所長。
- 汪濤先生為國立台灣大學電子工程博士，現服役中。
- Shey-Shi Lu received his Ph.D. in electrical engineering from the University of Minnesota, USA. He is currently the director of Graduate Institute of Electronics Engineering at National Taiwan University.
- Tao Wang received his Ph.D. in electronics engineering from National Taiwan University. He is currently in the military service.