

電子束技術在材料界面工程之應用

Application of Electron-Beam Technology on Materials Interface Engineering

黎中立、管傑雄

Jong-Lih Li, Chieh-Hsiung Kuan

我們整合了以電子束技術為基礎的技術能量，並擷取「top down」及「bottom up」兩種研發趨勢的優點，將其應用於材料界面工程領域。從底材表面結構設計製作到界面的形成、觀察及分析等，皆充分地發揮電子束系統高解析度的共同優點，同時也提出新型態的材料界面及其工程研發的架構。應用實例中以鋁／矽界面之研究為例，驗證了電子束技術在半導體的關鍵領域—界面工程與科學的應用潛力，另外，也開闢對金屬／半導體界面機制作進一步認識的另一可能途徑。

An integrated electron-beam technology has been successfully applied on the area of materials interface engineering. And it is based on combing the advantages of “top down” and “bottom up” approaches in the research and development (R/D) of the nano science and technology. In the applications, the common nature with high resolution of the electron-beam systems has been fully utilized in the fabrication and materials investigation of the interface structures. Moreover, a newly developed interface with the patterned structures on the surface of the substrate, unlike the conventionally planar one, and an evolved R/D configuration for the materials interface engineering are proposed. Through a practical example, it is demonstrated that electron-beam technology has a great potential in the application on the area of the materials interface. The proposed materials interface structure can also provide an alternative to improve the metal-semiconductor contact conductance and a possibility to explore the mechanism of the metal-semiconductor interface further.

一、前言

自 2003 年 9 月筆者的實驗室—「電子束實驗室 (electron-beam laboratory)」成立以來，即以發展尖端奈米元件為宗旨致力於各項研究，在實驗室成立之初更以跨領域的發展架構 (如圖 1 所示)，即結合電子、光電、物理、化學、生物、機械等領域作互動整合，以期能在共同願景之下互助合作達到研

究發展之目標。這幾年來實驗室從無到有，在所有參與師生共同努力之下，各項成果正如雨後春筍般的展現，尤其難能可貴的是，同學們在參與的過程中學習到實驗室制度的建立、團結互助的精神及「奈米習慣」的養成等等，在在顯示實驗室已完成建立工作，並跨出穩健的第一步。

在奈米科技的研究中有兩種趨勢，如圖 1 所示。第一種為以電子工程技術中之半導體製程技術

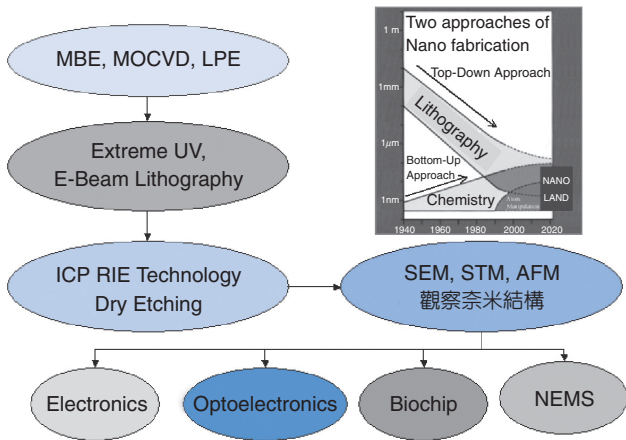


圖 1. 本實驗室以半導體技術為根基之奈米科技發展架構，並整合「top-down」及「bottom-up」兩種發展趨勢之優點。

為根基的研究發展趨勢，即以所謂的由上而下 (top-down) 的方式製作奈米元件及結構，其關鍵的第一步在於曝光微影 (lithography) 技術。而另一種是以化學為基礎之研究發展趨勢，亦即以所謂的由下而上 (bottom-up) 的方式製作奈米元件及結構，其關鍵技術在於材料的自我組合 (self-assembly)，亦即材料成長。前者是以曝光微影技術設計製作圖型 (pattern)，再將圖型轉移到材料表面上進行奈米結構的製造，如圖 2 所示。在製造過程中圖型轉移 (pattern transferring) 技術就顯得十分重要，因為它將決定奈米結構的大小及形狀準確度。而後者的奈米結構製作方式是以材料成長及堆疊的方式由小而大形成結構。

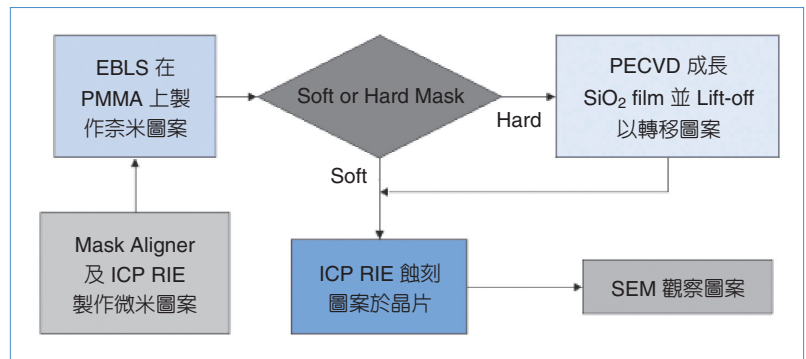
上述兩種製作方式各有其優缺點，前者之優點為可以精確地定位，但容易造成材料缺陷；反之，如果只單純地利用化學方法雖可獲得較完好之結構

卻不易定位。本實驗室目前具有 10 nm 線寬之電子束曝光微影 (electron beam lithography, EBL) 的技術能量，且正朝線寬 5 nm 之目標前進，在曝光微影技術提升的同時，也希望能累積圖型轉移的能量，以減少材料缺陷，充分發揮 top-down 之優點，並達到 bottom-up 之奈米結構的品質。

結合兩種方式的優點，例如利用我們實驗室的核心設備－電子束曝光微影系統 (electron-beam lithography system, EBLS)，可以精準地在材料表面特定的位置或區域改變其型貌 (morphology)，並將其他材料長在上面，而形成各種不同性質的材料界面 (materials interface)，從而有機會獲得元件應用的物理效應，進而衍生出各種應用的可能性，因此 EBLS 的精準度及設計的多樣性 (flexibility) 在這個考量上就扮演著舉足輕重的地位，然而，後續製程的圖型轉移技術也必須達到均一性 (uniformity) 的要求，才能使設計變成有意義。

在完成材料界面的建構後，材料界面的觀察分析，並與其產生之物理效應作一聯繫 (correlation)，也是在材料界面研究不可或缺的重要工作，其中電子顯微鏡的應用，尤其是穿透式電子顯微鏡 (transmission electron microscopy, TEM)，更是材料界面研究的標準利器。有鑑於此，本文即循著本實驗室發展的軌跡，以 EBLS 技術為出發點，將電子束技術在表面結構之設計製造及表面界面 (surface/interface) 的觀察等相關的應用技術整合歸納，對本實驗室所發展出之新型態材料界面及材料界面工程的研究發展架構亦一併論述，且以實例說明之，除了希望對所應用到的電子束技術有一整體性的認識外，並將其目前的應用領域作一介紹，以期將來能有更寬廣深遠之發展空間。

圖 2. 以半導體製程技術為基礎之「top-down」奈米元件結構製作流程。



二、電子束技術簡介

電子束在材料科學領域的應用主要是由於電子與材料會有交互作用 (interaction)，並產生有用之訊號。因其應用範圍廣泛，現由本實驗室的核心技術—電子束曝光微影技術開始介紹，並將其相關的電子顯微鏡 (electron microscope)⁽¹⁾ 技術，如掃描式電子顯微鏡 (scanning electron microscope, SEM) 及穿透式電子顯微鏡等技術在材料界面工程之綜合應用作概略性的介紹，以期能收拋磚引玉之效，現依序敘述如後。

本實驗室之 EBLS 機型為日本 Elionix 7500EX，其基本架構與 SEM 十分類似⁽²⁾，如圖 3 所示，而兩者基本的不同點為 EBLS 中電子束之主要功能是作為曝光微影的光源，而其所具備之 SEM 功能則與一般的 SEM 相同，即利用電子束來成像。EBLS 的 SEM 成像功能除了攝取實驗樣品的影像外，事實上，其影像也作為 EBLS 曝光微影解析度的調校參考，也就是說，EBLS 的 SEM 解析度就是其曝光微影之解析度，7500EX 的成像解析度可達 2 nm。該系統在深度方向的解析度則由雷射高度感測器 (laser height sensor) 來監控，以確保曝光圖型在深度方向的準確度要求，系統之解析度為 0.2 μm 。

另外，在大面積曝光時如大型陣列結構之應用，EBLS 必須要增大曝光範圍，而不能僅被侷限在電子束的掃描範圍內 (即一個 field 的範圍內)。

EBLS 還須具備高精度的樣品承載平台，以載運樣品完成特定區域 (超過電子束掃描範圍) 的曝光，俾能達到上述大面積曝光之要求，因此所謂的縫合準確度 (field stitching accuracy) 就非常重要。本系統的縫合準確度規格要求為 $\leq 40 \text{ nm}$ 。圖 4 為典型的曝光圖型，目前 7500EX EBLS 可獲得之最小線寬為 10 nm。此外，在材料界面的研究應用上，如須準確地將第二層材料如金屬蒸鍍在底材上特定的位置時，EBLS 的層疊準確度 (overlay accuracy) 也是非常重要的，因為在底材表面結構圖型製作完成後，須進行後道次的圖形轉移及清潔等，接著再進行第二次的曝光微影，以定義第二種材料如金屬的蒸鍍區域。7500EX 的層疊準確度可達 50 nm。

基於以上 EBLS 的諸項功能，方能在底材表面設計製作出具高均一性的大型陣列結構及校準良好 (well-aligned) 的第二層材料蒸鍍，而形成設計需求之材料界面。在實際應用時，除須深刻了解系統性能外，人員訓練及其習慣的養成，環境的要求如無塵室潔淨度、振動、雜訊及電磁干擾等都須有良好的管控，以獲得最佳的曝光結果。

以上 SEM 的相關應用，係以電子束在材料表面掃描而成像，而 TEM 則是以穿透實驗樣品之電子束來成像。以直接穿透的電子束所成之影像稱為明視野成像 (bright field image)，以特定晶體方向繞射電子束所成的影像稱為暗視野成像 (dark field image)。TEM 因具備原子大小之解析度，在材料界面的研究應用上也就很重要，主要的應用有界面

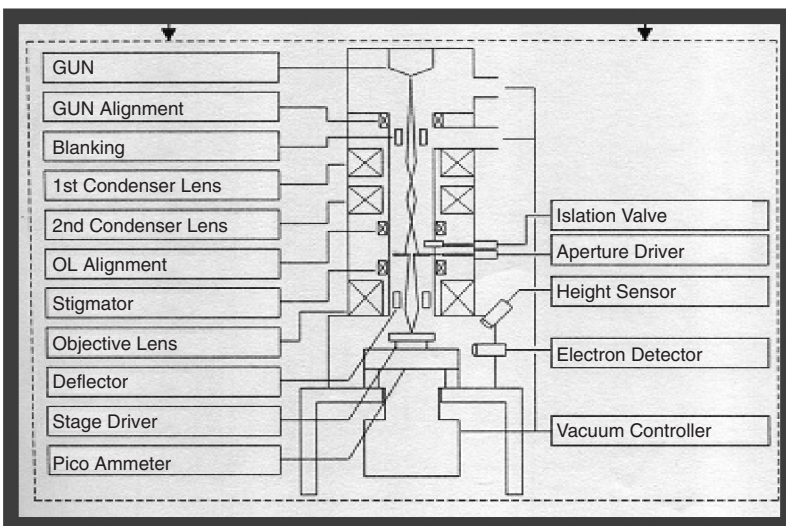


圖 3. 電子束曝光微影系統架構。

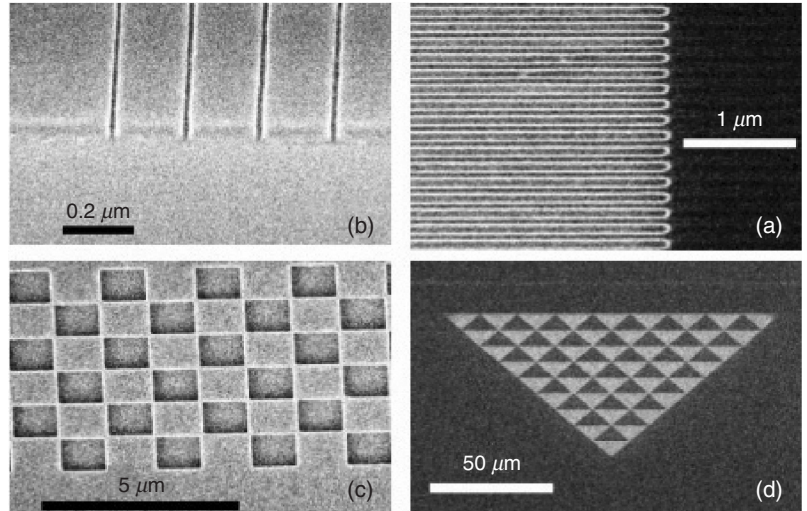


圖 4. 各式電子束微影圖型 SEM 影像，(a) 100 nm 線寬直線圖型，(b) 10nm 線寬直線圖型橫截面 45° 傾視影像，(c) 與 (d) 分別為矩形及三角形圖型。

原子晶格成像 (atomic lattice imaging)、選區繞射 (selected area electron diffraction, SAED) 及能量分布譜 (energy-dispersion spectrometry, EDS) 等⁽¹⁾，可進一步獲得界面的原子排列結構及其化學成分等資料。TEM 實驗樣品的製作對於實驗資料之獲得也十分關鍵，例如樣品的厚度即為一重要影響因素，如太薄，則因散射電子 (scattered electron) 太少，而無法獲得足夠的影像資料，又如太厚，則因散射電子太多，易造成影像模糊。尤其是在界面橫截面 (cross section) 觀察的應用，傳統上以化學蝕刻的方式進行樣品薄化，在屬於不同材料構成的界面樣品之製作會很困難，且在局部區域定位取樣也非常不易。然而在聚焦離子束 (focus ion beam, FIB) 技術出現後，對 TEM 樣品之製備，無論是定位取樣及薄化材料等均已大幅改進，可節省許多樣品製作的時間，也使得 TEM 在半導體工業中的線上檢測應用變為可能。

綜上所述，電子束技術可被應用在材料表面結構的製作及材料表面、界面的觀察分析等。透過利用 EBLS 的製作均一性及圖型設計彈性，使得在材料表面建構各式各樣結構成為可能。如在具各種結構之材料表面蒸鍍另一層材料，即形成各種不同界面性質的材料界面，後續經過電子顯微鏡的觀察與分析，可以精確地分析表面及界面結構，使得其在界面工程的應用中可將界面之物理效應與材料性質作一聯繫，即構成以一電子束技術為基礎的材料界面工程研究發展架構，如圖 5 所示。

三、材料界面工程

在半導體工業中為了達到能帶工程 (band engineering) 的元件設計要求，經常以各種成長方式堆疊不同材料，以獲得所需的界面性質 (interface properties)，如磊晶 (epitaxy) 技術即為一種熟知的作法。固態材料的界面可以被概分為四類⁽³⁾：(1) 晶格匹配型 (lattice matched)，即兩種不同材料其結晶結構相同、僅化學成分不同，如 $\text{GaAs}/\text{Al}_x\text{Ga}_{1-x}\text{As}$ ，為技術發展最為成熟之材料系統。(2) 晶格不匹配型 (lattice mismatched)，即兩種材料具不同晶格常數 (lattice constant)，且具不同化學成分，代表性的例子如 $\text{Ge}_x\text{Si}_{1-x}$ 及 $\text{GaAs}/\text{In}_x\text{Ga}_{1-x}\text{As}$ 。(3) 由兩種不同結構及化學成分的材料所構成，如金屬／半導體界面。(4) 由結晶層 (crystalline layers) 及非結晶層

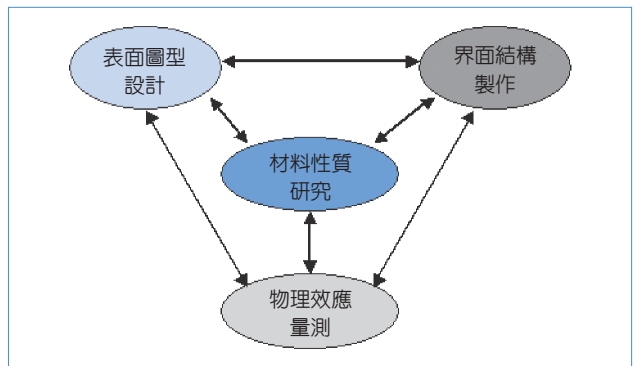


圖 5. 本實驗室以電子束技術為基礎的材料界面工程研究發展架構

(non-crystalline layers) 所構成的界面，如 Si/SiO₂。其中 (3) 金屬／半導體界面在早期即被應用在點接觸 (point contact) 及雷達元件的製作⁽⁴⁾。隨著半導體製程技術的進步，尤其是金屬蒸鍍 (evaporation) 技術的提升，使得界面製作的品質獲得改善，如製作的均一性及可重複性 (reproducibility) 等。

金屬／半導體界面技術已被廣泛地應用在蕭基二極體 (Schottky diode) 及金屬／半導體接觸場效電晶體 (metal-semiconductor field-effect transistor, MESFET) 等⁽⁵⁾，而其另外一個重要的應用為歐姆接觸 (ohmic contact)。歐姆接觸在半導體元件及 IC 工業中扮演著很重要的角色，因為它橋接著元件與其外部世界。基於此重要特性，本實驗室乃以此為材料界面工程 (materials interface engineering) 研究領域的開端，並於本文第四段中詳述之。

傳統上，要達到歐姆接觸有下列幾種方法⁽⁶⁾：

- (1) 提高半導體表面摻雜濃度 (heavily doping)。
- (2) 藉由熱處理，即退火 (annealing) 處理改善界面性質。
- (3) 粗化或破壞半導體表面，而造成所謂的載子複合中心 (carrier recombination center)，以增進載子的傳導

以上三項方法皆有其限制，如方法 (1) 在寬能隙 (wide band gap) 半導體的應用，有其限制；方法 (2) 在高溫時易使雜質重新分布，而造成元件失效；方法 (3) 則無法具備均一性及可重複性。因此我們即選用了具一般摻雜濃度 ($10^{15} - 10^{16} \text{ cm}^{-3}$) 之 N 型矽晶片，並以本實驗室現有之 EBLs 及反應式離子蝕刻 (reactive ion etching, RIE) 技術能量為基礎，考量在矽晶片表面設計製作兼具均一性及可重複性的陣列結構，以達到改造其表面型貌 (morphology) 的目的，藉以改進金屬／半導體的界面性質，而增加其導電率。

一般而言，在底材表面建構週期性結構的應用大都著重在材料成長方面，例如利用分子束磊晶 (molecular beam epitaxy, MBE) 技術或化學氣相沉積 (chemical vapor deposition, CVD) 技術將鍺量子點 (Ge quantum dots) 長在矽基板 (silicon substrate) 上，而其長成之量子點大小及位置均由矽基板表面的結構設計 (如形狀、大小及週期等) 來決定^(7, 8)。

另外，在磊晶技術的應用上亦有將其用於改善歐姆接觸者，主要是利用晶格的不匹配所產生的應變 (strain) 來降低接觸阻抗 (contact resistance)^(9, 10)。而我們的方式是將一層以陣列孔洞修改之界面結構鑲入金屬／半導體之間，藉以改變其接觸面導電特性，如圖 6 所示，因其接觸面之型貌特性而稱之為非平面界面結構，如圖 6 下部的結構橫截面圖所示。在此第二層材料的加入有別於前述磊晶技術的應用，因為是以半導體工業中較一般性的熱蒸鍍 (thermal evaporation) 技術來達成的，而且形成連續的薄膜，也就是構成一連續的界面。另外，因界面型貌改變亦可能造成材料微結構的變化，因此在底材表面設計建構陣列結構以獲得所需之材料性質是一可期待的界面工程技術，並可被廣泛地應用於各種材料系統的界面。以下將以本實驗室鋁／矽界面的應用說明之。

四、應用實例

本研究的目的即在於應用非平面界面來改進金屬／半導體接觸的導電特性，主要是應用本實驗室 EBL 技術在矽晶片表面製造奈米孔洞陣列結構，以改善金屬／半導體界面性質，並增進其導電性⁽¹¹⁾。在實驗中我們充分地發揮了本實驗室 EBL 技術之均一性及多樣性的特點，設計從 200 nm 至數十 μm 的方型孔洞陣列，並各具特定的週期，以採

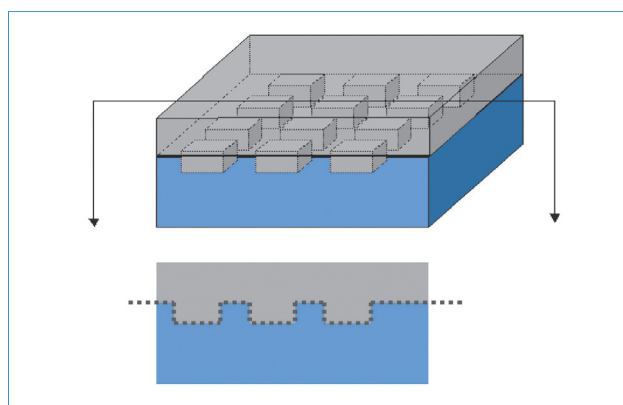


圖 6. 在底材表面設計建構陣列結構以改造界面性質，又因其接觸面之形貌特性而稱之為非平面界面，如圖下部之界面結構橫截面圖所示。

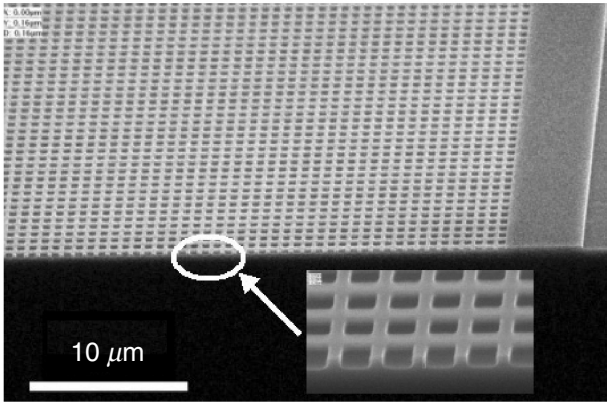


圖 7. 底材表面奈米孔洞陣列結構橫截面 45° 傾視 SEM 照片。

究奈米孔洞陣列結構特性對金屬／半導體界面導電特性的影響。

製作實驗樣本時，首先須將設計好的陣列結構圖型經由 EBL 製程將其刻畫在塗佈於矽晶片表面之光阻材料上，再經反應式離子蝕刻 (reactive ion etching, RIE) 製程將圖型轉至矽晶片表面上，隨即將殘留於矽晶片表面之光阻材料去除，並清潔其表面及進行去氧化層處理，即完成奈米孔洞陣列的製作。完成的結構如圖 7 所示，顯示該結構的形狀、大小及週期等均已符合設計要求。緊接著將鋁蒸鍍在矽晶片表面上，並涵蓋所有方型孔洞陣列區域，即構成一個金屬／半導體界面，如圖 8 所示。而四個界面依續直線排列兩兩之間的距離為 20、30 及 40 μm ，形成一組基於傳輸線法 (transmission line method) 的量測架構，以量測界面的導電率。

由實驗結果顯示，在孔洞陣列涵蓋率夠大時 (約大於 8%)，單位孔洞面積的電導值，即導電率，與其涵蓋率無關，從中並發現導電率會受到孔洞大小的影響，如圖 9 所示。導電率隨著孔洞的變小而增加。為了與不具孔洞陣列而只作退火處理的實驗樣品作比較，將一系列的實驗樣品從 300 $^{\circ}\text{C}$ 到 600 $^{\circ}\text{C}$ ，每隔 50 $^{\circ}\text{C}$ 作退火處理，退火時間為 10 分鐘，其中以在 450 $^{\circ}\text{C}$ 作快速熱退火處理 (rapid thermal annealing, RTA) 者可獲得最大導電率。為進一步確認此最佳值，以該溫度及 550 $^{\circ}\text{C}$ 再進行退火處理 30 分鐘，結果亦獲得 450 $^{\circ}\text{C}$ 為最

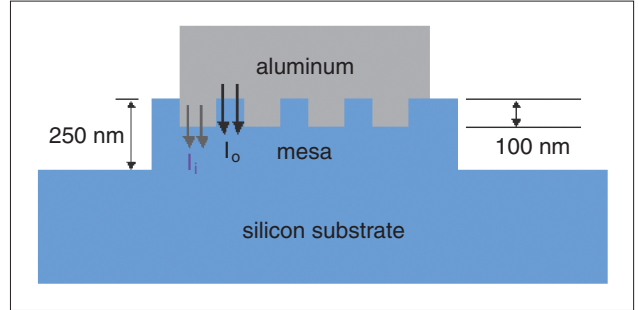


圖 8. 鋁／矽界面結構及底材奈米孔洞陣列金屬覆蓋示意圖。

佳退火溫度，如圖 9 的插圖所示，遂將此條件下所獲得的導電率作為比較標準，並以圖 9 中的紅色水平橫線標示。圖 9 的結果顯示，在孔洞小到 480 nm 以下時，其導電率已超越未具孔洞而只作退火處理的樣品，且達到 2—6 倍的改進。

為了確認能否更進一步增加具孔洞陣列樣品的導電率，我們也著手具 480 nm 孔洞樣品的退火處理，實施退火的溫度由 20 $^{\circ}\text{C}$ —620 $^{\circ}\text{C}$ ，每個樣品間隔 40 $^{\circ}\text{C}$ ，如圖 10 所示，導電率的峰值位於 340 $^{\circ}\text{C}$ —420 $^{\circ}\text{C}$ 之間，與同於圖 9 之比較標準作比較，可達到約四個數量級的改進，而且退火溫度及時間皆小於比較標準者，顯示在低溫製程中將奈米孔洞陣列應用於增進金屬／半導體界面之導電率深具潛力。

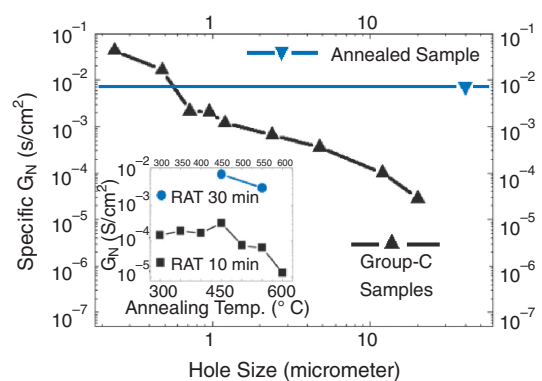


圖 9. 金屬／半導體界面之導電率 (G_N) 與奈米孔洞大小關係圖，插圖為未具奈米孔洞樣品之退火處理結果。紅色橫線代表退火處理最佳結果並作為比較標準。

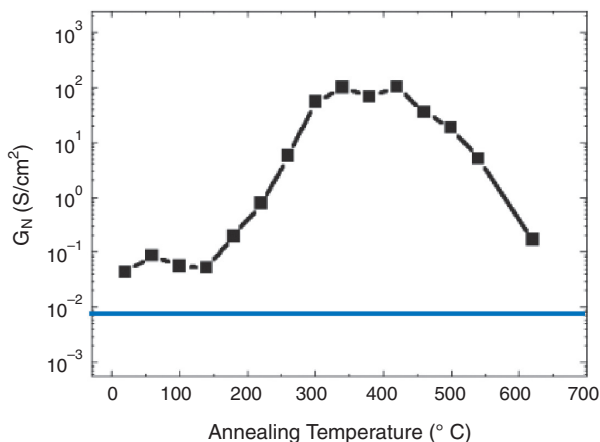


圖 10. 具奈米孔洞樣品之退火處理結果。金屬／半導體界面導電率 (G_N) 之峰值在 340–420 °C，紅色橫線代表同於圖 9 之比較標準。

後續為了探究奈米孔洞陣列對於金屬半導體界面微結構 (microstructure) 的影響，以 TEM 來觀察樣品的橫截面，首先進行未作退火處理之樣品觀察，如圖 11 所示。發現垂直於界面的上下走向高對比線條的產生，並與孔洞大小有一定的關係，即孔洞愈小，此種線條的分布密度愈高。為了研究存在於連續兩線條之間高對比 (high contrast) 區域的材料性質，我們選擇 480 nm 孔洞的樣品作 TEM 橫截面觀察及 SAED 分析，結果顯示兩線條間的區域係為結晶結構 (crystalline structure)，因此可將此高對比線條稱為晶界 (grain boundary)。綜合以上

結果，得知金屬／半導體界面導電率隨著金屬晶粒 (crystal) 數目的增加而增加。其初步的解釋為，奈米孔洞陣列造成金屬／半導體界面應變 (strain) 的改變，致使金屬薄膜產生微結構的改變。而造成導電率變大的原因可能是：鋁／矽界面性質的改變造成蕭基能障 (Schottky barrier) 降低，導致電流的傳導變大，而所產生的晶界亦可提供電流傳導的額外路徑。至此奈米孔洞陣列對金屬／半導體界面導電率提昇的原因已獲得初步解釋，更進一步的相關研究如晶格常數 (lattice constant) 之量測等正接續進行中。

綜合以上所述，使用本實驗室核心設備—EBLS 設計出高均勻性的方型奈米孔洞陣列結構，成功地改進金屬／半導體界面性質，並達成增進其界面導電率的目標。實驗結果顯示，當孔洞小到 480 nm 以下時，其導電率能超越傳統退火處理者的界面導電率，這也說明了小孔洞的陣列結構可以取代退火處理，尤其是在低溫製程的應用中。透過 TEM 的觀察，發現金屬晶粒皆出現於孔洞中或其附近，且晶界密度 (grain boundary density) 隨著孔洞變小而增大，此結果可被歸究為導電率增加的原因之一。經過退火處理後的奈米孔洞陣列樣品，可大幅改進金屬／半導體界面導電率約達四個數量級，其熱處理溫度及時間均小於傳統退火處理者，基於上述結果，可證實奈米孔洞陣列可用於改進金屬／半導體界面性質，而增加其界面導電率。

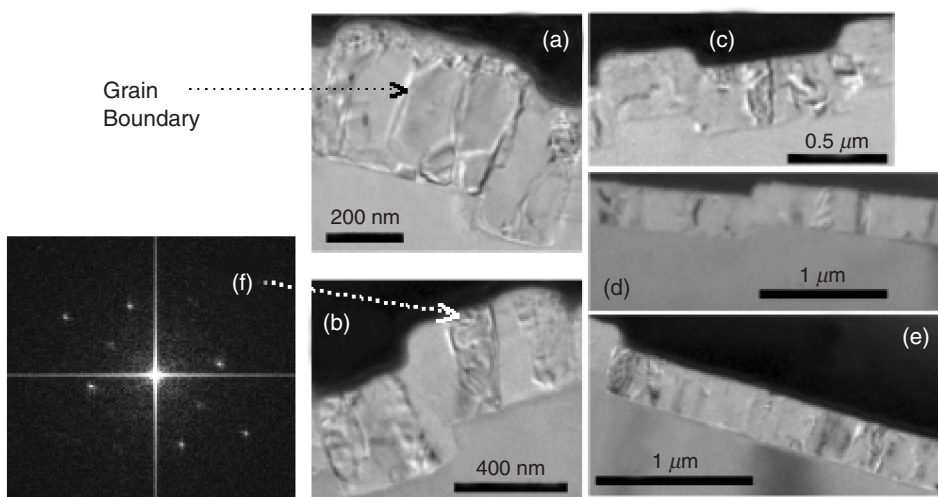


圖 11. 具各式孔洞陣列之鋁／矽界面結構橫截面 TEM 照片。(a) 為 240 nm 孔洞界面，(b) 為 480 nm 孔洞界面，(c) 0.96 μm 孔洞界面，(d) 為 2.4 μm 孔洞界面，(e) 為 12 μm 孔洞界面，(f) 為指定區域之繞射圖型 (SAED)。

五、結論

利用本實驗室以電子束為根基的技術能量，並整合「top-down」與「bottom-up」兩種研究趨勢的優點，將電子束技術成功地應用在材料界面的工程領域。在應用上，本實驗室充分地發揮電子束系統高解析度的共同優點於材料表面及界面結構的設計製作與觀察分析上，並發展出完整的材料界面工程之研究發展架構；同時也以應用實例說明本實驗室將電子束技術應用在「鋁／矽界面的接觸導電特性改進」上之具體成果，並顯示其在界面工程領域中之應用潛力，也為半導體工業中扮演重要角色的歐姆接觸提供一可行的實施方案。除了在技術應用已獲致驗證，更希望能開闢金屬／半導體界面基本機制研究之另一可能途徑。最後，也期望本實驗室能在既有的基礎上繼續朝整合「top-down」及「bottom-up」之優點努力，而在半導體元件的關鍵領域－材料界面工程之研究方面，也能在既有的架構上不斷地創新改進並拓展應用，以造成不斷向上的良性循環。

誌謝

感謝國立交通大學奈米科技中心陳明麗小姐在 TEM 試片製作的大力幫忙，並感謝本校材料科學與工程學系陳學人先生在 TEM 實驗的諸多協助與指教。

參考文獻

1. 陳力俊, 材料電子顯微鏡學, 修訂版, 新竹市: 國家科學委員會精密儀器發展中心, 1 (2005).
2. *ELS-7500EX Instruction Manual*.
3. K. A. Jackson and W. Schroter, *Handbook of Semiconductor Technology*, 1, New York: Wiley, 455 (2000).
4. 李嗣涇, 管傑雄, 孫台平, 半導體元件物理, 初版, 臺北市: 三民書局, 61 (1995).
5. S. M. Sze, *Semiconductor Devices Physics and Technology*, 2nd ed. New York: Wiley, 225 (2002).
6. E. H. Rhoderick and R. H. Williams, *Metal-Semiconductor Contacts*, 2nd ed., Oxford: Clarendon Press, 205 (1988).
7. T. I. Kamins and R. S. Williams, *Appl. Phys. Lett.*, **71**, 1201 (1997).
8. T. Stoica, V. Shushunova, C. Dais, H. Solak, and D. Grutzmacher, *Nanotechnology*, **18**, 455307 (2007).
9. C.-L. Lee, *Appl. Phys. Lett.*, **90**, 181125 (2007).
10. H.-K. Liou, E. S. Yang, and K. N. Tu, *Appl. Phys. Lett.*, **63**, 911 (1993).
11. 黎中立, 管傑雄, 臺大校友雙月刊, **59**, 11 (2008).

-
- 黎中立先生現為國立台灣大學電子工程研究所博士班學生。
 - 管傑雄先生為美國普林斯頓大學電機工程博士，現任國立台灣大學電機工程學系暨電子工程研究所教授。
 - Jong-Lih Li is currently a Ph.D. candidate in the Graduate Institute of Electronics Engineering at National Taiwan University.
 - Chieh-Hsiung Kuan received his Ph.D. in electrical engineering from Princeton University, U.S.A. He is currently a professor in the Department of Electrical Engineering and the Graduate Institute of Electronics Engineering at National Taiwan University.