

CMOS MEMS 製程平台於微感測器之應用

Sensors Integration Using CMOS MEMS Platform

方維倫、孫志銘、蔡明翰、劉育嘉

Weileun Fang, Chih-Ming Sun, Ming-Han Tsai, Yu-Chia Liu

筆者曾於科儀新知第 165 期 (2008 年 8 月) 中介紹如何利用 TSMC 標準 CMOS 製程，開發 CMOS MEMS 微加速度計。筆者想進一步藉由本文介紹如何延伸 IC 製程平台 (process platform) 的觀念，利用上述 TSMC 標準製程，輔以一套由筆者研究團隊建立的後製程，完成 CMOS MEMS 微感測器之製造與整合。本文希望以筆者研究團隊在國立清華大學微機電實驗室所開發之一系列微型感測器為例，其中包含了三軸加速度計、溫度感測器、壓力計與觸覺感測器，來完整說明 CMOS MEMS 元件設計、製造與測試的完整流程，並如何利用 CMOS MEMS 製程平台製造與整合。

The authors have reported the design and implementation of CMOS MEMS accelerometer in Instruments Today (August, 2008). In this article, the authors would like to further introduce the concept of CMOS MEMS fabrication platform. The design and fabrication of various micro sensors, including tri-axis accelerometer, temperature sensor, pressure sensor and tactile sensor, is discussed. Moreover, the monolithic integration of these micro sensors on a single chip is also available using the present CMOS MEMS platform. In application, the sensors implemented by the author's research group in the Micro-Device Lab., National Tsing Hua University are demonstrated. These sensors are fabricated using the TSMC 0.35 μm standard CMOS process plus the post-CMOS integration platform developed by authors.

一、CMOS MEMS 技術簡介

過去三十多年來，互補式金屬氧化半導體 (complementary metal oxide semiconductor, CMOS) 已普遍成為製作積體電路的技術。由於大量的人力與資金投入，積體電路的發展依循 Moore's law 的預期，不斷地縮小元件尺寸及增加元件密度，同時

也大幅的提升良率與可靠度，並顯著地降低生產成本。目前台灣在 CMOS 製程技術及產業規模已領先國際，半導體相關之產業也為台灣的經濟成長做出具體的貢獻。由於半導體製程技術的發展，終究將面臨物理極限，因此未來如何延續半導體相關產業的榮景，是一項極重要的課題，尤其是對台灣而言。

近年來除了依循 Moore's law 的預期外，「More than Moore」也成為半導體領域相當重視的發展趨勢，其概念是在晶片上整合更多功能的元件，以建構具高附加價值的系統晶片，而微機電 (micro electro mechanical systems, MEMS) 晶片製造技術就是屬於值得發展的高價值晶片技術。由於 MEMS 製程技術同樣包含薄膜沉積 (deposition)、微影 (photolithography) 及蝕刻 (etching)，因此無論就製程技術與元件尺寸，CMOS 製程與 MEMS 製造技術有很大的相容性，因此 CMOS 製程技術不再侷限於 IC 製作，學術界與業界都逐漸開始整合微機電系統與 IC 於同一晶片上，稱為 CMOS MEMS 技術⁽¹⁾。

簡言之，CMOS MEMS 是在標準的 CMOS 製程外，再輔以 MEMS 特有之體型 (bulk) 或面型 (surface) 矽微加工技術，即可在矽晶圓上製作出微米等級之懸浮結構，使得這些微結構可以產生機械運動或形變等行為，而 CMOS MEMS 技術現已廣泛地應用在微傳感器之設計製造。其中最著名的當屬德州儀器的微鏡面陣列 (digital micromirror device, DMD)⁽²⁾ 及 Analog Devices 的加速度計⁽³⁾。然而上述元件皆需要特殊的後製程，因此無法依循 IC 產業專業分工的模式，加速微機電產業發展的速度。在 90 年代初期研究人員嘗試使用標準的 CMOS 半導體製程搭配簡單的後製程步驟，來完成 CMOS MEMS 元件的製作⁽⁴⁻⁶⁾，使得代工廠可建立標準化的製作流程，提供設計者利用，期望能使用此共通平台開發元件。現今利用 CMOS MEMS 技術已衍生出許多成功的產品，並應用於日常生活，舉凡投影機上的光學元件⁽¹⁾、陀螺儀於導航定位的慣性感測元件^(3, 7)、紅外線熱像儀⁽⁸⁾、射頻元件震盪器⁽⁹⁾ 及生物晶片⁽¹⁰⁾ 等，皆與 IC 整合於單一晶片上。

目前 CMOS MEMS 後製程多半有其獨特性，根據文獻⁽¹¹⁾ 常見的 CMOS MEMS 後製程方式有八種，其中包含各種蝕刻概念，有些類似 MEMS 體型矽蝕刻，有些則利用 MEMS 面型犧牲層蝕刻概念。這些後製程往往無法整合在一起，造成單一後製程技術只能用來設計同一類型的元件，侷限了在晶片上製造多種元件達成系統整合的機會。本文將介紹筆者研究團隊開發的一種 CMOS MEMS 後製

程平台，以實現及整合不同形態的感測器，讓使用者或設計者有更多的空間，發揮創意投入 MEMS 元件設計的行列。

二、CMOS MEMS 製程平台

傳統上單一後製程只可製作出同一種類的元件，但本文中所介紹筆者研究團隊開發的 CMOS MEMS 製程平台^(12, 13)，則可利用單一後製程來製造及整合不同種類的 CMOS MEMS 元件，以下將說明此 CMOS MEMS 製程平台。

1. Post-MEMS Release

根據 MEMS 元件在 CMOS 標準製程中製作的先後順序分類，可將 CMOS MEMS 製程分成三大類，包括前段 (pre-)、中段 (intermediate-) 及後段 (post-) CMOS 製程。本文介紹之元件的製作方式皆屬於後段 CMOS 製程，亦即在 CMOS 製程時，同時完成 IC 和 MEMS 元件的膜層堆疊與形狀定義，隨後於 post-CMOS 製程完成進行懸浮 MEMS 元件等步驟。此外，也可以根據需求，在 CMOS 標準製程後，進行 MEMS 元件相關製程，如薄膜沉積與蝕刻等。

本文介紹之製程平台如圖 1 所示，首先，使用 TSMC 標準的 0.35 μm 2P4M CMOS 製程，如圖 1(a) 所示，接著利用低溫沉積及 lift-off 製程，於晶片正面定義金屬薄膜，如圖 1(b) 所示，此步驟可整合金屬元件 (如白金溫度感測計) 於晶片中。接下來在晶片背面定義鋁蝕刻遮罩，然後利用 DRIE 乾蝕刻將部分矽基材吃穿，直到正面 CMOS 層，如圖 1(c) 所示。接著利用硫酸蝕刻液將需要懸浮的金屬堆疊部分蝕刻掉，但為了保護沉積於晶片表面的金屬薄膜不被金屬蝕刻液體攻擊，於金屬表面塗上一層特殊的 spin on glass 材料，如圖 1(d) 所示。隨後利用硫酸 (H_2SO_4) 加雙氧水 (H_2O_2)，在晶片的正面與背面同時將金屬犧牲層蝕刻，此製程可用來定義電容感測器的出平面 (out-of-plane) 電極及電容間隙，如圖 1(e) 所示。接著利用 CMOS 製程中的第四金屬層作為遮罩，再用非等向性介電層反應離子蝕刻 (reactive ion etching, RIE)，去除不需要

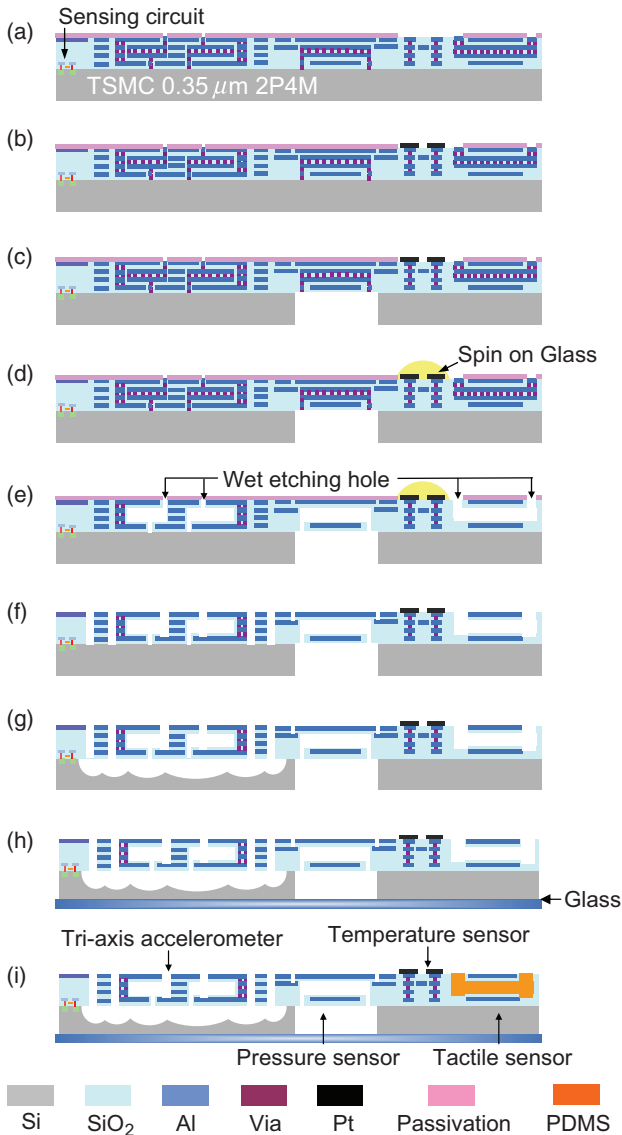


圖 1. CMOS MEMS 感測器整合平台。

的二氧化矽 (SiO_2) 與之前為了保護白金電極的 spin on glass，定義電容感測器的同平面電極及電容間隙，如圖 1(f) 所示。最後使用 XeF_2 進行矽等向性蝕刻，如圖 1(g) 所示，將結構層下方的矽基材洩空，以懸浮結構。

對於一些特殊性的應用例如壓力計，由於需要密封元件腔體來產生壓力差作為壓力感測計用，因此於晶片背面與玻璃做氣密接合，如此即可簡單地產生一密閉腔體，如圖 1(h) 所示。此外，如圖 1(i) 所示，為了同時製做出一可調式觸覺感測器，也可於前面步驟完成之後，利用定位機台於預留之電極

流動中填入不同的高分子材料，即可完成可調式電容觸覺感測器。簡言之，此 CMOS MEMS 製程平台可同時製作出電容式平三軸加速度計、電容式壓力計、電阻式溫度計與可調整式觸覺感測等，下文將介紹數個實際的應用。

三、三軸加速度計

首先，將介紹由圖 1 之製程平台完成的單一質量塊三軸加速度計。筆者已於「科儀新知」第 165 期 (2008 年 8 月) 介紹如何利用 TSMC 標準 CMOS 製程，開發具三個獨立質量塊之 CMOS MEMS 三軸微加速度計。由於 CMOS 製程以面積作為成本計算之單位，若能利用較少面積完成所需之元件，便能降低成本。因此本文介紹之單質量塊三軸加速度計⁽¹⁴⁾，如圖 2(a) 所示，可大幅降低元件結構部分的面積，進而降低成本。下文將介紹其設計原理、製程與結果。此三軸加速度計可拆解成三大部

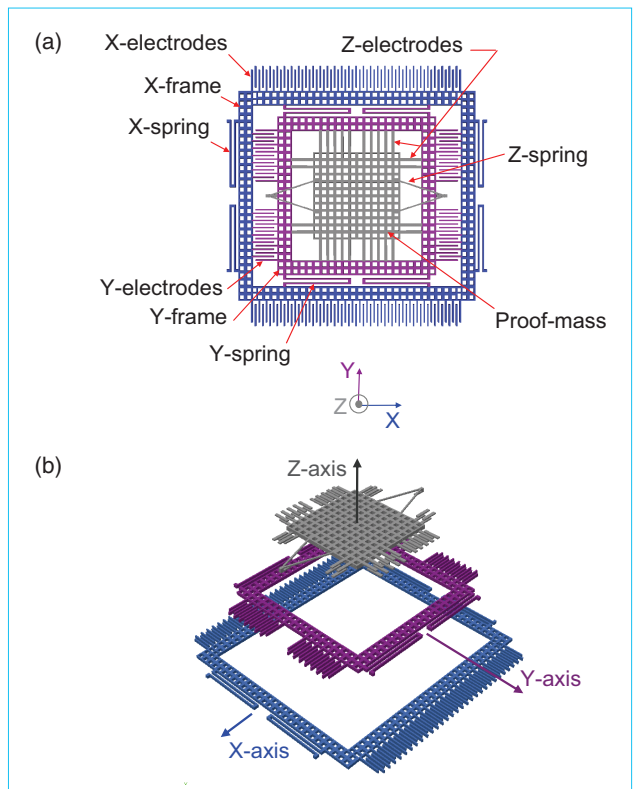


圖 2. 三軸加速度計。(a) 結構示意圖，(b) 結構分解示意圖。

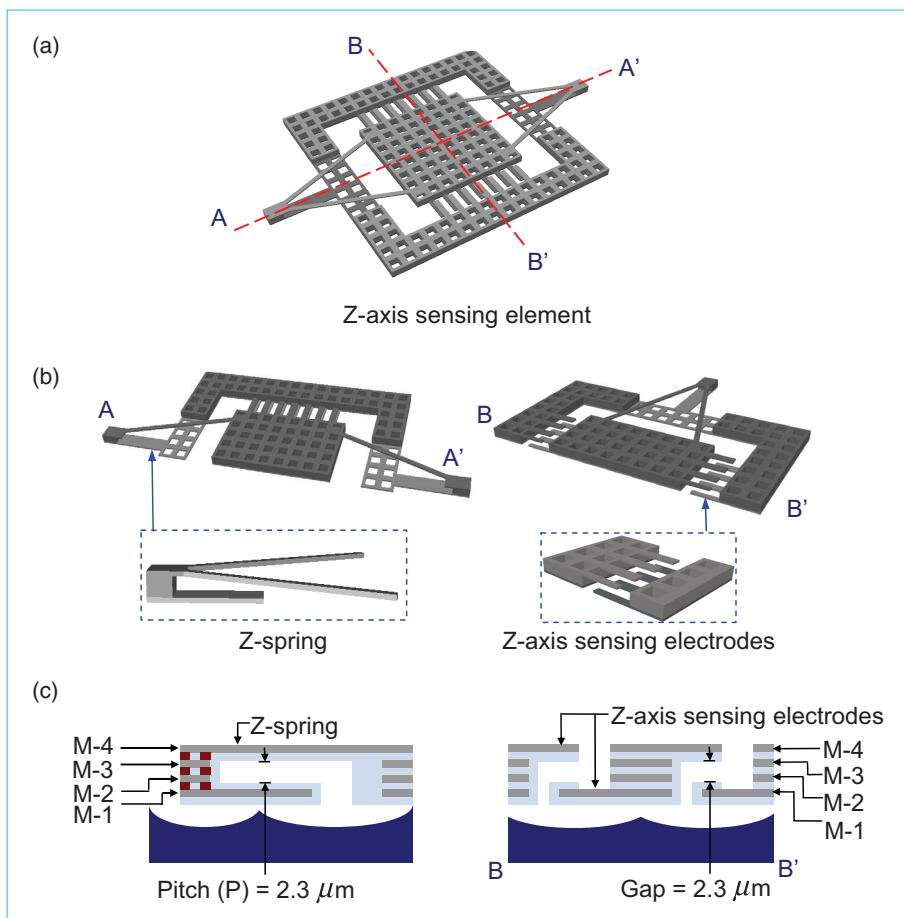


圖 3. 出平面感測結構。(a) Z 方向結構示意圖，(b) 結構分解示意圖，(c) 剖面示意圖。

分，如圖 2(b) 所示，分別負責三個軸向感測。整體結構最內部為出平面加速度計部分，主要包含質量塊、出平面感測電極和出平面彈簧 (Z-spring)，出平面感測結構藉由 Z-spring 與外部 Y-axis 感測結構連接，最後再由 Y 方向彈簧 (Y-spring) 與 X-axis 感測結構連結。此 X 和 Y 方向感測元件的設計與感測原理相同，且單一組彈簧與感測電極僅可作單一方向的運動，以避免訊號耦合之問題。

圖 3 進一步說明 Z 方向感測元件的設計原理，如圖 3(a) 所示，質量塊和感測電極藉由出平面彈簧與外部作連結，此彈簧在出平面方向被設計成折疊狀，如圖 3(b) 所示，以減少所占的面積。V 字型的設計可同時增加同平面方向的剛性，提升彈簧抵抗同平面方向擾動的能力，以解決訊號耦合的問題。圖 3(c) 所示則為出平面感測電極剖面圖，出平面感測電極包含了可動電極 (連接在質量塊上) 與固定電極，當質量塊受到外界出平面加速度的影

響產生位移時，將改變兩電極的間距，使得電極間的電容值也會改變，藉由量測電容變化即可得知加速度的大小。此感測電極的設計，符合全差分式電容感測方式⁽¹⁵⁾。

三軸加速度計製作結果如圖 4 之掃描式電子顯微鏡 (SEM) 照片所示，其中圖 4(b) 標示的加速度計主要結構，包括質量塊、兩組中空外框結構 (X 和 Y-frame)、三組獨立彈簧與三組感測電極等，都清楚地呈現在此照片。關於加速度計的測試，主要是利用振盪器 (shaker) 驅動，使加速度計產生運動行為，然後感測輸出訊號。量測架設如圖 5(a) 所示。最後，分別施予 1–6 g 的加速度於不同軸向，測得加速度和輸出電壓的關係圖，如圖 5(b) 所示，三軸的靈敏度分別為 0.53 mV/g (X 軸)、0.23 mV/g (Y 軸) 和 0.2 mV/g (Z 軸)，量測結果也顯示，加速度計的非線性度僅分別為 2.64% (X 軸)、3.15% (Y 軸) 和 3.36% (Z 軸)。

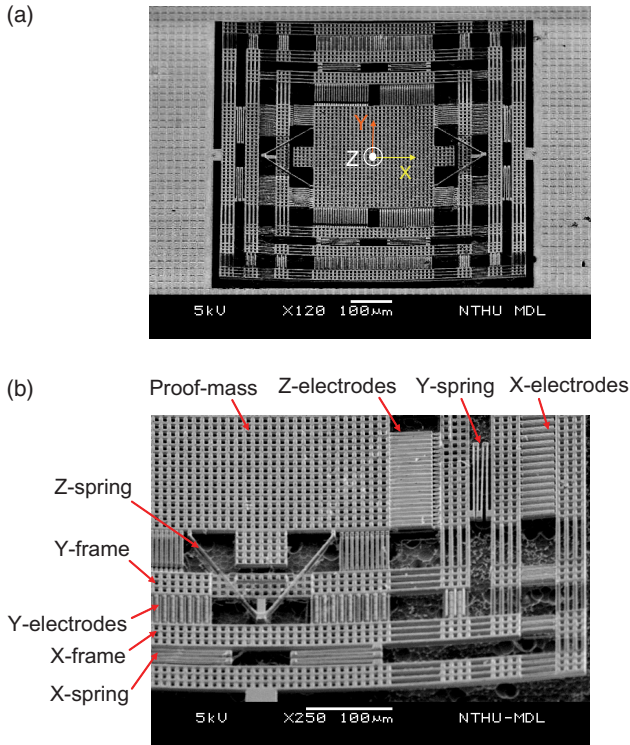


圖 4. 三軸加速度計 SEM 圖。(a) 整體結構，(b) 局部放大圖。

四、壓力計

以下介紹利用圖 1 製程平台所設計之電容式壓力計，如圖 6(a) 所示⁽¹²⁾，其結構包含了一形變隔膜 (diaphragm) 作為可變電極 (deformable electrode)，與一懸浮電極 (suspension structure) 作為固定電極 (stationary electrode)，兩電極板中間夾著一常壓腔體。當感測隔膜受到外界壓力作用會產生形變，造成兩電極板之間距改變，如圖 6(b) 所示，致使兩電極板之電容變化，此電容變化即可用來量測外界壓力的改變。此外，根據圖 1(b) 至 (c) 所示之製程，設計者可自行選擇金屬蝕刻路徑來得到不同厚度的感測隔膜和電極板之間隙，藉以獲得不同靈敏度及量測範圍之壓力計。

如圖 7(a) 所示之電子顯微鏡圖，為此電容式壓力計的製程結果。為了驗證壓力計薄膜及感測電極是否懸浮成功，因此利用聚焦式離子束 (focused ion beam) 切割其壓力計形變感測薄膜，以便觀察位於薄膜及電極之間的間隙，如圖 7(b) 所示。圖中可清楚地觀察出壓力計結構的上下電極板，和電

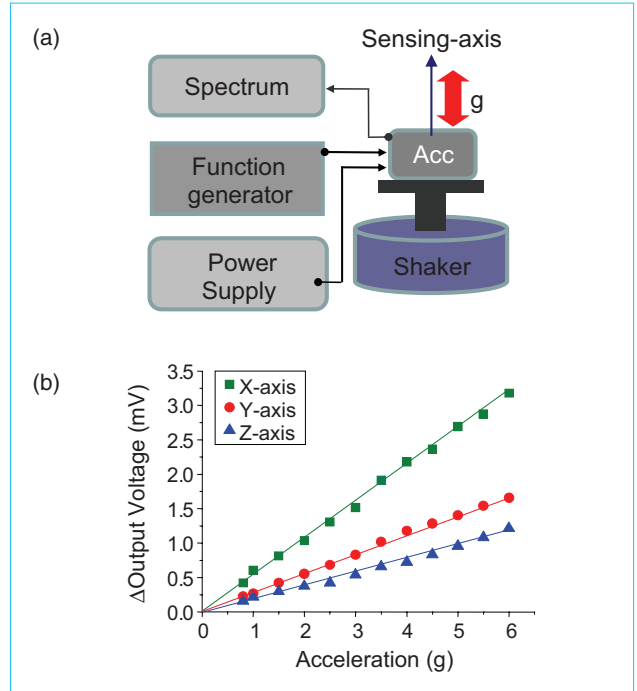


圖 5. (a) 加速度計測試示意圖，(b) 三軸量測結果。

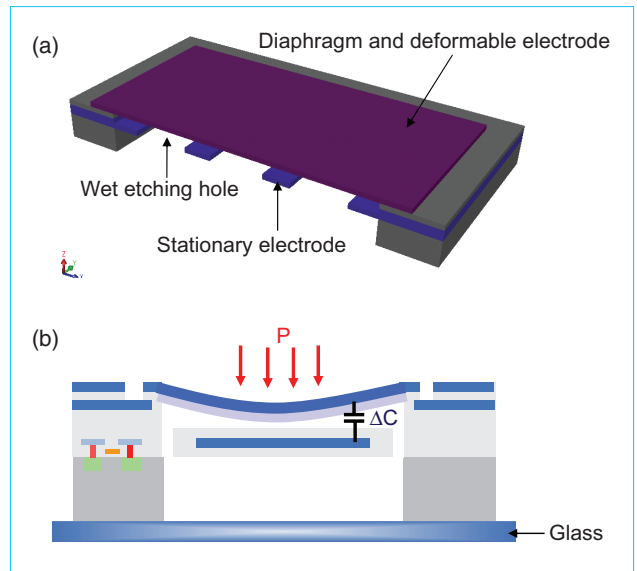


圖 6. 壓力計。(a) 結構剖面示意圖，(b) 受壓力形變示意圖。

極板之間所密封的間隙。此 SEM 圖同時驗證了本文所提出之雙面整合型後製程和壓力計設計的可行性。如圖 8(a) 所示為壓力計量測架設裝置，利用真空腔控制環境之壓力大小，然後量測此壓力計的電容變化。量測結果如圖 8(b) 所示，壓力量測範

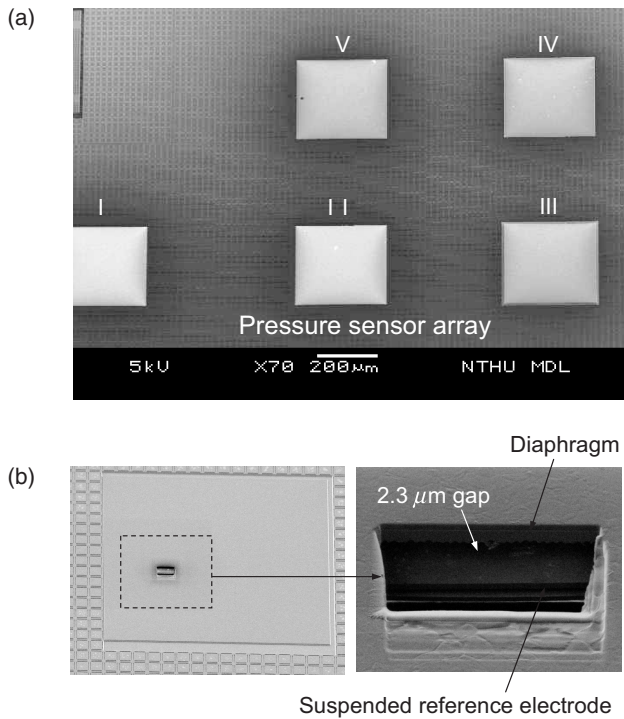


圖 7. 壓力計陣列。(a) SEM圖，(b) 壓力計 FIB 剖面圖。

圍為 0–20 kPa，在不改變壓力計的幾何尺寸下，只需要設計不同的金屬蝕刻路徑，即可得到五種不同靈敏度之壓力計。

五、溫度感測器

圖 9(a) 係筆者利用本文前述之製程平台，設計白金電極溫度計於 CMOS 晶片上的結構示意圖⁽¹⁶⁾。此溫度計屬於熱阻感測式，當外界溫度改變時，白金電阻之阻值便會隨之改變，藉由量測白金電阻之電阻變化量，即可測得溫度變化。如圖 9(b) 所示，透過 CMOS 製程可預先在白金電極下方設計 CMOS 金屬層通過，當白金電極完成後，訊號即可藉由 CMOS 製程中的金屬與 via 層傳遞至外部訊號處理端。

圖 10(a) 為溫度感測器電子顯微鏡圖，白金電極厚度為 150 nm，初始電阻量測值為 100 Ω。由圖 10(b) 中可以明顯地看到為了正面黃光所設計之對準記號 (alignment key)。溫度量測架設示意圖如圖 11(a) 所示，此溫度感測計靈敏度量測結果如圖

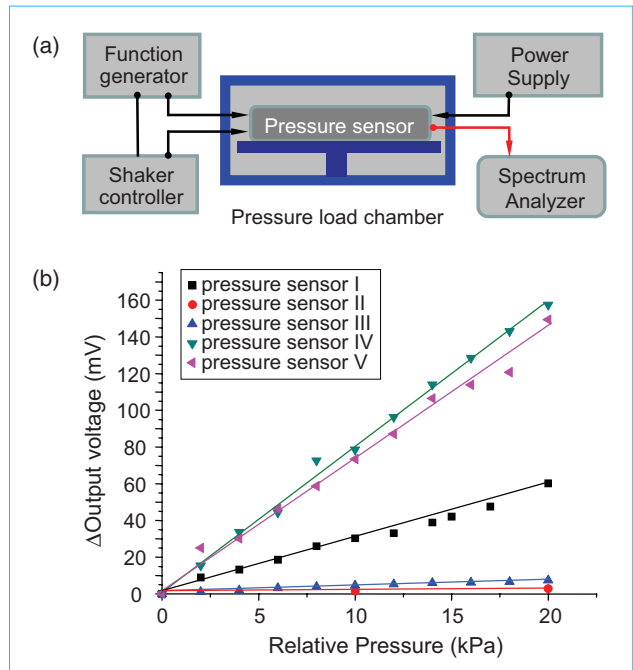


圖 8. 壓力計量測結果。(a) 量測架設示意圖，(b) 壓力測試結果。

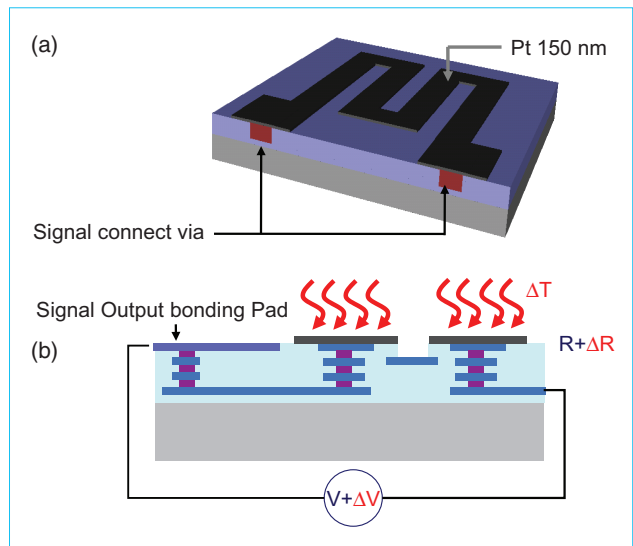


圖 9. 溫度感測計。(a) 結構示意圖，(b) 受溫度改變相對電阻變化示意圖。

11(b) 所示，實驗結果可驗證本文所提出之製程平台能夠成功地將特殊金屬電極整合於 CMOS 晶片上，未來也可以根據應用，整合其他不同之金屬元件。

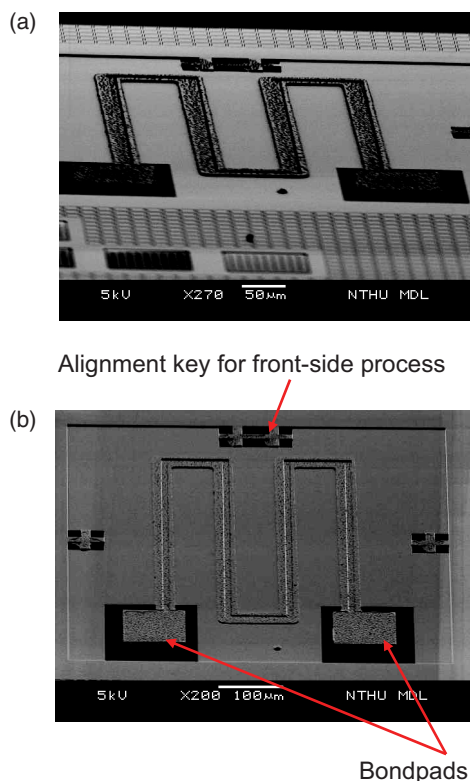


圖 10. 溫度感測計 SEM。(a) 側視圖，(b) 上視圖。

六、觸覺感測器

圖 12 為此製程平台所完成之電容式觸覺感測器設計剖面圖⁽¹⁷⁾，主要包括一對平行板電容感測電極，上電極為可出平面形變的薄膜，下電極為固定電極，與前述壓力計感測原理相同，而平行板間隙則填入高分子 PDMS (圖 1(i))，因此觸覺感測器等效剛性包含可形變的隔膜與 PDMS 層。而傳統觸覺感測器之平行板電容間隙為空氣層，感測器等效剛性僅來自於可形變的隔膜，造成感測範圍受限。此外，利用填入不同剛性之 PDMS 材料，可以用來控制感測器結構的等效剛性，進一步調變其感測範圍與靈敏度，同時也利用 PDMS 介電常數比空氣高的特性提升感測電容值。

為了驗證不同的填充材料可用來設計可調式觸覺感測器，本文調配三種不同比例的 PDMS (分別為 1:1、1:5 與 1:10；前方數字代表主劑量，後面數字代表固化劑量)。先對於不同比例的 PDMS 進行材料測試，將機械性質與介電常數萃取出。三種不同比例 (1:1、1:5 與 1:10) 之 PDMS 材料楊氏模

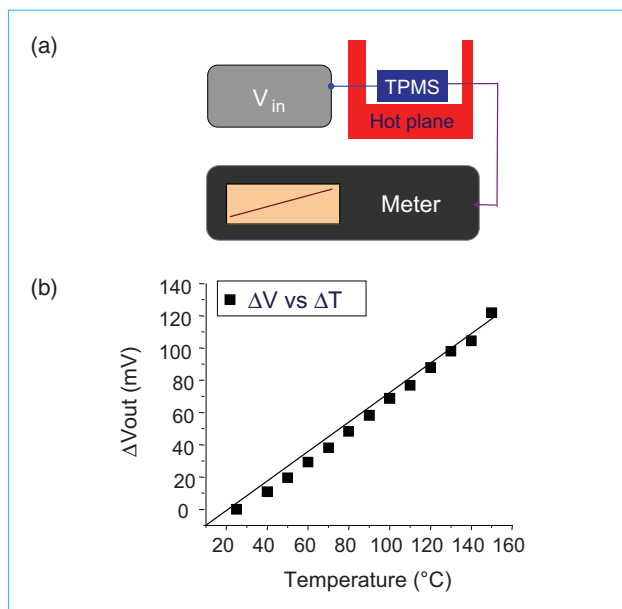


圖 11. 溫度感測計量測。(a) 架設示意圖，(b) 量測結果。

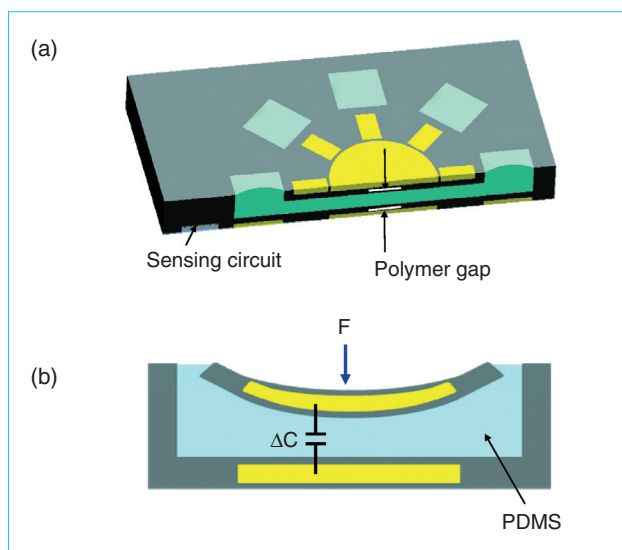


圖 12. 可調式觸覺感測器。(a) 結構示意圖，(b) 受外力薄膜變化示意圖。

數分別為 2.9 kPa、67.2 kPa 與 112 kPa。此外，此三種不同比例之 PDMS 介電常數，經由 LCR 量測儀測得其數值分別為 3、2.89 與 2.85。綜合機械與電性模擬結果，可驗證藉由 PDMS 混合比例調變產生不同感測靈敏度與受力範圍的電容式觸覺感測器。

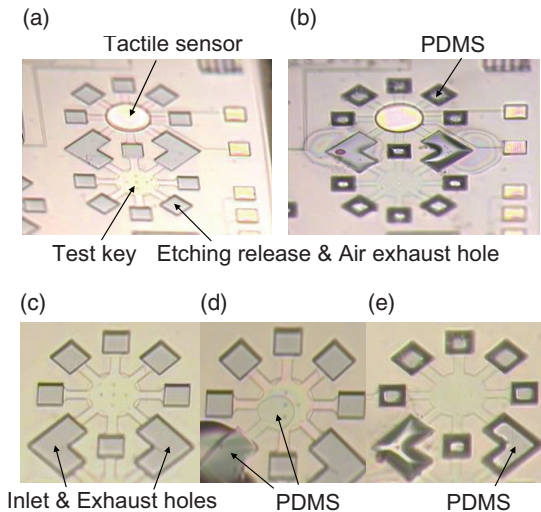


圖 13. 後製程結果。(a) 上薄膜懸浮未填入 PDMS 前，(b) 填入 PDMS 後，(c) 濕式蝕刻後尚未填入 PDMS，(d) PDMS 剛填入蝕刻孔洞時，(e) 完全填入平行電容板間隙。

圖 13(a)–(b) 分別展示 PDMS 填入前與填入後的電容式觸覺感測器。為了驗證 PDMS 可填滿平行電容板間隙，另有設計測試元件於晶片中，其結構組成二氧化矽，利用透明介電材料層來監控 PDMS 填入過程，用來證明後製程可行性。圖 13(c)–(e) 分別紀錄測試元件中 PDMS 的流動過程，圖 13(c) 顯示晶片經過濕式蝕刻後可由測試元件判斷犧牲層是否完全被移除，圖 13(d) 為 PDMS 剛填入時部分流入情況，圖 13(e) 為最後 PDMS 完全填入間隙層，並經過真空腔體回抽後之成果圖。

最後，就觸覺感測器之靈敏度作量測，量測架設如圖 14(a) 所示，將感測元件放置在三軸平台上進行定位，PZT 壓電致動器則是給予探針精確的位移量，其位移精準度可達 10 nm。LCR 量測儀與示波器則可以分別量出當感測薄膜受到形變時之電容與電壓變化量，電容變化量對位移關係曲線如圖 14(b) 所示，因 PDMS 具有較高的介電常數值，造成在相同位移下其電容變化量比間隙層為空氣的觸覺感測器高。圖 14(c) 量測出感測器靈敏度範圍，在不同比例 PDMS 其感測範圍為 0–2.5 mN，而間隙為空氣層的觸覺感測器適用範圍僅有 0.5 mN。另外，靈敏度最高者為填充比例 1:1 PDMS 之觸覺感測器，其原因在於此種比例的楊氏模數很小，而

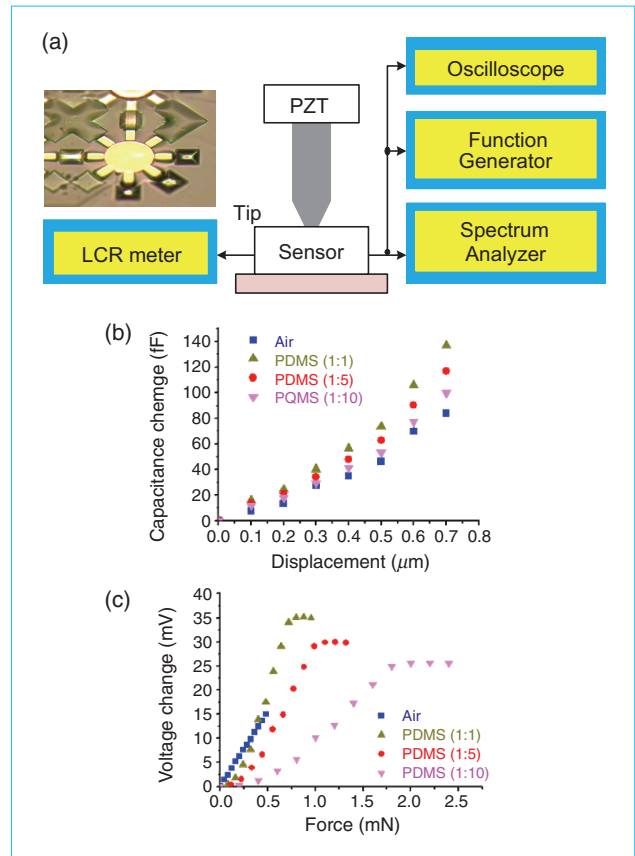


圖 14. 觸覺感測器量測。(a) 架設示意圖，(b) 電容變化量相對薄膜位移量測結果，(c) 電壓變化量相對薄膜受力量測結果。

介電常數又比空氣高，造成感測靈敏度反而比間隙層為空氣來得高。簡言之，本設計不僅可以提高感測電容值、增加感測靈敏度，同時也可以改善 CMOS MEMS 元件在厚度上所受的限制，進而增加感測範圍。

七、感測器整合與應用

由於上述這些不同的 CMOS MEMS 元件皆透過圖 1 之 CMOS MEMS 製程平台所完成，因此本文最後擬展示一整合三軸加速度計、電容式壓力計與溫度感測器之智慧型胎壓感測系統 (tire pressure monitoring system, TPMS) 單晶片，其系統架構如圖 15 所示⁽¹⁵⁾。現有的胎壓感測晶片，其感測器皆由於不同的製程完成⁽¹⁸⁾，因此使用 SIP (system in package) 的方式整合在一起。

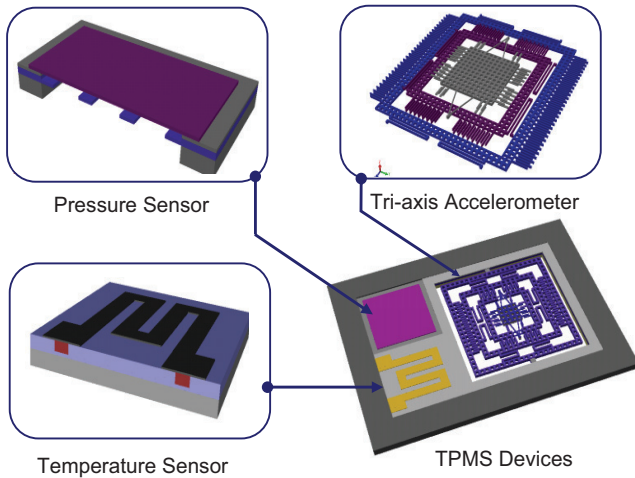


圖 15. CMOS-MEMS TPMS 感測晶片架構圖。

如圖 16(a) 所示，此 CMOS TPMS 晶片將前文所提出之三軸加速度計、壓力計與溫度感測器整合於一 $2.5\text{ mm} \times 2.5\text{ mm}$ 的晶片上，其中訊號處理電路也已經內建於此晶片上，元件打線完成如圖 16(b) 所示。最後，將 TPMS 晶片中各個感測器的量測結果整理於表 1 中。根據相同概念，可透過製程平台將其他感測器整合於晶片。

八、結論

以「More than Moore」為主軸的多功能系統晶片，已逐漸成為相當重要的半導體領域發展趨勢。具備機械元件與電子元件的微感測器，是相當具有代表性及市場潛力的系統晶片。CMOS MEMS 是一個可以整合機械元件與電子元件的技術平台，本文主要介紹如何延伸 IC 製程平台的觀念，來製作 CMOS MEMS 感測器。文中以筆者開發的 CMOS

MEMS 製程平台為主軸，輔以三軸電容式微加速度計、熱電阻式溫度計、電容式壓力計與觸覺感測器等四種元件為實例，詳細介紹目前已相當受矚目的 CMOS MEMS 技術。最後，也成功地利用此 CMOS MEMS 後製程平台，整合前述感測器，以 SoC 的方式實現一智慧型胎壓感測系統單晶片。相信未來藉由更多人力與資源的投入，此製程平台將可以製造或整合更多 CMOS MEMS 感測器，以提升晶片的功能與應用。

另外，筆者也藉由不同形態的感測器，簡述符合此製程平台的相關微機械元件設計。不同型態的感測器設計所需考慮的設計條件皆不同，整合越多種形態相對地在設計上就更加困難，所需考慮的製程相容性與感測器間相互影響的關係便愈多。筆者期望藉由本文將完整的元件設計、感測器整合平台以及測試的經驗與讀者們分享。未來將可預見會有越來越多仰賴 CMOS MEMS 技術開發的產品走入日常生活中，三軸慣性感測器應用於消費性電子與手持設備的成功經驗，會進一步帶動市場在電子設備上安裝微感測器的趨勢。各種 CMOS MEMS 微感測器的應用性與未來性將指日可待！

誌謝

筆者感謝台灣積體電路製造股份有限公司與國家晶片設計中心所提供的 CMOS 晶片製程服務，及國立清華大學奈科中心提供的製程設備，此外，也感謝國科會（計畫編號：96-2628-E-007-008-MY3 和 95-2218-E-007-024）和台灣積體電路製造股份有限公司 JPD 計畫所提供部分經費的贊助，使得本文中介绍的製程及各感測元件得以順利完成。

圖 16. TPMS 晶片製作結果。(a) SEM 照片，(b) 打線完成結果。

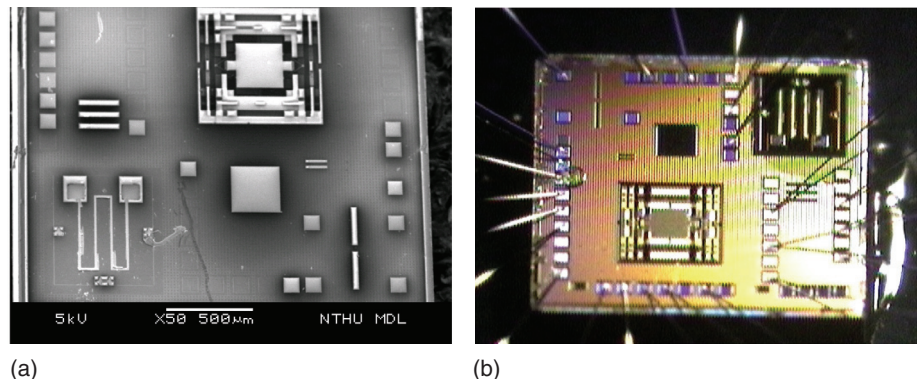
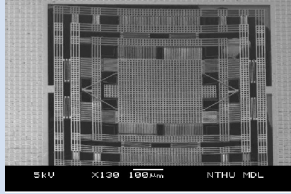
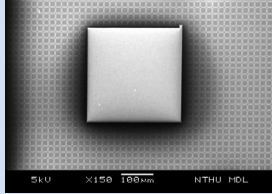
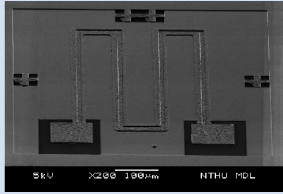


表 1. 智慧型胎壓感測系統量測結果。

Tire Pressure Monitoring Systems			
Sensor	G-sensor	P-sensor	T-sensor
TPMS chip Area $2.5 \times 2.5 \text{ mm}^2$			
Device Area	$750 \mu\text{m} \times 750 \mu\text{m}$	$250 \mu\text{m} \times 250 \mu\text{m}$	$500 \mu\text{m} \times 500 \mu\text{m}$
Sensitivity	0.54 / 0.32 / 0.19 X/Y/Z (mV/g)	2.7 mV/kPa	1.74 mV/°C
Sensing range	0.8 – 5 g	0 – 20 kPa	25 – 150 °C

參考文獻

1. M. Parameswaran, R. Chung, M. Gaitan, R. B. Johnson, and M. Syrzycki, *IEDM'91*, Washington, DC, Dec. 8-11, 754 (1991).
2. Texas Instruments, www.ti.com.
3. Analog Devices, www.analog.com.
4. M. Parameswaran, A. M. Robinson, D. L. Blackburn, M. Gaitan, and J. Geist, *IEDL*, **12**, 57 (1991).
5. F. Rudolf, A. Jornod, J. Bergqvist, and H. Leuthold, *Sensors and Actuators A*, **21-23**, 297 (1990).
6. E. Peeters, S. Vergote, B. Puers, and W. Sansen, *Transducers'91*, San Francisco, CA, June 24-28, 97 (1991).
7. InvenSensi Inc., http://www.invensense.com.
8. H. Lakdawala and G. Fedder, *Transducers'01*, Munich, Germany, June 10-14, 1548 (2001).
9. SiTime Inc., www.sitime.com.
10. Infineon Technologies, www.infineon.com.
11. G. K. Fedder, *IEEE Sensors 2005*, Orange County, CA, Oct. 30-Nov. 3, 125 (2005).
12. C.-M. Sun, C. Wang, M.-H. Tsai, H-S Hsieh, and W. Fang, *J. of Micromechanics and Microengineering*, **19**, 15 (2009).
13. C.-M. Sun, C. Wang, M.-H. Tsai, H-S Hsieh, and W. Fang, *IEEE MEMS 2008*, Jan. 13-17, Tucson, AZ, 90 (2008).
14. C.-M. Sun, M.-H. Tsai, and W. Fang, *IEEE MEMS 2009*, Sorrento, Italy, Jan. 25-29, 809 (2009).
15. C. Wang, M.-H. Tsai, C.-M. Sun, and W. Fang, *J. of Micromechanics and Microengineering*, **17**, 1275 (2007).
16. C.-M. Sun, M.-H. Tsai, C. Wang, Y.-C. Liu, and W. Fang, *Transducers'09*, Denver, CO, June 21-25, 1730 (2009).
17. Y.-C. Liu, C.-M. Sun, L.-Y. Lin, M.-H. Tsai, and W. Fang, *Transducers'09*, Denver, CO, June 21-25, 2190 (2009).
18. Freescale Semiconductor, Inc., http:// www.freescale.com.



方維倫先生為美國卡內基美隆大學機械工程博士，現任國立清華大學動力機械工程學系及奈米工程與微系統研究所教授。

Weileun Fang received his Ph.D. in mechanical engineering from Carnegie Mellon University, USA. He is currently a professor in the Department of Power Mechanical Engineering and the Institute of NanoEngineering and MicroSystems at National Tsing Hua University.



孫志銘先生為國立清華大學奈米工程與微系統研究所博士班學生。

Chih-Ming Sun is currently a Ph.D. student in the Institute of NanoEngineering and MicroSystems at National Tsing Hua University.



蔡明翰先生為國立清華大學奈米工程與微系統研究所博士班學生。

Ming-Han Tsai is currently a Ph.D. student in the Institute of NanoEngineering and MicroSystems at National Tsing Hua University.



劉育嘉先生為國立清華大學奈米工程與微系統研究所博士班學生。

Yu-Chia Liu is currently a Ph.D. student in the Institute of NanoEngineering and MicroSystems at National Tsing Hua University.