

可程式邏輯陣列應用於核能電廠數位儀控之概念設計

Conceptual Design of an FPGA-Based Digital Instrumentation and Control System for Nuclear Power Plants

盧俊仁、周懷樸、黃建華

Jun-Jen Lu, Hwai-Pwu Chou, Kin-Wah Wong

過去 10 年由於 FPGA 現場可程式化邏輯陣列技術已日趨高密度與高可靠度，使得 FPGA 現場可程式化邏輯陣列被廣泛地應用在一般的商用電腦化設施。不過到目前為止，FPGA 在核能領域之數位儀控設施的研究、應用個案實在很少。本研究藉由 FPGA 技術的利基，以無軟體的數位儀控技術建構核能電廠內的數位儀控設施，期望藉由 FPGA 技術的應用，提供另一種數位儀控的設計方式，強化核能電廠儀控設施設計的多樣性。本研究以核能電廠為對象，以 FPGA 技術為基礎，設計一套具備四迴路之反應爐保護系統。

Due to the high density and reliability and low nonrecurring engineering (NRE) expense, the field programmable gate array (FPGA) technology has been used extensively for commercial applications over the last decade. However, not until recently, there are only few applications in using FPGA technology for instrumentation and control (I&C) systems in nuclear power plants (NPP). A diverse backup implementation for the digital I&C systems is an important means to defense against the undetectable software faults and the common cause failures. In this study, the application of quad-redundant FPGA technology in RPS design for the NPP will be presented.

一、前言

近二十年來，隨著半導體技術快速發展，高密度、高可靠度、低功耗的製程不斷地推陳出新，3C 產品的電路設計及應用範圍越趨複雜，半導體供應商推出客製化的特殊應用積體電路 (application-specific integrated circuit, ASIC)，企圖利用高密度及客製化方式大幅減少電路板的面積，降低電路的功率消耗，並保障設計者的智慧財產。

ASIC 是指依特定用途而客製化設計的特殊規格邏輯 IC，不過 ASIC 電路從研發、設計、佈線、製程、測試等過程中，不可重複使用的工程開銷 (nonrecurring engineering expense, NRE) 非常高。每一次電路的除錯測試、功能更新都必須支付一筆不小的 NRE 費用；而且從研發到交貨整個週期 (turn-around) 時間很長，設計發展完成之電路仍須由半導體供應商生產製造，因此產品需要大量生產來分攤 NRE 費用。

為因應 ASIC 邏輯電路的高 NRE 費用、生產製造週期長兩大致命傷，半導體供應商陸續推出複雜型可程式化邏輯裝置 (complex programmable logic device, CPLD)、現場可程式化邏輯陣列 (field programmable gate array, FPGA)，提供需要客製化功能及少量生產的設計者可以自行重複程式化 CPLD、FPGA 的空白元件，提高邏輯電路研發除錯的速度，並且大幅降低每一次除錯測試、功能更新的 NRE 費用。CPLD 和 FPGA 元件包括了一些相對大數量的可以編輯邏輯單元，單一個 CPLD 元件的容量約在幾千到幾萬個邏輯單元之間，而單一個 FPGA 元件的容量通常是在幾萬到幾百萬邏輯單元之間。

過去 10 年 FPGA 現場可程式化邏輯陣列技術已日趨高密度、高可靠度、低功耗，且各家 FPGA 製造廠商不斷地推出更彈性、更友善、功能更強大的發展工具，使得 FPGA 技術被廣泛地應用在一般的商用電腦化設施、通訊工業、航太工業、車輛及運輸工業、石化工業、軍事工業，甚至其他需要高度安全關鍵 (safety-critical) 的領域。不過到目前為止，FPGA 技術在核能工業領域之數位化儀控 (digital instrumentation & control, DI&C) 系統的研究、應用個案實在很少。

基本上，一個 FPGA 元件只是一個配置幾百萬個邏輯單元、功能可程式化的半導體晶片，如同微處理器一樣，FPGA 元件亦需要設計者指定、規劃特定的功能。微處理器及 FPGA 元件兩者都是從「零」開始，設計者利用某些語言及軟體工具進行程式編碼、除錯，提供可程式化半導體晶片一個完整的「生命」或「智慧」才能正常運作。兩者都可以執行特定的功能，如同簡單的交通號誌、紅綠燈，或核能電廠內複雜的控制器；兩者在發展過程中，包括需求、概念、設計、程式編碼、除錯、整合、安裝各階段都需遵循一定的準則，並經過審查、測試、驗證及確認等品保措施。不過，FPGA 元件在運作時其功能就如同傳統的硬體電路元件一般，FPGA 元件有其固定的功能及特性，沒有軟體運作時不確定性的錯誤及共因失效的潛在問題。

近年來許多核能電廠有逐漸汰換老舊類比式儀控系統而更新為新型數位化儀控系統之趨勢。數位

化儀控系統有高可靠度、高精確度等優點，不同於過去數十年累積類比式儀控系統的操作與維修經驗，數位儀控軟體易於與電廠保護系統等硬體的搭配，尤其對於應用於安全及保護相關的數位儀控系統，可滿足核能安全所注重的「安全餘裕 (safety margin)」、「深度防禦 (defence-in-depth)」等觀念，核能電廠內配置之安全保護設施的設計目標是希望每一次使用的時機都期望其功能是正常的運作，避免影響核能電廠的運轉安全。

本研究以台電核四龍門電廠為對象，以 FPGA 現場可程式化邏輯陣列技術基礎為另一種數位式儀控系統的替代方案，設計一套具備四迴路 (quad-redundant) 龍門電廠之反應爐保護系統 (reactor protection system, RPS)，並以個人電腦建構龍門電廠全功能的工程型模擬器 (full scope simulator)，作為 FPGA 電路板功能測試、驗證及確認 (verification and validation, V&V) 之平台。本研究藉由 FPGA 元件高密度、功能強大、高可靠度的利基，以無軟體 (software-free) 執行的數位儀控技術建構核能電廠內的數位儀控設施，避免因數位軟體缺失造成無法偵測的錯誤或共因失效，影響數位儀控設施故障時的安全性及不確定性，並期望藉由 FPGA 技術的應用，提供另一種數位儀控的設計方式，強化核能電廠儀控設施設計的多樣性 (diversity)，並可適用於更新舊型類比式核能儀控設施。

二、龍門核能電廠反應爐保護系統

台電龍門核電廠是以進步型沸水式反應爐 (advanced boiling water reactor, ABWR) 技術為基礎，配置兩座相同的 3926 MWt 核能蒸氣產生系統 (nuclear steam supply systems, NSSS) 及 1369 MWe 蒸氣渦輪發電機。龍門核能電廠的反應爐保護系統 (reactor protection system, RPS) 兩個主要功能的設計基準為：安全功能、發電功能。

1. 安全功能

(1) 反應爐保護系統 (RPS) 須能準確、可靠地將反應爐急停，滿足下列反應爐安全需求：(A) 防

止或限制足以使燃料損害的異常運轉暫態；(B) 防止反應爐冷卻水壓力邊界損壞，限制反應爐壓力在安全規定值以下。(C) 燃料屏障及冷卻水壓力邊界發生重大故障時，防止或限制失去控制的放射性物質外洩。

- (2) RPS 提供跳脫信號給控制棒驅動機溝 (control rod drive, CRD) 之急停電磁導引閥作為主要急停的控制源，亦提供信號給急停空氣集管洩放閥作為後備急停。
- (3) RPS 允許運轉員以手動方式起動反應爐急停。
- (4) RPS 配合反應爐運轉模式開關 (reactor mode switch) 位置，在有跳脫信號時提供必要之跳脫或旁通功能。

2. 發電功能

- (1) 當汽機斷閥 (turbine shutdown valve, TSV) 關閉或控制閥 (turbine control valve, TCV) 快速關閉，而且旁通閥開啟數目不夠多時，如果此時反應爐功率大於 40%，則 RPS 將會送訊號給再循環流量控制系統 (recirculation flow control, RFC) 去跳脫四台不是由 M-G SET 供電之爐內再循環水泵 (reactor internal pump, RIP)。
- (2) 反應爐急停後，RPS 會送訊號去控制棒與資訊系統 (rod control and information system, RCIS) 以驅動控制棒微調驅動機構 (fine motion control rod drive, FMCRD) 的馬達，以確保控制棒完全插入，此謂之 scram follow control rod run-in。
- (3) RPS 會提供訊號給廠用電腦系統 (plant computer system, PCS) 及控制室之警報與指示系統。

當 RPS 系統監測參數超過其跳脫設定值時，RPS 提供反應爐自動急停功能 (控制室可手動急停) 以保護燃料、燃料護套及冷卻水壓力邊界之完整性。龍門電廠反應爐保護系統配置有四套多重性 (redundant)、實體分離 (physically separated)、電力獨立 (electrically independent) 之感測元件通道，分別連結至四個不同的控制區隔迴路 (division)、獨立作邏輯處理及輸出之 RPS 模組。如此配置可將不同區隔間互相影響之可能性降至最低，避免誤動

作或急停失敗。

RPS 反應爐保護系統為滿足系統故障安全 (fail-safe) 需求之設計，正常運轉時激磁，跳脫時失磁。跳脫邏輯為四選二動作，必須同時有兩區以上送出跳脫信號才會啟動反應爐急停。一旦反應爐急停，其跳脫信號會自保 (seal-in)，必須由運轉員以手動方式復歸 (reset) 之。導致 RPS 動作的條件如下：

- (1) 中子偵測系統 (NMS) 偵測到之參數超過限值。
- (2) 反應爐高壓力。
- (3) 反應爐低水位。
- (4) 乾井高壓力。
- (5) 主蒸汽隔離閥 (MSIV) 關閉。
- (6) 控制棒驅動液壓控制單元 (HCU) 充水集管壓力偏低。
- (7) 汽機斷閥 (TSV) 關閉。
- (8) 汽機控制閥 (TCV) 快速關閉。
- (9) 抑壓池高溫度。
- (10) 地震高強度。
- (11) 手動急停。

RPS 反應爐保護系統是龍門核能電廠的邏輯和控制安全保護系統 (safety system logic and control, SSLC) 功能的一部分。SSLC 是核能電廠的自動保護中樞，處理 RPS、特殊安全設施 (engineering safety feature, ESF)、洩漏檢測及隔離系統 (leak detection and isolation system, LDI) 的操作和控制邏輯。SSLC 系統包括四個實體分離、獨立供電的區隔迴路，並有下列四種操作模式：停機 (shutdown) 模式、燃料裝填 (refuel) 模式、起動 (startup) 模式、運轉 (run) 模式。SSLC 系統是以微處理器及軟體為基礎，採用全數位化、分散式儀控設計、大量多工網路技術。

大多數的輸入訊號都透過高度安全、多工網路系統傳送，同時某些關鍵性訊號都是以硬接線 (hard-wired) 方式連接到獨立的 SSLC 區隔迴路。RPS 和主要蒸汽隔離閥 (main steam isolation valve, MSIV) 的控制訊號都是以硬接線方式直接連接到致動器 (actuator)；而特殊安全設施 (ESF) 的控制訊號都是透過多工網路傳送到遠端多工單元 (remote multiplexing unit, RMU)，並且以硬接

線方式將驅動訊號由 RMU 傳送到致動器。RPS 和 MSIV 都是四迴路多重配置 (quad-redundant) 的輸出訊號，而 ESF 是三迴路重複配置 (triple-redundant) 的輸出訊號。此外，為因應異常和緊急用途，RPS 系統提供一些手動控制的輸入訊號。

每一個獨立的 RPS 迴路主要由感測元件控道、跳脫邏輯控道、跳脫動作器支控道、手動急停控道所構成，如圖 1 所示。每一個 RPS 迴路控道均有自己的感測器以偵測重要參數，並將所感測到的信號送到「數位跳脫模組 (digital trip module,

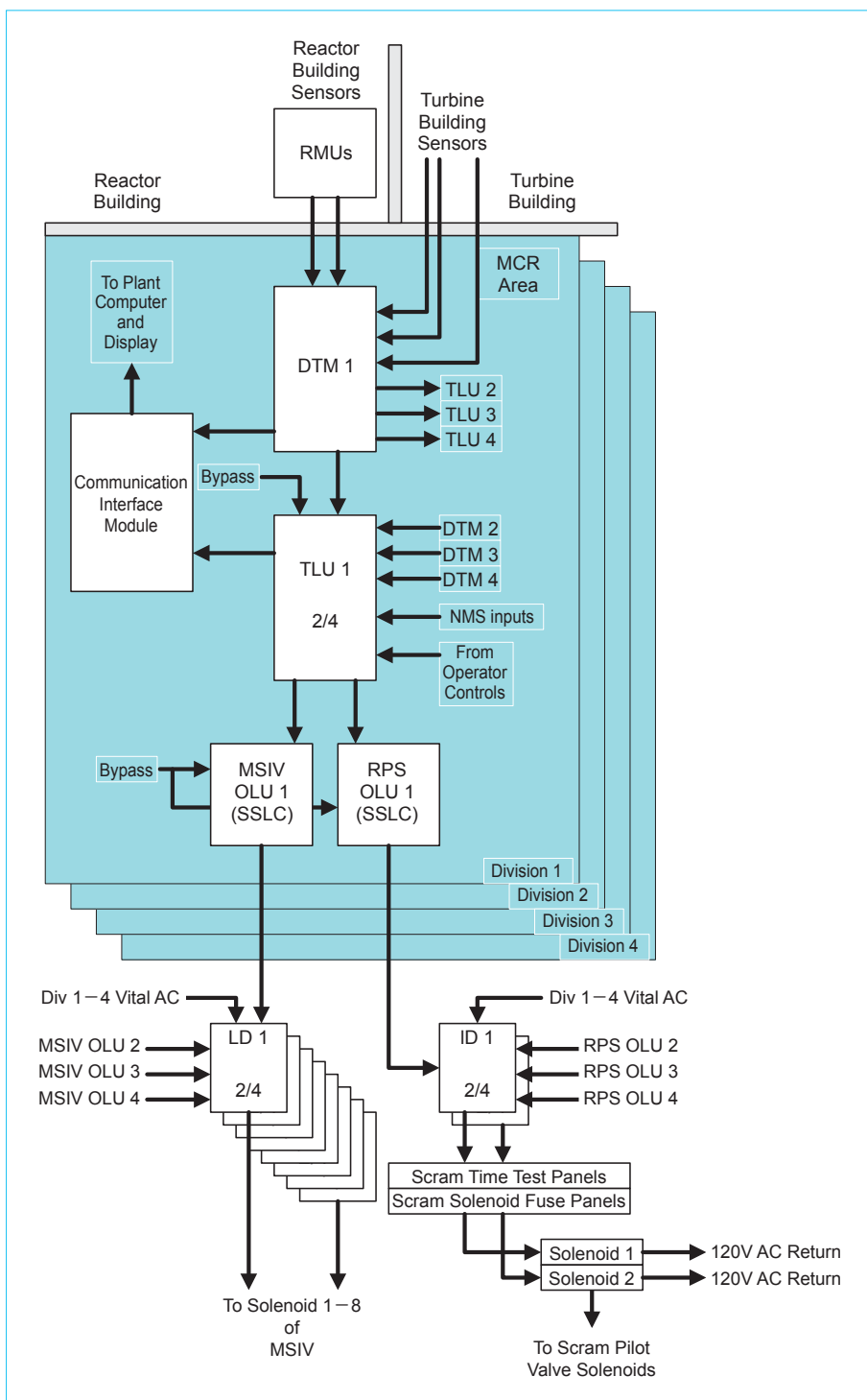


圖 1. 龍門電廠反應爐保護系統⁽¹⁾。

DTM)」，感測器信號分別有類比及數位信號。

DTM 是屬於 SSLC 之一部分，裝置在控制室背後 SSLC 儀器櫃內，是以微處理器來控制，其主要功能是將感測器所送來之信號與預設之設定值作一比較，以送出「跳脫 (trip)」或「未跳脫 (no trip)」之信號到四個支迴路控道的「跳脫邏輯單元 (trip logic unit, TLU)」。

每一個 RPS 獨立迴路的感測器信號是藉由緊要多工系統 (emergency multiplexing system, EMS) 多重性 (redundant) 光纖網路或硬接線傳送到 DTM 模組。

每一個 RPS 獨立迴路的跳脫邏輯支控道 (divisions of trip logic) 包括：跳脫邏輯單元、輸出邏輯單元 (output logic unit, OLU)。

TLU 是裝置在控制室背後盤 SSLC 儀器櫃內，是以微處理器來控制，其主要功能是將由四個支迴路控道 DTM 所送來之跳脫信號，TLU 依據反應爐的七種不同條件作一個四選二之『票決 (voting)』邏輯判斷。一旦符合四選二之跳脫邏輯，除非有阻止 RPS 動作之連鎖條件存在，否則 TLU 將送出跳脫信號，經由 OLU 到 RPS 的致動器。

OLU 亦裝置於控制室背後盤 SSLC 儀器櫃內，每一個支迴路控道之 OLU 藉由硬接線傳輸數位式 (discrete) 跳脫信號到所屬信號之驅動器 (load driver, LD)，以符合 50 ms 之迴路控道反應時間。OLU 運作在下列四種功能模式下：跳脫 (trip)、跳脫自保 (trip seal-in)、復歸 (reset) 與跳脫測試 (trip Test)。

RPS 具有兩個實體分離、電力獨立的跳脫致動器，用以實行主要急停及後備急停；主要包括驅動器 (load drivers, LDs) 與一些繼電器 (relays)。LD 是一個四選二之「票決」邏輯判斷電路，裝置於控制室背後盤 SSLC 儀器櫃內，為固態電子設備，具有快速反應之特性。OLU 送跳脫訊號來時，LD 會產生高阻抗，將送到反應爐廠房的 103 組 HCU (hydraulic control unit) 急停導引閥之 120 VAC 電源切掉，而讓 205 根控制棒插入反應爐產生急停。102 組中的每組 HCU 驅動 2 根控制棒，另有第 103 組 HCU 驅動反應爐正中心的控制棒。

除了四套多重性、實體分離、電力獨立的 RPS 自動急停控制電路外，RPS 反應爐保護系統另提供 2 個分離且獨立之手動急停 (manual scram) 迴路控道：A 和 B。兩迴路控道各有一個手動按鈕，每個按鈕可將急停導引閥兩個電磁線圈之一斷電，所以必須同時按下兩個按鈕，才會將反應爐急停；如果只按下其中一個按鈕將會導致反應爐處於「半急停」狀態。當同時按下兩個手動急停按鈕時，亦會使後備急停閥的電磁閥通電，而使反應爐產生急停。

三、FPGA 電路之觀念設計

本研究以 FPGA 現場可程式化邏輯陣列技術基礎實現核四龍門電廠 RPS 反應爐保護系統，為另一種數位式儀控系統的替代方案。本研究規劃以下列階段進行：

1. 以個人電腦建構龍門核能電廠全功能的工程型模擬器，作為 FPGA 電路板功能測試、驗證及確認之平台。
2. 設計 RPS 反應爐保護系統的 FPGA 電路之功能。
3. 執行 FPGA 電路輸出入端、點對點功能測試 (functional end-to-end testing)。
4. 設計 FPGA 電路板與工程型模擬器連接之界面電路。
5. 以龍門核能電廠全功能的工程型模擬器進行 FPGA 電路之驗證及確認 (V&V)。

1. FPGA 系統通用平台

由於 FPGA 元件的高密度、高可靠度、低功耗等特性，一片 FPGA 電路板通常只需少許數位元件、主被動元件，即可實現不同的訊號處理、匯流排、通訊等功能。在本研究的 RPS 系統 FPGA 電路板上的通用元件包括：FPGA 晶片、穩壓器、電容器、電阻器、匯流排驅動器、NVM、UART、光耦合元件、連接器和其他被動元件，提供電路的靈活性與安全措施的需要。RPS 系統 FPGA 電路板上選擇 Actel 公司於 2010 年 3 月推出具備智慧型混合訊號的 SmartFusion FPGA 晶片作為研究的目

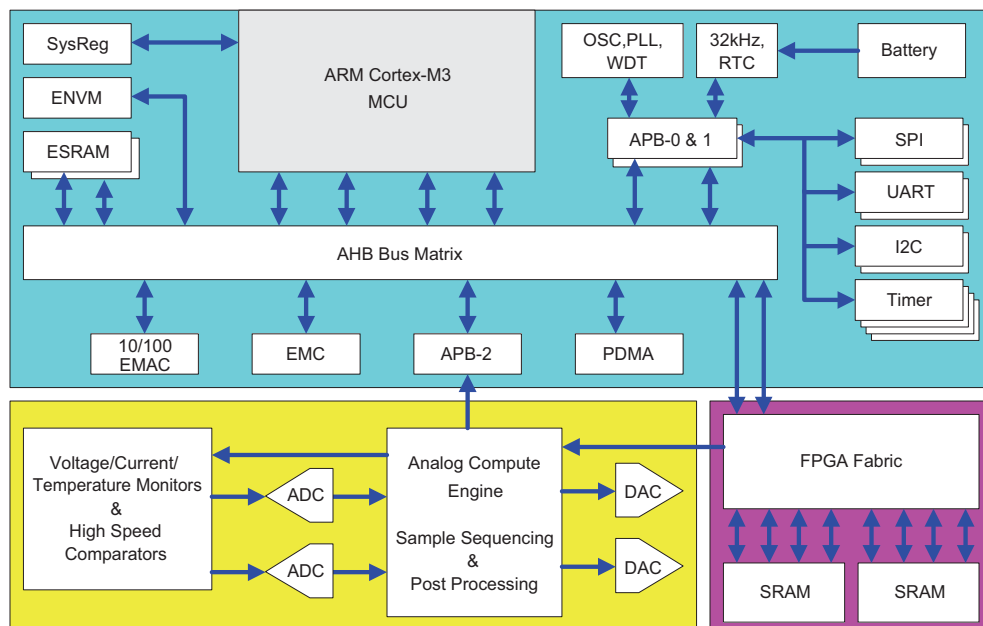


圖 2. SmartFusion FPGA 晶片功能區塊⁽⁵⁾。

標，FPGA 內部電路設計將以 Actel 公司的 Libero 軟體為整合式的發展及測試平台。

SmartFusion FPGA 晶片整合 Flash 技術的 FPGA 邏輯、128 位元寫入保護安全措施、ARM Cortex-M3 微控制器 (MCU)、數位式週邊設備、可程式化類比式週邊設備，充分提供客製化、智慧財產保護和操作簡單的開發工具。SmartFusion FPGA 晶片是硬體和嵌入式設計的理想技術平臺，對真正需要「系統在單晶片 (system-on-chip, SoC)」的應用提供一個完整的解決方案。

SmartFusion FPGA 晶片功能區塊如圖 2 所示，其簡化說明如下列公式：

$$\begin{aligned} \text{SmartFusion FPGA Chip} \\ = \text{FPGA Fabric} + 32\text{-bit ARM Cortex-M3 MCU} \\ + \text{Digital peripherals} + \text{Programmable Analog} \\ (\text{ADC} + \text{DAC}) \end{aligned}$$

SmartFusion 晶片的可程式類比電路元件功能包括：電壓、電流及溫度的監控、高達 600 ksps 取樣頻率的 8/10/12-bit (SAR) ADC 轉換電路、Sigma-Delta 12-bit DAC 轉換電路、高達 10 個類比式比較器、高達 32 組類比式輸入訊號、3 組類比式輸出訊號。

SmartFusion 晶片的數位週邊電路元件功能包括：AHB 匯流排介面電路、512 kB 快閃記憶體、64 kB SRAM、SPI 及 I2C 介面電路、UART、32-bit 計時器、8 通道 DMA 控制器、外部記憶體控制電路、10/100 Ethernet MAC 電路、數位輸入/輸出介面電路。

SmartFusion 晶片內建一個 100 MHz ARM Cortex-M3 32-bit 微控制器 (MCU)，此功能在本研究計畫的龍門核能電廠 RPS 控制器電路中保留為未來擴充的目的。在未來的發展設計中，ARM Cortex-M3 MCU 將整合 10/100 Ethernet 網路元件連接到龍門核能電廠的廠用電腦及多工網路系統，提供非安全相關的程序處理功能。

2. 硬體設計

在本研究計畫的 RPS 控制器電路中，SRAM 將分割成兩個區塊；FPGA 電路可以對兩區塊可以進行讀、寫的雙向存取，但 UART 電路只能對其中一個區塊進行讀出的存取，用於即時監控或維護時傳送內部電路的狀態。SmartFusion 晶片其他的數位週邊電路元件功能在現階段的研究計畫中將暫時保留；FPGA 邏輯元件的數位輸入/輸出介面電路連接至電路板上的光耦合元件，提供 RPS 控制器的數位輸入/輸出介面。

本研究將以四組獨立的 FPGA 電路板設計一套具備四迴路 (quad-redundant) 的龍門電廠反應爐保護系統。四組獨立的 RPS 反應爐保護系統 FPGA 電路將配置於四個實體分離的區隔/機櫃 (division/chassis)，四個實體分離的區隔在核能電廠內需置放於四個無安全性顧慮的獨立空間，每個實體分離的區隔內包括獨立的 FPGA 電路板、直流電源供應器和接線板/機櫃。交互連接 (inter-connection) 至另一區隔的訊號將以硬接線連接到固定於機櫃後方的接線板上。

每一組 FPGA 電路均包含一個 UART 可連接到工程模擬器的即時監控，或連接到一臺維護用途的攜帶式電腦。基於系統安全因素考量，額外的數位訊號將連接到工程模擬器的顯示面板上，顯示 UART 接頭或 FPGA 電路下載接頭被外界電路連接。

3. 軟體設計

基本上，現貨市場的工業標準微處理器 (micro-processor) 或微控制器 (micro-controller) 通常只是一塊功能可程式化的矽晶片，有待軟體設計人員加入指令程式碼，例如在起始設定流程中配置週邊設施，執行主要的特定功能，並透過相關的通訊介面與外界連接等等。微處理器或微控制器需要在軟體設計人員賦予一個「身分」或「功能」後才能開始正常運作，它既可在現場進行線上程式化 (on-line field programming) 或多次重新程式化 (reprogramming)，也能夠進行線上除錯 (on-line debug)。

另一方面，FPGA 可程式化邏輯陣列也是一塊功能可程式化的矽晶片，它可能同時包括一些特殊的功能模組 (如記憶體、邏輯電路、或控制器)，然而它也必須在取得「身分」或「功能」定義後才能正常運作。儘管 FPGA 在 I/O 介面的選擇及使用上比微處理器或微控制器有較大的彈性，且 FPGA 電路模組或功能區塊可平行作業，但 FPGA 和微處理器或微控制器一樣，都需要設計人員為它們賦予一個完整的「生命」或「智慧」。不過 FPGA 元件在運作時，其功能就如同傳統的硬體電路元件一般，FPGA 元件有其固定的功能及特性，有別於微處理

器軟體運作時有不確定性的錯誤及共因失效的潛在問題。

每一個獨立的 FPGA 電路板上，與安全相關的訊號將同時包含二種不同的硬體邏輯控制電路，採用兩種不同的硬體描述語言 (Verilog 及 VHDL) 設計，或其中一個邏輯控制電路以圖示捕獲 (graphical schematic capture) 方式設計，提供 FPGA 邏輯控制電路的多樣化設計。Actel 公司的 FPGA 整合式開發工具—Libero 軟體，充分支援這兩種設計方式。

4. 龍門核能電廠全功能工程模擬器

工程型模擬器可以提供核能電廠的全功能性 (full-scope) 或部分足夠系統模組 (partial task) 的模擬環境，並可依測試需求改變各模組的狀態或參數。核能電廠內不同的實體數位控制系統 (digital control system, DCS) 均可透過適當界面電路聯結到工程型模擬器，可以先進行線上 open-loop/close-loop 的功能測試、驗證及確認，包括核能電廠的正常操作、暫態或緊急事故等不同模式。雖然各個 DCS 在工程型模擬器的線上 close-loop 的功能測試、驗證及確認仍無法取代最終在核能電廠的功能測試、驗證及確認 (site test procedures, STPs)，不過卻可以在 DCS 的 STPs 階段進行前提早發現許多潛在的錯誤，並進行相關的修正措施，能大量減少 STPs 階段的成本與人力負荷。

本研究使用 3KeyMaster 軟體平台建構一套具有反應爐及龍門核能電廠完整 105 個電廠系統詳細功能模組的全功能性工程型模擬器。全功能性工程型模擬器將提供 RPS 系統 FPGA 電路一個動態測試、互動式、整合式的功能驗證及確認環境。依據龍門核能電廠的終期安全分析報告 (final safety analysis report, FSAR) 第 15 章選擇必要的設計基礎事故 (design basis accidents, DBA)，工程型模擬器將被置入不同的電廠事故或電廠系統組件故障的情節，以便啟動 RPS 系統功能，並觀察、記錄工程型模擬器及 FPGA 電路的互動及連續性反應，評估及確認 FPGA 電路滿足 RPS 系統功能和性能的所有要求。

台電龍門核電廠全功能性工程型模擬器採用數

量眾多的個人電腦主機及高速乙太網路架構，確保即時模擬的性能和系統的同步性。目前這套工程型模擬器是以NEMO 軟體模組利用三維多節點動態模式 (3-D multi-nodes kinetic model) 計算爐心中子物理，並以 TRACS 軟體模組執行爐心的熱水力物理 (thermal hydraulic) 計算。龍門電廠全功能性工程型模擬器的系統架構包括：進步型控制室、105 個 ABWR 的核能蒸氣產生系統 (nuclear steam supply systems, NSSS) 及 BOP (balance of plant) 系統、超過 20000 張邏輯控制圖、超過 1000 頁圖形顯示畫面、軟體操作盤、講師操作站等功能。

5. 系統介面設計

本研究將以工程型模擬器為測試平台，進行 FPGA 電路板功能的 open-loop 及 close-loop 的驗證及確認，測試 FPGA 電路板於核能電廠系統中的保護功能、靜態及動態反應。因此，除 FPGA 電路板的設計及製作外，必須額外設計及製作適當的界面電路，連接 FPGA 電路板與工程型模擬器，成為一個完整的測試環境，如圖 3 所示。

連接 FPGA 電路板與工程型模擬器之測試用途界面電路包括：

- (1) 數位輸入，將 FPGA 電路板的數位輸出訊號連接到工程型模擬器的數位輸入，如：致動器、指示器 (indicator) 等軟體模擬模組。
- (2) 類比輸入，將 FPGA 電路板的類比輸出 (電壓、電流) 訊號連接到工程型模擬器的類比輸入；目前此電路僅提供為日後其他研究 (如：FPGA 功率階段中子監測系統、FPGA fuzzy 飼水控制器) 的擴充電路。
- (3) 數位輸出，將工程型模擬器的數位輸出訊號連接到 FPGA 電路板的數位輸入，如：switch、valve 位置指示等接點。
- (4) 類比輸出，將工程型模擬器的類比輸出訊號連接到 FPGA 電路板的類比輸入，如：爐心功率、冷卻水壓力等類比訊號。

除上述之硬體界面電路外，必須適當修改工程型模擬器軟體平台的系統軟體界面，增加動態聯結程式庫 (dynamic link library, DLL) 軟體，將資料擷取系統 (data acquisition system) 取得或輸出的訊號

與工程型模擬器的共用記憶體結合。

6. FPGA 系統驗證及確認

本研究規劃在 FPGA-based RPS 系統電路板控制邏輯設計完成後，FPGA 電路板功能驗證及確認的過程區分為下列二個階段，建立以 FPGA 技術設計核能級控制器系統之功能驗證及確認的模式。

Phase 1：FPGA 電路板輸出端，點對點 (End-to-End) 離線功能測試。

完成 FPGA-based RPS 系統電路板控制邏輯設計，啟動 FPGA 電路板電源後，以 Actel 公司提供的 USB Program 介面 (FlashPro)，將在 Actel Libero 整合式發展環境 (IDE) 中設計之控制邏輯下載到 SmartFusion Evaluation Kit 電路板上。以 function generator、直流電源等設備模擬 RPS 系統之輸入端訊號，利用數位示波器或個人電腦收集 FPGA-based RPS 系統之輸出端訊號；然後進行輸入端與

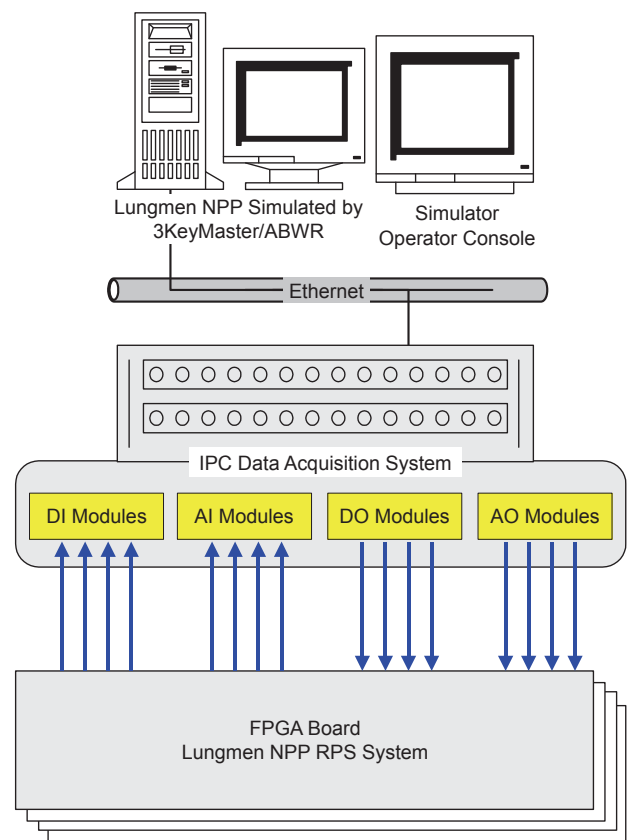


圖 3. RPS FPGA 電路測試、驗證及確認架構。

輸出端的訊號及反應時間比對，確認 FPGA-based RPS 系統電路板點對點功能的正確性。

Phase 2：FPGA-Based RPS 系統電路板與工程模擬器間的整合式功能驗證及確認。

首先，熟悉及建立核能電廠工程模擬器軟體平台的功能及輸出入介面，並記錄其反應模式及反應時間，作為日後進行整合式測試時之比對基礎。其次，隔離核能電廠工程模擬器的 RPS 反應爐保護系統功能，並以 Microsoft 公司的 VisualStudio 發展工具設計一個動態聯結程式庫，使用 C++ 程式語言先設計一個外掛的 Quad-Redundant 軟體 RPS 反應爐保護系統功能，確認工程模擬器 RPS 反應爐保護系統之介面功能正常。最後，進行 FPGA-based RPS 系統電路板與核能電廠工程模擬器整合之 open-loop 及 close-loop 的驗證及確認，測試、記錄、比對 FPGA 電路板於核能電廠系統中的保護功能、靜態及動態反應。

由於研究時程及預算的限制，本研究不對 FPGA 電路板進行硬體品保 (耐受性測試) 驗證，如：環境溫溼度 (temperature/humidity) 測試、地震 (seismic) 測試、電磁波干擾 (EMC/EMI/RFI) 測試。

四、結論

本研究以 FPGA 可程式化邏輯陣列技術設計核能電廠安全性設施的儀控系統，並藉由工程型模擬器整合測試、驗證及確認 FPGA 電路的細部設計及系統靜態、動態功能與反應，主要研究成果為以 FPGA 可程式化邏輯陣列設計一套具備四迴路的龍門電廠反應爐保護系統。藉由本研究預留的擴充功能，提供將來更多整合數位儀控設施與工程型模擬器的研究與應用。

未來台灣運轉中核能機組更新延壽或增設新核能機組，應該考量建立一套適合台灣環境的核能工業自主化策略，不但可以振興台灣的經濟景氣，並可提升台灣的產業結構。本研究期望藉由 FPGA 可程式化邏輯陣列高密度、功能強大、高可靠度的利

基，以無軟體 (software-free) 的數位儀控技術建構核能電廠內安全系統及非安全系統的數位儀控設施，避免因微處理器軟體所造成的無法偵測的錯誤或共因失效，影響數位儀控設施故障時的安全性及不確定性，並期望藉由 FPGA 可程式化邏輯陣列技術的應用，提供另一種數位儀控的設計方式，強化核能電廠儀控設施設計的多樣性。

誌謝

本研究是獲得行政院國家科學委員會及核能研究所 (INER) 研究計畫的贊助，並感謝台灣電力公司、核能研究所、公元資訊股份有限公司 (ADT) 相關人員的支持、建議及協助。

參考文獻

1. Taiwan Power Company, *Lungmen Nuclear Power Plant - Advanced Boiling Water Reactor Technical Manual*, Rev. 7 (2009).
2. M. Bobrek and R. T. Wood, "FPGA Design Practices for I&C in Nuclear Power Plants", *NPIC&HMIT 2009*, Knoxville, Tennessee, USA, April 5-9 (2009).
3. R. Alvarado and D. Herrell, "Approach to Designing FPGA-based Digital I&C Systems for Nuclear Applications", *NPIC&HMIT 2009*, Knoxville, Tennessee, USA, April 5-9 (2009).
4. P. Salaun, F. Daumas, and T. NGuten, "FPGA/ASIC: A promising technology for future of I&C in power industry", *NPIC&HMIT 2009*, Knoxville, Tennessee, USA, April 5-9 (2009).
5. Actel Corporation, *Actel SmartFusion Intelligent Mixed-Signal FPGAs Datasheet*, Rev. 1, March (2010).



盧俊仁先生為國立清華大學核子工程研究所碩士，現就讀國立清華大學工程與系統科學系博士班。

Jun-Jen Lu received his M.S. in nuclear engineering from National Tsing Hua University. He is currently a Ph.D. student in the department of Engineering and System Science at National Tsing Hua University.



周懷樸先生為美國普渡大學核子工程博士，現任國立清華大學工程與系統科學系教授。

Hwai-Pwu Chou received his Ph.D. in nuclear engineering from Purdue University, USA. He is currently a professor in the Department of Engineering and System Science at National Tsing Hua University.



黃建華先生為美國加州大學洛杉磯分校物理博士，現任公元資訊股份有限公司總經理。

Kin-Wah Wong received his Ph.D. in physics from University of California, Los Angeles (UCLA), USA. He is currently the president of A-D Technology Inc.