

使用軟注入鎖定環形振盪器之游標卡尺法時間至數位轉換器

The Vernier-Based TDC Employing Soft-Injection-Locked Ring Oscillators

姚嘉瑜、夏偉鈞、蔡佩容、溫鈺柔

Chia-Yu Yao, Wei-Chun Hsia, Pei-Jung Tsai, Yu-Jou Wen

時間至數位轉換器為時間量測系統中相當重要的部分，在各式時間至數位轉換器中，以游標卡尺法能提供較高的量測解析度最具未來性。然而，傳統以游標卡尺法作為基礎的時間至數位轉換器，其使用之振盪器通常須經繁瑣的校準程序，因此使用上相當麻煩。有鑑於此，本文提出一新型軟注入鎖定環形振盪器作為時間至數位轉換器的時脈來源，當振盪器在觸發訊號出現時能快速起振，且穩定在預期頻率下。此外，本電路架構已由 TSMC 1P6M 0.18 μm CMOS 製程驗證，由實驗結果顯示，時間至數位轉換器的量測解析度可小於 ± 1 LSB。

A time-to-digital converter (TDC) plays an important role in time interval measurement. Among various TDC structures, the vernier-based TDC is promising because it can possess highly accurate time resolution. However, the oscillators used in the conventional vernier-based TDC require complicated calibration procedure. This makes the TDC difficult in use. In this paper, we propose a new soft-injection-locked ring oscillator as the clock source for the vernier-based TDC. The proposed oscillator can oscillate immediately and accurately right after the trigger signal arrives. The TDC structure employing the proposed oscillators is verified by the TSMC 0.18 μm CMOS process. Experimental results show that the equivalent resolution less than ± 1 LSB can be achieved.

一、前言

時間至數位轉換器在工業及軍事量測上皆有相當廣泛的應用，而最簡單的電路實現方式是運用計數器法⁽¹⁾ 搭配一高頻的參考時脈訊號對待測時間寬度做量測。雖電路原理簡單，但受限於參考時脈頻率、功耗及成本的考量，因此較難達到較高的解析度。後續有論文提出以一內差器⁽²⁾ 電路用來估

計不滿一個參考時脈週期的時間差，例如：使用時間至電壓轉換器或一脈衝縮減延遲電路⁽³⁾，並且與計數器法搭配，使量測解析度大幅提升。另一方面，使用現場可程式閘陣列 (field-programmable gate array, FPGA)⁽⁴⁾ 實現抽頭式延遲線時間至數位轉換器，其中解析度主要是取決於 FPGA 內部邏輯閘的最快傳輸延遲時間，以此文獻來講，最高解析度可達 200 ps。

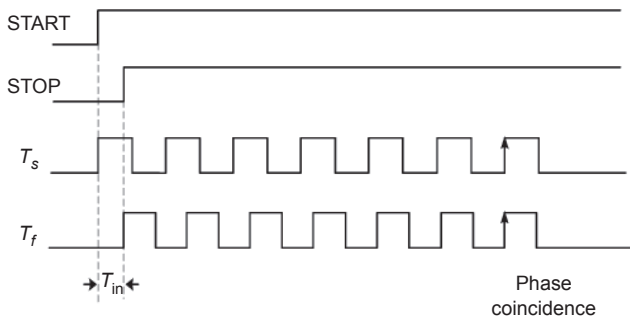


圖 1. 游標卡尺法量測時序圖。

近年來採用游標卡尺法的時間至數位轉換器陸續被提出⁽⁵⁾，由於解析度主要是取決於兩頻率間的差值，而非絕對值，且受製程技術影響較小，因此常用於提高量測的解析度。但傳統的游標卡尺法存有待測時間長度受限於一個參考時脈週期的問題，因此有研究團隊提出以游標卡尺法作為基礎，搭配可自動校準之鎖相迴路，企圖改善上述現象⁽⁶⁾。雖然該架構⁽⁶⁾利用鎖相迴路的特點成功去除溫度與環境的變異，但為了電路實現考量，時脈的產生是利用複製鎖相迴路中的壓控振盪器作為訊號來源，導致喪失鎖相迴路的優點，且於較長的待測時間量測中遭遇嚴重的累積誤差。

有鑑於此，本文延續之前文獻⁽⁶⁾的架構，並提出新型振盪電路，用以取代鎖相迴路作為時脈來源。利用高 Q 值及高穩定性的石英晶體對環形振盪器做軟注入鎖定 (soft injection lock)，讓輸出頻率振盪在與石英晶體相近的頻率。雖然此種電路的

操作頻率受限於石英晶體的振盪頻率，使電路只能在低頻工作，但針對時間至數位轉換器的應用，解析度主要是取決於兩頻率之間的差值，而非單一振盪頻率的高低，因此正好利用石英晶體的優點，以完成較佳解析度，並於環型振盪器搭配下，更能在觸發訊號出現時快速起振，相較於其他文獻的實現方式，此電路具有複雜度低的優勢。

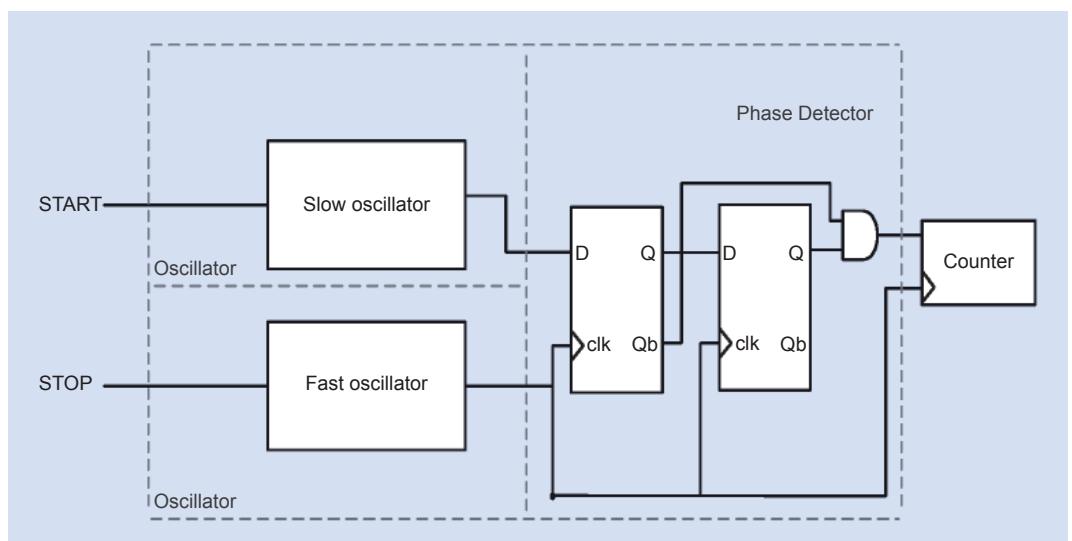
二、游標卡尺法時間至數位轉換器

圖 1 及圖 2 為傳統游標卡尺法時間至數位轉換器的時序圖及電路架構圖。如圖所示，待測時間 T_{in} 為 START 及 STOP 訊號上昇緣的時間差，當 START 訊號出現時會觸發較慢的時脈訊號 (T_s)，接著當 STOP 訊號出現時則會觸發較快的時脈訊號 (T_f)，雖然 T_f 的起振時間較慢 (即 T_f 的上昇緣落後 T_s 的上昇緣)，但因 T_f 振盪頻率較快，因此 T_f 的上昇緣最終會於 N 個週期後追上或超前 T_s 的上昇緣，此種情形稱為相位重合 (phase coincidence)，並由相位偵測器 (phase detector) 偵測到。若 T_s 及 T_f 的時脈訊號是準確且穩定的，我們即可將每個週期所追鎖的時間 ($T_s - T_f$) 定義為 ΔT ，如公式 (1) 所示，並由公式 (2) 求得待測時間長度：

$$\Delta T = T_s - T_f \quad (1)$$

$$T_{in} = N \times (T_s - T_f) = N \times \Delta T \quad (2)$$

圖 2. 單級游標卡尺時間至數位轉換器架構圖。



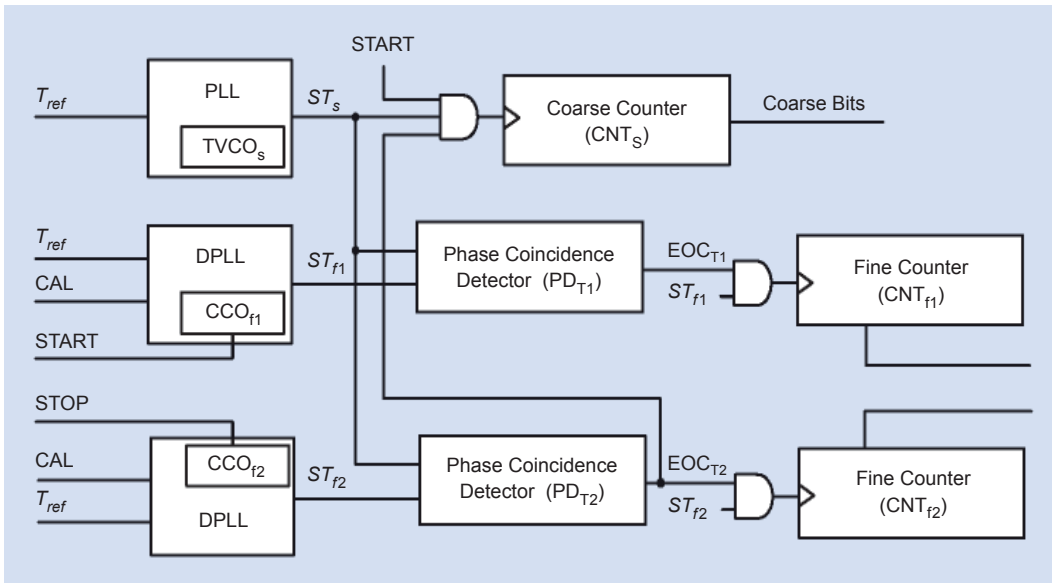


圖 3. 使用三鎖相迴路時間至數位轉換器架構圖。

圖 3 與圖 4 為使用三鎖相迴路作為參考時脈來源的電路架構圖及時序圖。如圖所示，利用一個鎖相迴路 (phase locked loop, PLL) 產生較慢的時脈訊號 (ST_s) 及兩個數位鎖相迴路 (digital phase locked loop, DPLL) 產生較快的時脈訊號 (ST_{f1} 及 ST_{f2})，搭配游標卡尺法的概念對待測時間 T_{in} 做量測。而待測時間 T_{in} 為 START 及 STOP 訊號上昇緣的時間差，總共可分成 T_{coarse} 、 T_1 及 T_2 三部分，其中 T_{coarse} 為 ST_s 的整數倍時間區段，結果交由粗計數器 (coarse counter, CNT_c)，以計數器法計數時間

寬度，而 T_1 及 T_2 則分別為 START 及 STOP 訊號與 ST_s 不同步所產生之不滿一個 ST_s 週期的剩餘時間，利用游標卡尺法做追鎖，並將結果分別交由細計數器 (fine counter) CNT_{f1} 及 CNT_{f2} 計數。

雖然上述作法成功解除傳統待測時間 T_{in} 小於一個參考時脈週期的限制，但因鎖相迴路中所使用的電流控制振盪器或電壓控制振盪器需經繁雜的校準程序，才可確保輸出頻率正確，因此為了降低振盪電路的複雜度，本文使用高 Q 值的石英晶體雙端軟注入鎖定環型振盪器，取代繁瑣的鎖相迴路，

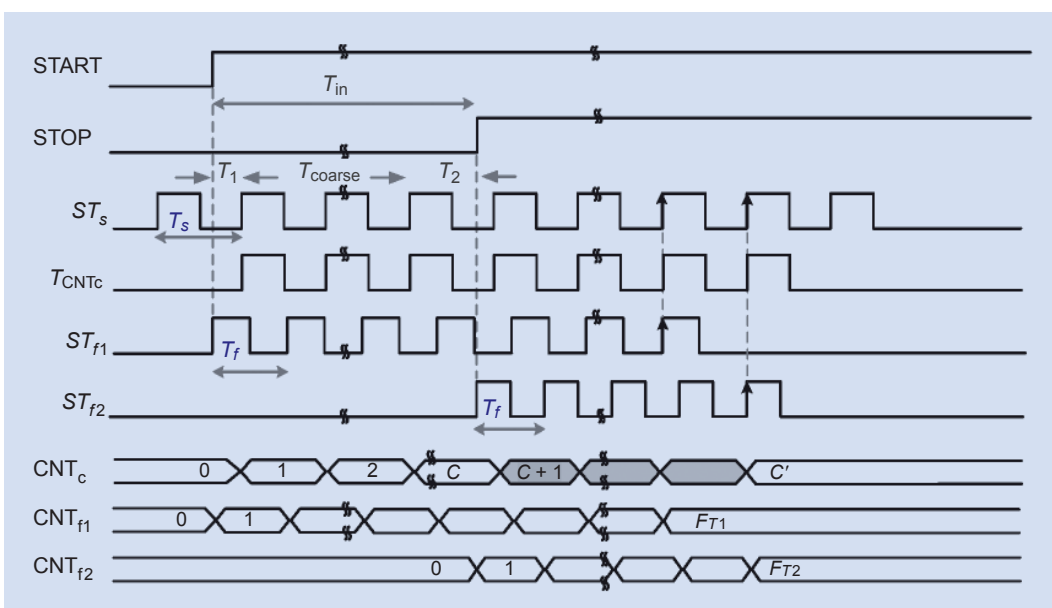


圖 4. 使用三鎖相迴路時間至數位轉換器時序圖。

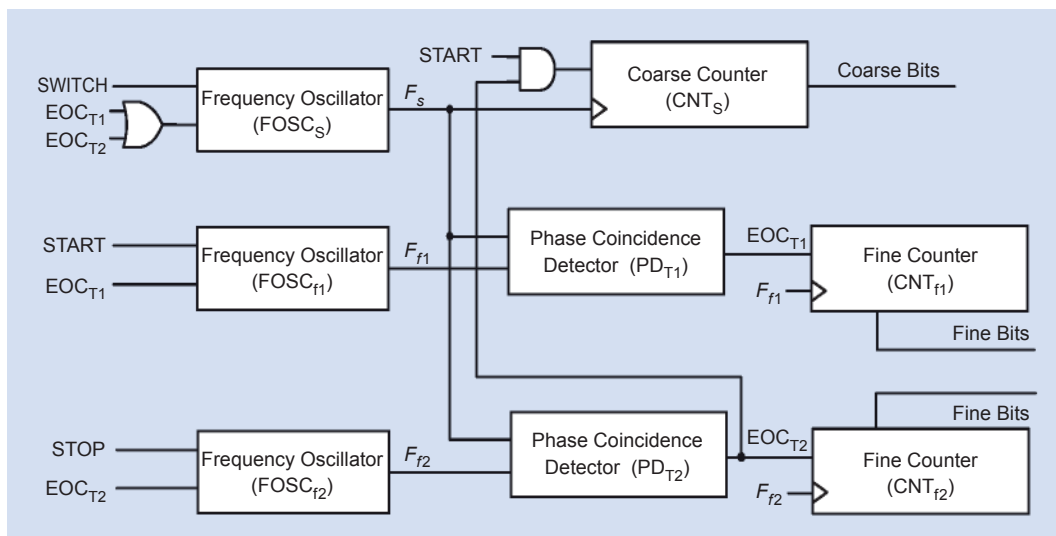


圖 5.
本文時間至數位
轉換器架構圖。

且只需簡單的控制，即可使環型振盪器在觸發訊號出現時快速起振，故本電路相較於其他文獻的實現方式，有複雜度低的優點。

三、時間至數位轉換器電路原理

圖 5 為本文所使用之時間至數位轉換器的電路架構圖。如圖所示，時間至數位轉換器可切分為三級，第一級為三組頻率振盪器 (frequency oscillator, FO SC)，其中 $FO SC_s$ 振盪器產生較低的時脈訊號 F_s ，另二 $FO SC_{f1}$ 及 $FO SC_{f2}$ 振盪器則產生較高的時脈訊號 F_{f1} 及 F_{f2} 。首先，我們討論時間至數位轉換器中所使用之振盪電路，對振盪電路來說，必須滿足當觸發訊號出現時，能快速起振且穩定

在預期頻率下的條件，若以傳統的鎖相迴路或固態式自我參考振盪器作為時間至數位轉換器中的振盪源，因其起振延遲時間過長，導致在觸發訊號出現時，無法立即起振，造成量測中嚴重的誤差。故本文提出一軟注入鎖定環形振盪器作為振盪電路的時脈來源，如圖 6 所示，振盪器的觸發是用一汲閘作控制，當一步階訊號輸入至電路時，能立即起振或停止振盪。而若要使本文所提出的架構量測更為精準，則必須將汲閘的傳輸延遲時間考慮進去，我們定義 $FO SC_{f1}$ 振盪器其汲閘所造成的傳輸延遲為 T_{start} ， $FO SC_{f2}$ 振盪器及其閘所造成的傳輸延遲為 T_{stop} ，將 T_{start} 及 T_{stop} 代入下文的公式做修正，則可得到更精確的量測值。

電路架構第二級為兩組相位比較器 (phase

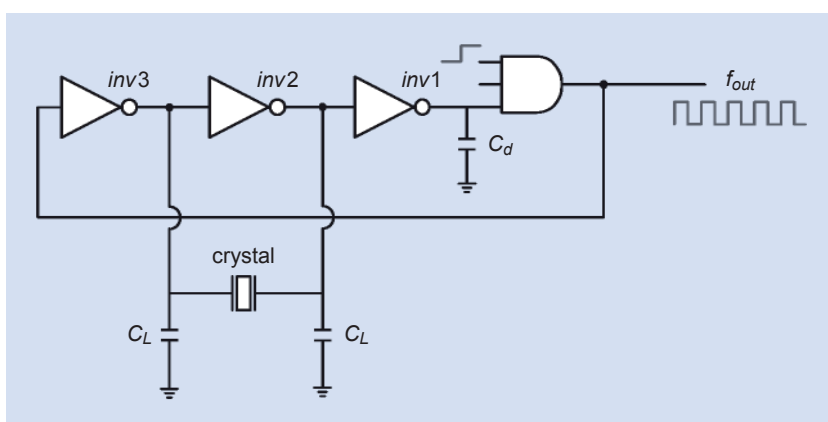


圖 6.
軟注入鎖定環形振盪器。

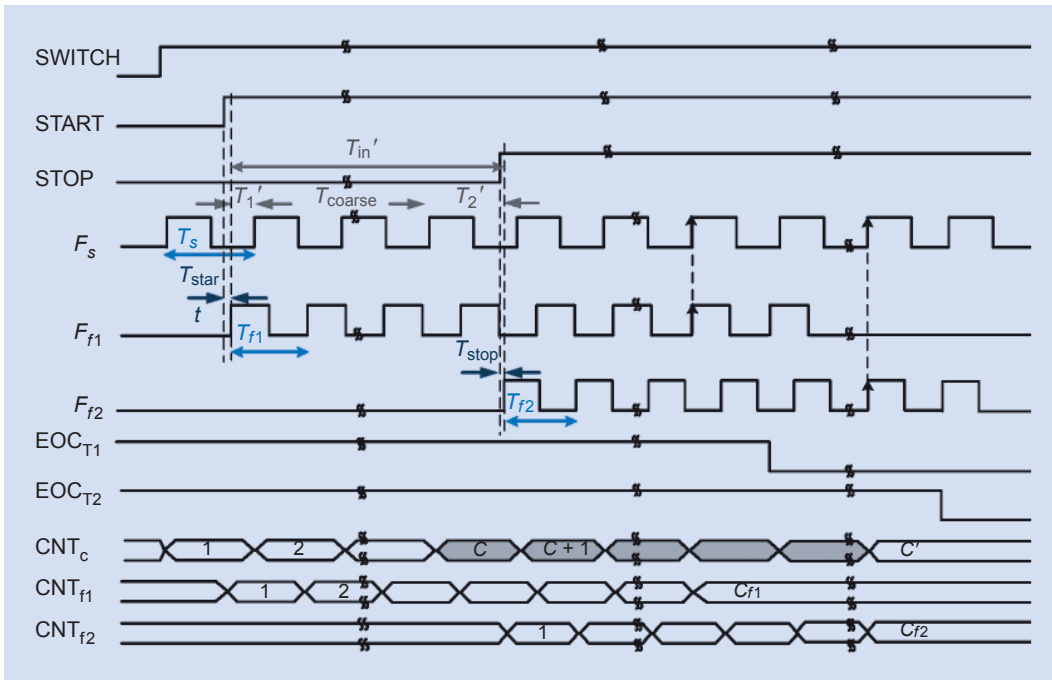


圖 7. 本文時間至數位轉換器時序圖。

coincidence detector, PD)，其中 PD_{T1} 相位比較器用於偵測較慢的時脈訊號 F_s 與較快的時脈訊號 F_{f1} 間是否發生相位重合，至於 PD_{T2} 相位比較器，則是用於偵測較慢的時脈訊號 F_s 與另一較快的時脈訊號 F_{f2} 是否發生相位重合。最後一級則為三組同步計數器 (synchronous counter, CNT)，其中 CNT_c 計數器是用於計算在 START 訊號後， F_s 與 F_{f2} 在相位重合前的 F_s 振盪次數，定義為粗計數器 CNT_c ，另外兩個 CNT_{f1} 及 CNT_{f2} 計數器分別用於計算 F_{f1} 與 F_s 、 F_{f2} 與 F_s 在相位重合情形發生前 F_{f1} 及 F_{f2} 的振盪次數，定義為細計數器 (CNT_{f1} 、 CNT_{f2})。圖 7 為本文所使用之架構時序圖，與參考文獻 (6) 的時序圖相似，其量測時間 T_{in}' 可分為 T_1' 、 T_2' 及 T_{coarse} 三部分組成，下文將詳述如何以公式計算待測時間寬度：

$$\Delta T_1 = T_s - T_{f1} \quad (3)$$

$$T_1' = T_s - (C_{f1} - 2) \times \Delta T_1 \quad (4)$$

雖然 CNT_{f1} 讀出 F_{f1} 在相位重合前的上昇緣個數為 C_{f1} ，但實際上 F_{f1} 對 F_s 的追鎖週期個數應為 $C_{f1} - 1$ ，因此於公式中將 C_{f1} 作減 1 修正。另外，

本文所使用之相位比較器是由三個 D 型正反器組成，如圖 8 所示，此種相位比較器架構會使計數器 CNT_{f1} 多計數一次，因此需於公式中再做減 1 修正。結合上述兩點，如公式 (4) 所示，須將 C_{f1} 作減 2 後再帶入公式計算。除此之外， F_{f1} 對 F_s 的追鎖時間其實為 F_{f1} 的第一個上昇緣與 START 訊號出現的前一個 F_s 上昇緣之時間差，因此如公式 (4) 所示，須用 T_s 減去追鎖時間，才會得到正確的 T_1' 數值。

如圖 9 所示，當 F_f 上昇緣超前 F_s 上昇緣時，我們稱其為相位重合，因此實際電路中的最大追鎖可能會有 $\Delta T_{max} = T_s - T_f$ 的誤差。至於 T_2' 的量測方式與 T_1' 的相似，唯一的差別是追鎖時間即為 ΔT_2 ，因此可推得公式 (5) 及公式 (6)。

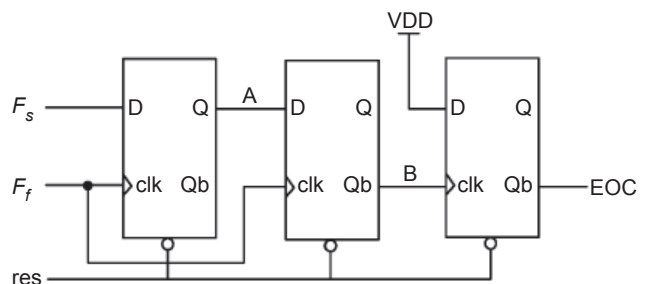


圖 8. 相位比較器電路圖。

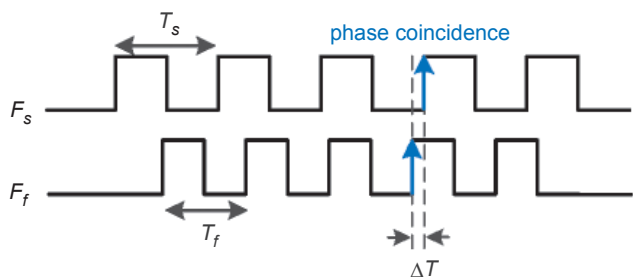


圖 9. 相位比較器電路時序圖。

$$\Delta T_2 = T_s - T_2 \quad (5)$$

$$T_2' = (C_{f2} - 2) \times \Delta T_2 \quad (6)$$

而 T_{coarse} 的部分，是由 START 及 STOP 訊號間的完整 T_s 整數倍週期寬度。粗計數器 CNT_c 會在 F_{f2} 追上 F_s 時，與細計數器計 CNT_{f2s} 同時停止計數。因此利用 START 及 EOC_{f2} 通過汲閘作為粗計數器 CNT_c 的致能訊號，而 F_s 作為 CNT_c 的時脈訊號，可於輸出端得到 F_s 及 F_{f2} 在相位重合發生前 F_s 的振盪次數 C' 。但實際上 START 及 STOP 訊號間的完整 T_s 週期個數應為 C ，因此於公式中將 C' 減去 C_{f2} ，即可得到完整 T_s 週期個數，如公式 (7) 所示。加總上述 T_1' 、 T_1' 及 T_{coarse} ，即可獲得待測時間 T_{in}' 。

$$C = C' - C_{f2} \quad (7)$$

$$T_{\text{coarse}} = C \times T_s \quad (8)$$

$$T_{\text{in}}' = T_1' + T_{\text{coarse}} + T_2' \quad (9)$$

1. 軟注入鎖定環形振盪器

不同於一般傳統注入鎖定振盪器注入一參考訊號⁽⁹⁾，我們的振盪器是利用一被動元件石英晶體對環型振盪器作雙端注入，其設計步驟如下：

- (1) 以三級反相器串接成一環型振盪器，利用外調的負載電容值，使其 free run 振盪頻率略高於所使用的石英晶體頻率。
- (2) 將石英晶體雙端注入環型振盪器，如圖 6 所示。
- (3) 運用一汲閘作為起振或停止的控制開關。

圖 10 為利用軟注入鎖定較慢的環形振盪器 F_s 的頻譜圖，所選用的石英晶體頻率為 19.61 MHz，量得之振盪頻率 19.65 MHz 與所選用的石英晶體頻率相近。

最後，定義量測誤差 ΔT_{in} 為實際電路量測結果 T_{in}' 與待測時間 T_{in} 作相減。量測時間 T_{in}' 如公式 (9) 所示，至於待測時間 T_{in} ，則為 START 與

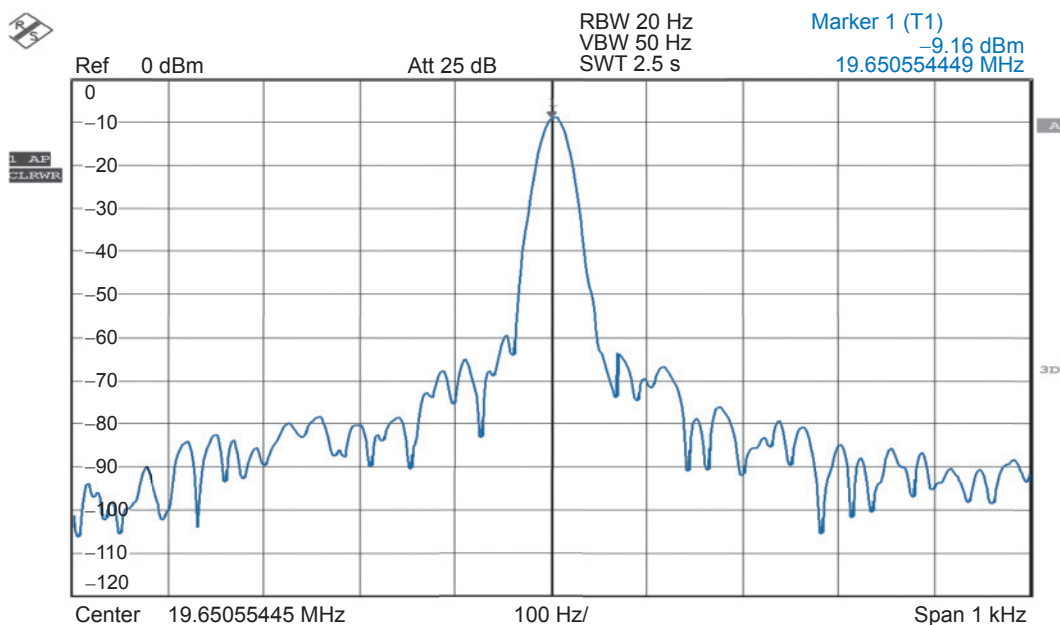


圖 10. 19.61 MHz 軟注入鎖定環形振盪器頻譜圖。

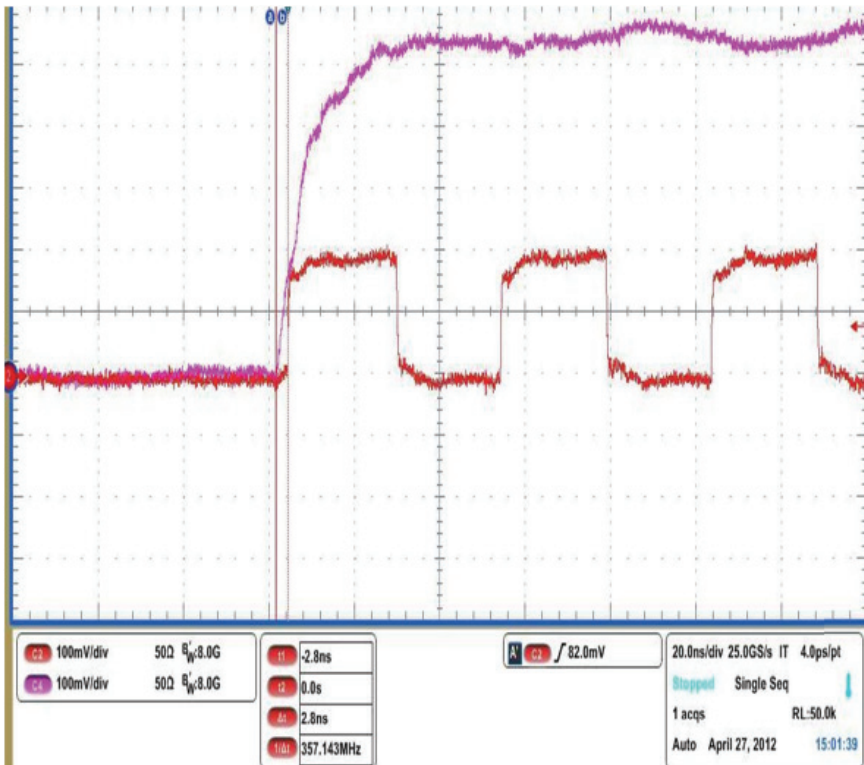


圖 11. $T_{\text{start}}/T_{\text{stop}}$ 量測波形圖。

STOP 訊號間的時間差。先前於文中提及環型振盪器所使用的控制及閘具有傳輸延遲，因此需將此延遲時間 T_{start} 及 T_{stop} 一併加入公式中作討論。當誤差範圍落於公式 (12) 中即算合理。

$$\Delta T_{\text{in}} = T_{\text{in}}' - T_{\text{in}} \quad (10)$$

$$T_{\text{edge}} = T_{\text{start}} - T_{\text{stop}} \quad (11)$$

$$-\Delta T_1 + T_{\text{edge}} < \Delta T_{\text{in}} < \Delta T_2 + T_{\text{edge}} \quad (12)$$

四、時間至數位轉換器量測結果

以 TSMC 0.18- μm CMOS 製程來實現本文之時間至數位轉換器電路。實驗一開始先調整環型振盪器的 free run 振盪頻率，將快的頻率振盪器 FOSC_{f1} 及 FOSC_{f2} 的 free run 振盪頻率調整在 20.4 MHz 左右，而慢的頻率振盪器 FOSC_s 的 free run 振盪頻率調整在 19.70 MHz 左右，接著分別以 20 MHz 及

19.61 MHz 的石英晶體雙端注入環型振盪器，由量測結果得知，軟注入鎖定環型振盪器的輸出頻率分別為 20.20 MHz 及 19.65 MHz。將鎖定後的輸出頻率代入上文中所提及的公式，計算出 $\Delta T_1 = \Delta T_2 = \Delta T_3 = 1.38 \text{ ns}$ 。

圖 11 為傳輸延遲時間為 $T_{\text{start}}/T_{\text{stop}}$ 的量測圖，由結果顯示傳輸延遲時間約為 $2.8 \text{ ns} \pm 0.4 \text{ ns}$ 。若將此時間代入公式 (10) 至公式 (12) 作討論，其誤差時間的最糟情況可糟到 $\pm (\Delta T + 0.8) \text{ ns}$ 。

將儲存於示波器中的時脈資料經 MATLAB 分析確認振盪頻率，以頻率對時間作圖，時間 0 表觸發訊號出現的瞬間，結果如圖 12 所示，一經觸發，振盪器輸出立即穩定地在預期頻率下振盪。

表 1 總結軟注入鎖定環型振盪器及其他二篇使用固態式自我參考振盪器的比較。從此表可看出，相較於其他兩篇文獻，本文所提出的軟注入鎖定環型振盪器在相位雜訊及時脈抖動量的表現與其他二篇論文的結果相當，但軟注入鎖定環型振盪器具有最小的起振延遲，是結果⁽⁷⁾的約九萬五千分之一，這對時間至數位轉換器來說是一大優點。

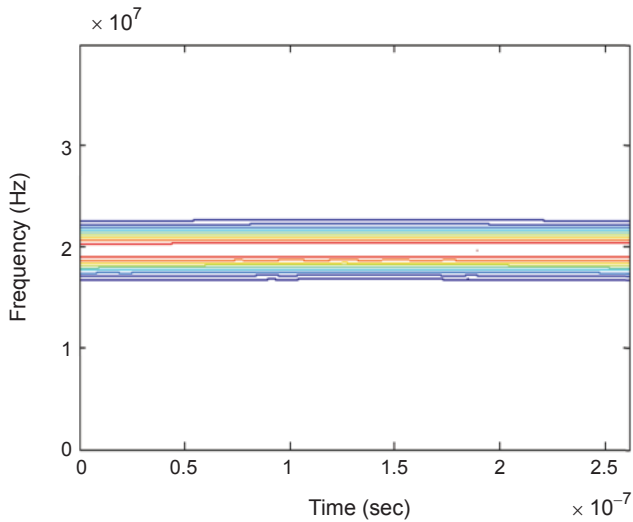


圖 12. 時間與頻率關係圖。

表 2 為待測時間 T_{in} 從 50 ns 至 120 ns 的量測結果。如表 2 所示，量測誤差 ΔT_{in} 皆落於誤差範圍 $\pm \Delta T (\pm 1.38)$ ns 之間。若定義 ΔT 為 1 LSB，則本實驗的量測解析度皆小於 1 LSB。

前文提及需將 T_{edge} 的時間一併列入誤差範圍作考慮，如公式 (12)，當 T_{edge} 的時間不為零時，則可能使誤差大於 ± 1 LSB。但很幸運地，此種情形在實驗過程中並未發生。

五、結論

本文提出一軟注入鎖定環形振盪器作為時間至數位轉換器的時脈來源，當觸發訊號出現時能快速起振，且穩定在預期的頻率，相較於其他文獻實現方式，此架構不需經繁雜的校準程序，即可產生一穩定的振盪源，而就相位雜訊層面來說，其結果與其他文獻相當。以 TSMC 0.18 μm CMOS 製程驗證

表 2. 實驗量測結果。

T_{in} (ns)	49.8	59.8	69.8	79.8	89.8	99.8	109.8	119.8
C'	15	16	5	5	13	16	23	6
C_{f1}	15	11	20	15	18	16	18	21
C_{f2}	15	16	4	4	12	15	22	4
C	0	0	1	1	1	1	1	2
T_{in}' (ns)	50.1424	60.2526	70.4121	80.1223	89.8326	99.5428	109.2530	119.4125
ΔT_{in} (ns)	0.690	0.141	0.407	0.789	0.240	-0.309	-0.858	0.338

表 1. 本文之振盪器與固態式自我參考振盪器之比較表。

	The proposed ring oscillator	[7]	[8]
Frequency (MHz)	20	25	12
Process technology (μm)	0.18	0.25	0.35
Phase noise@			
10 kHz offset (dBc/Hz)	-117.15	-92.4	-103.1
10 kHz offset (dBc/Hz)	-126.82	-118	NA
10 kHz offset (dBc/Hz)	-134.82	-142	NA
Period jitter (ps)	8.29	2.75	6.78
Cycle-to cycle jitter (ps)	12.65	NA	8.96
TIE (ps)	14.09	NA	NA
Start-up latency (μs)	0.0028	268	NA

軟注入鎖定環形振盪器電路，並將其應用在時間至數位轉換器中，由實驗結果顯示，量測誤差確實符合理論的預期，而且不同於其他文獻，本電路具有複雜度低的優點，因此非常適合作為時間至數位轉換器的時脈來源。

參考文獻

1. R. Nutt, *Rev. Sci. Instrum.*, **39** (9), 1342 (1968).
2. P. Chen, *et al.*, *IEEE Trans. Nucl. Sci.*, **53** (4), 2215 (2006).
3. P. Chen, *et al.*, *Electron. Lett.*, **33** (10), 858 (1997).
4. J. Kalisz, *et al.*, *IEEE Trans. Instrum. Meas.*, **46**, 51 (1997).
5. P. Dudek, *et al.*, *IEEE J. Solid-State Circuits*, **35**, 240 (2000).
6. T.-C. Liu, *Time to Digital Converter with Digital Self-calibration*, Master Thesis, NTUST (2008).
7. M. S. McCorquodale, *et al.*, *IEEE Trans. Circuits Syst. I: Reg. Paper*, **56**, 943 (2009).
8. M. S. McCorquodale, *et al.*, *IEEE J. Solid-State Circuits*, **42**, 385 (2007).
9. B. Mesgarzadeh and A. Alvandpour, in *Proc. IEEE Int. Symp. Circuits System.*, **6**, 5465 (2005).



姚嘉瑜先生為美國加州大學洛杉磯分校電機工程博士，現任國立台灣科技大學電機工程系副教授。

Chia-Yu Yao received his Ph.D. in electrical engineering from the University of California at Los Angeles, USA. He is currently an associate professor in the Department of Electrical Engineering at National Taiwan University of Science and Technology.



夏偉鈞先生現為國立台灣科技大學電機工程研究所博士班學生。

Wei-Chun Hsia is currently a Ph.D. student in the Department of Electrical Engineering at National Taiwan University of Science and Technology.



蔡佩容小姐為國立台灣科技大學電機工程碩士，現任工業技術研究院工程師。

Pei-Jung Tsai received her M.S. in electrical engineering from National Taiwan University of Science and Technology. She is currently an engineer at the Industrial Technology Research Institute.



溫鈺柔小姐現為國立台灣科技大學電機工程研究所碩士班學生。

Yu-Jou Wen is currently a M.S. student in the Department of Electrical Engineering at National Taiwan University of Science and Technology.