

以 GaN/ScAlN- 基接面極化誘生 2DHG 提升 GaN p-FET 特性

GaN p-FET Performance Enhancement by Polarization Induced 2DHG at GaN/ScAlN-based Heterostructure

洪茂峰

Mau-Phon Houg

GaN p-FET 在電力電子應用中具有重要的角色，但受限於 p 型摻雜困難、歐姆接觸電阻較高及散熱不易等技術障礙的困擾，雖然相關技術持續發展，但仍難滿足 GaN 功率 IC 的要求。近年有研究以 AlGaIn/GaN 的異質結構引入極化誘生二維電洞氣 (2DHG) 的策略，其突破傳統摻雜方法的物理限制使 p-FET 呈現 E-mode 行為並顯著提升特性。惟極化誘生 p-FET 的特性與 CMOS IC 的要求仍有差距，推測是極化作用未能優化之故，故近年極化誘生的研究遂聚焦於尋求更強大極化場的異質配對，如 III-N 族材料的 GaN/AlN、GaN/InGaIn 或 GaN/ScAlN 等，其中以 GaN/ScAlN 最受矚目。然研發發現極化誘生技術仍需克服多種傳統技術挑戰，如磊晶技術、介面品質工程、元件設計與製程的相容等。因此，調控與優化相關參數以激發 GaN p-FET 的最佳性能仍是努力的重點。畢竟實現 GaN CMOS 功率 IC 的關鍵就在提升 GaN p-FET 性能，而 GaN/ScAlN- 基結構是目前最具潛力的方向。

GaN p-FETs play an important role in power electronics but are limited by challenges such as difficult p-type doping, high ohmic contact resistance, and poor heat dissipation. Although recent advances have narrowed the performance gap with n-FETs, GaN p-FETs still fall short of the requirements for GaN power ICs. To overcome the limitations of doping-based approaches, polarization-induced two-dimensional hole gas (2DHG) structures in AlGaIn/GaN heterojunctions was explored to achieve E-mode operation and improved performance. However, their characteristics remain insufficient for CMOS IC, likely due to suboptimal polarization effects. Recent research therefore focuses on heterostructures with stronger polarization fields-such as GaN/AlN, GaN/InGaIn, and GaN/ScAlN, Among these, the GaN/ScAlN attracted the most attention. However, polarization-induced technology still faces several challenges, including epitaxial growth techniques, interface engineering, device design and compatibility. Therefore, how to control and optimize the parameters to achieve the best performance of GaN p-FETs remains for further effort. After all, the realization of GaN CMOS power ICs depends on improving the characteristics of GaN p-FETs, and the GaN/ScAlN-based structure seems to be the most promising one.

一、功率電路中 p-FETs 的角色

在現今的電力轉換與高功率控制應用，如交流電路、PFC (power factor correction) 電路、無橋式整流器 (bridgeless rectifier)、Class-D 放大器、高速馬達驅動器以及雙向 DC-DC 轉換等應用，都需要 p-FETs 與 n-FETs 的搭配以實現雙向導通與切斷的功能。但由於現今 p-FET 的技術仍存在著導通電阻偏高與切換速度太慢等限制，引致一些因與 n-FETs 不匹配造成效能劣化的困擾，如 (a) 開關延遲與死區的時間增加，造成短路損壞；(b) 導通電阻不對等，導致功耗增加與元件過熱；(c) 閘極驅動電壓不一致使得開關不穩定；(d) 導通特性不對稱，降低導通效率；(e) 閘極閾值與耐壓不匹配，可能導致元件擊穿。就因如此，現今業界的權宜之計是以背靠背的 n-FET 架構來解決，雖尚能運作但仍受制於導通損耗過高的困擾。

然而在下世代功率電子系統需滿足更高頻與更高功率的要求下，研究人員發現高能隙材料的 GaN 元件較 Si 或其他材質元件於相同封裝尺寸下有更低的寄生電容與導通電阻，這個特性催生了研發人員希望能藉由 GaN-基材料開發出具有雙向導通與關斷能力且適用於高頻驅動與控制應用的功率 IC，尤其在全 GaN 的 CMOS 架構中，p-FETs 具有減少反相器或推挽電路 (push-pull circuits) 的能耗可強化邏輯電路的功能並提升切換效率與訊號的完整性，是高頻、高功率電路中的關鍵角色。當然此功率 IC 實現的要件是須搭配以性能相匹配的 GaN n-FET 與 p-FET 並以之架構成邏輯與類比控制模組，但觀之現有 GaN p-FET 的特性因受限於製程能力使其與 n-FET 仍有不小的差距，是故業界提出幾種替代方案，如 (1) 使用僅含 n-FET 的單極結構，透過電路層補償模擬出「p 端」開關的功能，這是目前 GaN 功率轉換器最常見的 CMOS 替代法，(2) 以 Cascode 結構，即以 Si MOSFET (低壓) + GaN HEMT (高壓) 串接，使整體表現出 E-mode (常關) 行為，其雖為 n-type 控制但具 CMOS 之驅動特性，(3) 利用 Si CMOS 與 GaN n-HEMT 的異質整合來實現邏輯與功率的控制。這些方法雖避免直接製作 GaN p-FET，但並非真 CMOS，而且造成製程控制複雜與面積增大的困擾，因此根本之道，就是直接提升 GaN p-FET 的性能，讓 p-FET 的導通電流、閾值電壓、接觸電阻與可靠性接近 n-FET。這個目標遂成為下世代功率電子發展最重要的挑戰。

二、GaN n-FET 與 p-FET 特性比較

就 CMOS 邏輯或電源整合電路而言，n-FET 與 p-FET 的特性，如臨界電壓 (V_{th} , threshold voltage)，互導 (g_m , transconductance)，遷移率比 (μ_n/μ_p) 與驅動電流 (current drive) 等的匹配程度是確保電路能否平衡運作的重要條件。因為 V_{th} 關係著電路的切換是否對稱與雜訊邊限 (noise margin) 的降低； g_m 則會影響增益與頻率響應；遷移率比也很重要，因它直接影響驅動強度的平衡，若比值太大時設計人員通常會將遷移率較小的元件給予較寬的通道以平衡驅動電流的差異，但這個策略除了使電容增大造成信號傳遞延遲，拖累傳輸速度外也增加了電路的功耗。至於驅動電流不匹配時除會導致數位電路的信號波形失真降低可靠性外，在電源整合電路 (如 DC-DC 等) 中也會因輸出波形偏斜 (skew)，將影響時序設計，增加功率的消耗，可知驅動電流匹配性的重要。尤其 NVIDIA 近來倡導在資料中心使用 800 V 的直流配電架構，即從 800 V 的直流母線降壓到 54 V / 12 V 甚至更低的架構，由於母線與板卡電路間電流激增、切換頻率高、密度大、熱管理極為關鍵。因此電源電路使用 n-FET 與 p-FET 時，元件間的匹配特別重要。

綜觀目前最先進的技術，GaN n-FET 因受益於 MOCVD 成長 AlGaIn/GaN 時可得到良好的通道與能障層異質介面，將室溫的電子遷移率 (μ_e) 提高到 $2000 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上⁽¹⁾，再經最佳化處理閘極堆疊 (gate stacks)，降低接觸電阻及控制短通道效應，更使 g_m 大幅提升，驅動電流 ($I_{D,MAX}$) 可達數個 A/mm 等級，同時呈現低開通電阻與優異的開關效率，並將 f_T/f_{MAX} 推進達 200 GHz 以上的太赫茲 (THz) 波段，可實現 6G 的相關應用，如全息影像通訊、全自動駕駛、遠距醫療手術與整合通訊與感測等⁽²⁾。

相較於前者，p-FET 的挑戰則大了許多，因其電洞遷移率偏低，即使優化後仍小於 $40 \text{ cm}^2/\text{V}\cdot\text{s}$ 遠低於 n-FET 的 $1000 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上，導致其導通電流 (I_{on}) 偏低，必須增加通道寬度 (W) 以達到與 n-FET 相當的電路驅動能力，然而這種「以面積換性能」的策略不僅使晶片面積增大，也會衍生寄生電容與互連效應，限制了電路的高頻應用。

另，GaN p-FET V_{th} 的調控也是個核心問題，在傳統 Si CMOS 邏輯電路都希望 n-FET 與 p-FET 的 V_{th} 值相近，這樣可使反相器的轉換點落在 $V_{DD}/2$ 以得到對稱的邏輯。但在 GaN CMOS 邏輯電路卻常見 n-FET (E-mode) 的 V_{th} 為 $+1 \text{ V} \sim +2 \text{ V}$ ，而 p-FET (E-mode) 卻為 $-2 \text{ V} \sim -5 \text{ V}$ ，其差距較 Si CMOS 大得多。究其原因為 p-FET 的遷移率太低與能帶控制困難之故使其 V_{th} 偏負，當然也代表了 GaN CMOS 的 V_{th} 因本質之故難以完全對稱， V_{th} 控制遂成為 GaN p-FET 的一大挑戰。但另一方面就高壓功率應用而言，負 V_{th} 絕對值愈小表示越容易導通損耗會更小，但實際上 GaN p-FET 都會設計為 E-mode 並把 V_{th} 推得更負，例如 $-3 \sim -5 \text{ V}$ ，其原因為：(1) 在高功率電路中，p-FET 需與 n-FET 一起工作，如果 p-FET 的 V_{th} 太接近 0 (例如 -0.5 V)，那麼在 $V_{GS} = 0$ 時可能就有相當大的漏電或部分導通，使電路難以真正關斷。因此為確保電路在 $V_{GS} = 0$ 時能「OFF」，會設計 p-FET 的 V_{th} 為足夠的負值，(2) 降低 I_{OFF} 漏電，GaN p-FET 的本質缺憾就是電洞的遷移率偏低和接觸電阻太大使得 I_{on}/I_{OFF} 較差，若 V_{th} 能推得更負則在閘極接 0 V 時通道的能帶仍可足夠的抬升可抑制漏電。(3) 使驅動電壓相匹配，GaN p-FET 與 RF 電路常使用較高的閘極驅動範圍 ($\pm 5 \text{ V}$ 甚至更大)，設計一個較負的 V_{th} 可以讓元件在達到實際驅動電壓時才會進入最佳導通區，不致於過早導通或在小訊號擾動下即被誤觸發。總之對 p-FET 元件的 V_{th} 而言，較大的負值對 CMOS 邏輯應用或許不理想，但對功率 IC 尤其需要高可靠關斷動作的應用，E-mode 的設計對電路的可靠性則是很有幫助。職是之故， V_{th} 的控制遂成為 GaN p-FET 挑戰的重要議題之一。

目前有些 p-FET 的研究透過各種技術，如 (a) p-GaN 厚度與 Mg 摻雜 (b) 閘極蝕刻深度 (gate recess depth) (c) 介電/疊層 (MOS 或 MIP 結構) 工程 (d) buried p-channel 或 p-FET-bridge 結構等，可成功將元件的 V_t 提升到 -4V 以上，再經氫電漿處理後 V_{th} 可更穩定也能將其往更負或更正的方向調整⁽³⁾。另有研究則是透過介電層工程與通道結構的優化，也可以有效提升電洞的遷移率，將 g_m 提高到 36 mS/mm 與驅動電流 0.75 A/mm 的水準⁽⁴⁾。此外，也積極研發各種創新結構，如 FinFET、HJFET、MOSFET 等，期望可更為提升 p-FET 的性能⁽⁵⁾。表一整理了上述 GaN n-FET 與 p-FET 最先進特性 (state-of-the-art) 的比較。值得一提的是 GaN p-FET (p-type field effect transistor) 是藉由介面電場效應以形成 p 型電導通道的元件，但依其傳導機制與製作方式大致可分為 GaN p-channel HEMT 與 GaN p-FET 兩類的元件，前者需要一層強極化層 (如 AlGaIn、ScAlN) 以形成高密度的二維電洞氣 (2DHG)，後者則是藉由閘極電壓在介電層 (如 Al_2O_3 、 HfO_2) 下方調控通道區的電洞濃度，形成傳統的「反轉層」導通，其通道電洞層為三維並靠近表面。雖然兩者在特性與應用方面有顯著不同，但增強元件的電洞遷移率，閘極調控能力與優化電性的目標則是一致的，且研發成果也可共享以提

升元件表現，再者有些文獻與研究者也會將 p-channel HEMT 簡稱為 p-FET，故本論文之討論會將相關元件通稱為 p-FET，即使 ScAlN/GaN 基 p 通道元件依其結構明顯應為 p-channel HEMT。

三、提升 GaN p-FET 性能的技术發展

表 1 顯示 GaN 的 n- 與 p-FETs 特性確實存在不小的差距，然近年在 Mg 摻雜技術與介電層處理技術屢見突破，使匹配的差異逐漸縮小，也令 GaN-CMOS 功率 ICs 的實現露出曙光。下文將介紹提升 p-FET 性能的各项努力發展的情形。

表 1. 目前最先進的 GaN n-FET 與 GaN p-FET 特性比較。

參數	GaN n-FET	GaN p-FET	說明
臨界電壓 (V)	約 0.5V (穩定)	> -4 V (Mg 摻雜)	p-FET 偏負
遷移率 (μ)	約 2050 cm ² /Vs (以 AlN 為中介層)	需最佳化閘極，介電層與通道結構以提升 μ_{th}	n-FET 具優勢
跨導 (g_m)	1.75 S/mm (閘極長度 30 nm)	36 mS/mm (Ga ₂ O ₃ MOSFETs)	p-FET 需加強
驅動電流 (I_{on})	2.1 A/mm	0.75 A/mm (Mg-doped 通道)	差距仍大
應用	高速 RF 電路與功率切換	功率應用與下世代 CMOS 整合	目前應用以 GaN n-FET 為主
發展挑戰	短通道效應	電洞遷移率、接觸電阻與界面品質控制	

1. 電洞遷移率與導電性的改善

成長高品質的 p-GaN 磊晶層一直都是 GaN 元件發展的瓶頸，而 GaN 之難予進行 p 雜質的摻雜乃肇因於它的寬能隙與偏低的電洞遷移率，其僅約 10 cm²/V·s 左右，遠低於 2DEG 中電子的 1500 cm²/V·s，導致元件的導通電阻 (on-resistance) 偏高也限制了 GaN p-FET 的電流承載能力。雖然有研究指出可使用 InGaN 通道的 p-FETs 來增強電洞的傳輸能力，但 InGaN 的成長及元件的製作又會衍生另個技術障礙。綜觀各種解決方案中較受期待的為：magnesium (Mg) 被認為是 GaN p 型摻雜的最佳受體選擇。然而 Mg 的活化能偏高，約 150–200 meV，致活化程度只有 2–3%，另還因補償作用 (compensation effect) 的影響，使其摻雜效果不彰，電洞濃度增加有限。針對這個困擾文獻提出了幾種解決的方案，如：

1. 以極化強化摻雜的技術 (polarization-enhanced doping techniques)：即利用 GaN-基材料的異質界面 (e.g., GaN/AlN 或 GaN/AlGaN 超晶隔) 產生的強烈自發與壓電極化場來調變 GaN 的能帶並增強 Mg 的游離效率，以之得到較高的電洞濃度⁽⁶⁾。
2. Delta 摻雜 (δ -doping)：在靠近通道處的地方成長一層 Mg 原子的薄膜 (monolayer-level)，此舉可增強局部的受體濃度並降低缺陷的生成及散射，有利於提升電洞移動率⁽⁷⁾。
3. 以 Acceptors 共摻雜技術：在 MOCVD 成長時因 Mg 性喜與氫原子鍵結成電性鈍化的 Mg-H complexes，不利於 Mg 的活化，故有文獻指出成長時可以 oxygen 或 silicon 的共摻

雜幫助裂解 Mg-H 鍵結，另也可在成長後的退火步驟時用 N₂ 或 forming gas 解離 Mg-H 鍵結⁽⁸⁾。

4. 應力工程技術：利用應力工程技術堆疊異質結構，如 p-GaN/AlGaIn/GaN 結構，使 GaN 薄膜層受到壓縮應變，改變其能帶使 Mg 的活化能降低以提升電洞的濃度⁽⁹⁾。

上述方法被證實各具成效，有些可將電洞濃度提升至 10¹⁸ cm⁻³ 以上，而且將接點攙雜再以最佳化處理後，可提升 p-FET 電洞 遷移率至 10 cm²/V·s 以上，大幅改善了元件的電流傳輸能力。

2. 低電阻 p-GaN 歐姆接點的研究

GaN 元件歐姆接點的低電阻特性對功率的傳輸很重要，但因 p-GaN 與一般金屬材料的 Schottky 能障偏高，使其金/半接點電特性不佳，影響電流傳輸的效率也使功率損耗變大。甚且因元件在高壓操作時的不穩定另衍生了可靠性的困擾，如元件劣化甚至失效。為解決這個問題文獻中報告了許多方法，如法國的團隊提出以雙層的 Ni/Al-摻雜 ZnO (即 AZO) 薄膜，取代傳統的 Ni/Au，來製作 p-GaN 的歐姆接點⁽¹⁰⁾。此金屬堆疊只需在 500 °C 的空氣環境中加熱 5 分鐘就可將比接觸電阻 (specific contact resistance) 降低到 1.85 × 10⁻⁴ Ω·cm²，製程不但熱穩定性高也可與 CMOS 製程匹配，預期應用潛力將是無窮。另一團隊⁽¹¹⁾ 則是致力於降低 p-GaN 的 Schottky 能障以達到低電阻歐姆接點的目標。針對目前製程大都以 Ni/Au 作為 p-GaN 接點的最佳選擇，因為一般都認為在 O₂ 環境作 post-annealing 時，Ni 與 Au 會各自進行向外與向內的擴散，前者會在接點表面形成 NiO_x，而後者則與 GaN 形成 Schottky 介面，然因 NiO_x 具有高導電性故能有效降低接觸電阻。但 Duraz 團隊以微觀方法發現，其實在進行 O₂ post-annealing 時，除了前述 Ni 與 Au 會各自進行擴散行動外，GaN 中的 Ga 原子也有參與向外擴散的行動，並在 GaN/Au 介面生成一層 Ga-rich 的 Au-Ga 合金薄層，這過程當然使 p-GaN 表面出現一層 Ga 空缺，而這層 Ga 空缺有效降低了 GaN/Au-Ga 介面的 Schottky 能障，甚且這個效應對降低歐姆接點電阻的效果甚至還大於 NiO_x 的生成。所以 Duraz 認為製作 p-GaN 的歐姆接點時尤需關注 Au-Ga 介面層的生成，製程務必確保 GaN 表面的清潔，不可存在雜質或缺陷，以助有效生成 Ga 空缺層降低 Schottky 能障。有了上述對金/半介面的深入瞭解後，讓低電阻歐姆接點的研究有了聚焦的方向，各種尋求材料的選擇到介面的處理技術，如以 Ni/Au 或 Pd-基材料為接點金屬，或以 KOH 或電漿進行表面處理⁽¹²⁾，的製程風起雲湧，也都可以得到理想的歐姆接點。

3. V_{th} 的調控與 E-mode 的研究

當前 GaN p-FETs 運作時都需施以頗高的閘極電壓方可獲得足夠的電洞濃度，而這般偏高的臨界電壓則限制了 GaN-p-FETs 的應用，更不利的是：p-GaN 通道的空乏機制 (depletion mechanism) 尚未能清楚掌握使電流有效關閉，所以也難達到常關的運作，這些缺憾都成了 GaN p-FETs 發展的瓶頸。目前解決的方法大都以 Gate recess 與氧化層披覆來改善，但因製程的變異又使元件的 V_{th} 出現不穩定的困擾，甚且因 recessing 蝕刻太深致使閘極邊坡 (gate-sidewall) 受損，不但造成電洞的 mobility 劣化，也使 E-mode 製作困難，這些製程的變異顯然也是挑戰的重點。儘管難關重重，各界的研發仍努力的持續著，方向著重於發展閘極介電膜 (gate dielectric) 工程與精準蝕刻的控制技術，期能穩定調控 GaN p-FETs 的 V_{th} 進而得到 E-mode 表現的元件。如 Zhu 就使用 Si-rich 低壓化學氣相沉積 (LPCVD) SiN_x 作為 p-MISFET

的閘極介電層，不但將電洞遷移率 μ_h 提升到 $19.4 \text{ cm}^2/\text{V}\cdot\text{s}$ 且 $V_{th} = -2.3 \text{ V}$ 特性良好的 E-mode 元件，其在 $V_{GS} = 0 \text{ V}$ 時可良好 pinch-off、漏電僅 $\sim 1 \text{ nA/mm}$ 且 $I_{ON}/I_{OFF} \approx 5 \times 10^{5(13)}$ 。另一方面，Meneghini⁽¹⁴⁾ 則是以精準的蝕刻控制並結合 tri-gate 結構與 recessed gate 技術成功製作了 E-mode 的 GaN 功率元件，其 V_{th} 亦達 1.4 V 且導通電阻特低有助於元件功率特性的改善。Meneghini 更宣稱這種 tri-gate 設計可藉由調變 fin 的寬度來增大 V_{th} 值使達到常關的目的，改善功率效率，而且控制能力更勝於平面結構的元件。但 Zhang 的研究另指出 tri-gate 雖可使 GaN p-FETs 有更高的 g_m 與 f_T ，但製程會造成閘極邊坡的損傷也衍生了寄生電容與非線性的缺憾，顯然製程的變異性也是挑戰的重點。

4. 磊晶成長技術的挑戰

由於大面積的 GaN 基板製作困難，故目前 GaN p-FETs 大都製作於 Si 基板上，但兩者間頗大的晶格不匹配使得介面生成許多缺陷造成電洞受到嚴重的散射 mobility 因而顯著降低，元件的可靠性也變差。為解決這個挑戰，文獻提出許多方法，如以 2D MoS₂ 為緩衝層再經由電漿輔助 MBE 法成長 GaN 膜，宣稱可得到表面平滑無缺陷的磊晶膜，另有研究則是以 AlGaIn 或 ScAlN 為 p-GaN 與 Si 的緩衝層。但以元件的特性而論，這些方法除增加製程的複雜度外對電洞遷移率的提升卻很有限。Z. Ma 則是以異質接面的 p-n 二極體傳輸理論來探討解決介面不匹配的方法。他們認為 GaN 成長於 Si 基板時由於兩者間巨大的熱膨脹係數差異形成的介面電場改變了 GaN/Si 異質界面間的費米能 (Fermi) 階，以致介面無法形成直接的化學鍵結。解決的方法就是在介面處以 ALD 法成長了數個 monolayers 厚的 Al₂O₃ 作為緩衝區。檢測結果發現 GaN 磊晶層品質與 p-n 二極體特性都有顯著提升，而且表現也遠優於其他技術。由此 Ma 結論：Al₂O₃ 的薄層在 GaN/Si 異質界面有效的阻隔了熱擴散，維持了介面電場，並襄助 GaN/Si 形成理想的異質界面，是為最佳的緩衝選擇。除上述磊晶膜成長的議題外，Mg 的攙雜也是個惱人的困擾，為增進 p-GaN 的導電性，A. Liu 提出成長 GaN/AlN/AlGaIn 的阻障結構，不但可緩解 Mg 的擴散並強化 2DEG 的侷限效果，元件的 $I_{D,MAX}$ 因此增加了 37% 且 R_{ON} 減少達 23%，特性大為提升。GaN p-FETs 的挑戰除前述的議題外，雪上加霜的還有散熱的困擾。由於 GaN 功率電路需得長時處於高功率運作狀態必然將滋生大量的熱，n-FETs 因得利於良好的電特性故可保正常熱導表現，但 p-FET 則因元件特性相對不佳，尤其是反向漏電流偏大致造成元件散熱不及而升溫，也劣化功率電路的表現。據 Yadav et al 研究指出 GaN 元件的反向漏電流與 GaN 磊晶膜與保護層的品質密切相關，故 N. Perera, et. al 製作了有 Al₂O₃ 保護膜與無 Al₂O₃ 保護膜的 GaN Schottky diodes，比較它們的材料品質與元件特性，發現前者的 GaN 磊晶膜表面粗糙度大為降低，缺陷密度也顯著改善，更值得一提的是反向漏電流也由 $16.8 \mu\text{A}$ 大幅減少為 $10.93 \mu\text{A}$ ，緩解了熱效應的困擾。這個成果強化了品質良好的 p-GaN 材料成長才是 GaN CMOS 電路表現提升的關鍵⁽¹⁵⁾。

上述各項努力都是針對提高電洞濃度與其遷移率的觀念並以摻雜法為主要技術來增進 GaN p-FET 的特性，然觀之元件的特性僅有治標的效果並未顯著的提升，解決之道恐怕須尋求治本之方。其實 GaN p-FET 的困境從材料本質來看應是源於物理的限制，因為 GaN 為寬能隙材料導致其價帶表現由 heavy valence bands 所主宰，故使電洞的遷移率偏低，而且因價帶太深了，難以找到合適的 p 型摻雜材料，即使 Mg 被認為摻雜效率較高可以得到約 $10^{19}/\text{cm}^3$ 的摻雜濃度，但卻因活化能高達 $100-200 \text{ meV}$ 故能供應導電的載子很有限，使增進 GaN 的電性不易。雪上加霜的是，製作元件時歐姆接點的金屬需具備有較大的功函數，

然材料的選擇與熱處理的不易又使歐姆接點電阻偏高，元件功率損耗因而居高不下，這些本質的限制當然導致 p-FET 特性不佳，也不利於 GaN CMOS 晶片中功率轉換系統的整合。對此 A. Nakajima 提出了有別於傳統的摻雜技術，以極化誘生產生二維電洞雲 (polarization-induced 2DHG) 的策略，來增進 GaN p-FET 的特性。以下就介紹以極化誘生產生 2-DHG 的策略發展概況。

四、極化誘生 2DHG (Polarization-induced 2DHG) 的發展

1. 以 GaN/AlGaN/GaN 雙異質介面同時極化誘生 2DHG 與 2DEG

Nakajima⁽¹⁶⁾ 參考了 GaN n-FET 在 AlGaN/GaN 介面產生極化誘生 2-DEG 的方法，設計了 GaN/AlGaN/GaN 的雙異質介面，稱其為極化介面 (PJ)，利用異質介面能帶不連續的特性，使 PJ 的上介面可以產生 2DHG，同時在下介面也會生成 2DEG。為證實這個想法，Nakajima 在 3" sapphire 基板上以 MOCVD 磊晶成長 PJ 平台，其各層磊晶膜結構如圖 1(a) 所示，圖 1(b) 則為此 PJ 平台結構的能帶圖，圖中顯示了因異質介面能帶不連續以致上下介面處各形成了 2DHG 與 2DEG。

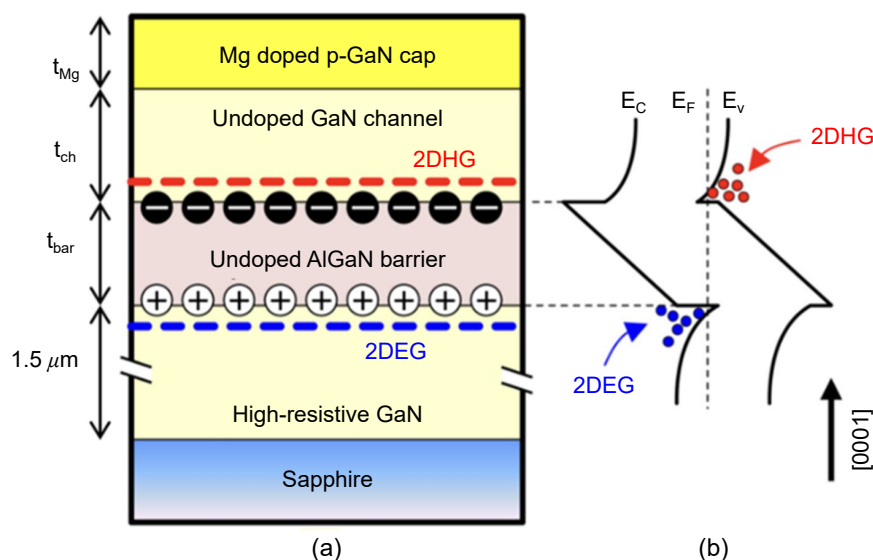


圖 1. (a) PJ 平台各層磊晶膜結構。(b) PJ 平台結構的能帶圖 (取自參考資料 7)。

此 PJ 的樣品經檢測發現其 2DHG 的濃度高達 $0.89 \times 10^{13} \text{ cm}^{-2}$ ，300 K 的遷移率為 $15 \text{ cm}^2/\text{V}\cdot\text{s}$ ，降溫至 100 K 時甚至提升為 $53 \text{ cm}^2/\text{V}\cdot\text{s}$ 。至於 2DEG 的遷移率與電阻表現則與預期般的良好，也較 2DHG 為佳。A. Nakajima 進一步以此 PJ 為平台於其上製作了閘極長度各為 $20 \mu\text{m}$ 與 $80 \mu\text{m}$ 的 p-FET 與 n-FET 兩種元件並於 100 K 低溫下檢測其特性，發現 p-FET 為 E-mode 且 $I_{D,\text{max}}$ 提升至 $\sim 5 \text{ mA/mm}$ ，顯示了極化誘生策略可提高 2DHG 密度改善 p-FET 特性的潛力。惟細究 PJ 平台上的兩種元件，可發現 p-FET 的 $I_{D,\text{max}}$ 電流與 D-mode 的 n-FET 相較，仍為 5 mA/mm 與 50 mA/mm 之差距，Nakajima 認為其原因可能為：(1) p-GaN 的接觸電阻 (ρ_c) 為偏高的 $0.39 \Omega\cdot\text{cm}^2$ ，(2) 通道長度 (L_{GD}) 太長，約為 $20 \mu\text{m}$ 造成通道電阻增大，因此劣化了 $I_{D,\text{max}}$ 。顯然製程的影響也是高功率挑戰中不可忽視的因素。但 A. Nakajima 的研

究另有一得，就是發現 PJ 的上與下兩介面的極化場因互為反向而抵消了垂直方向的應力，因而使崩潰電壓提升。值得一提的是，Nakajima 還展示了於此 PJ 平台上製作的 GaN CMOS 反相器邏輯特性。由於 p 通道與 n 通道的 MOSFET 都可製作為 E-mode 表現，使其靜態功耗甚低，另這個反相器的漏電流也是小於 1 pA 的超低水準，表現不遜於現行的高效率與低耗損的 Si CMOS 反相器。

綜合觀察以 PJ 平台製作的 p-FET 與 n-FET 特性以及 GaN CMOS 反相器的特性，Nakajima 認為極化誘生的策略避免了摻雜技術所衍生的枝節困擾也能有效改善元件的特性，故以極化誘生的策略將 CMOS 邏輯電路與高功率的 GaN 電晶體整合製作於單一晶片上應是可行的。但因現行 p-FET 的一些特性，如 $I_{D,max}$ 等，與 n-FET 相較仍然偏低，致其 CMOS 特性對稱性不足，但若更強化極化場增進極化誘生的效果，或可解決這個困擾。Cornell 大學的 Bader 團隊秉持著這個信念深入研究，果然將 p-FET 的性能往前推進了一大步。

2. 以 GaN/AlN 異質界面強化極化誘生 2DHG

Bader⁽¹⁷⁾ 分析 wurtzite 結構的晶體，如 GaN 等 III-N 材料，的極化場係源自兩個成分，一為 wurtzite 晶體本質就擁有的自發極化 (spontaneous polarization, P_{sp})，另一則是起因於晶體受到應力時，如晶格不匹配，致生的壓電極化 (piezoelectric polarization, P_{pz})，所以晶體內的總極化強度可表為 $P_{total} = P_{sp} + P_{pz}$ 。當兩種材料構成異質界面時將因彼此的 P_{total} 不同形成不連續的極化場，依高斯定律可知介面將會生成一薄層的 bound charge (σ_{pol})，其會吸引介面的自由載子而形成 2DEG 或 2DHG，也改變了介面的電場造成能帶不連續。又此薄層的 bound charge (σ_{pol}) 可表為下式 (1)。

$$\sigma_{pol} = \hat{n} \cdot (P_{total}^{upper} - P_{total}^{lower})$$

式中的 \hat{n} 表晶體極化場的方向，就 GaN 晶體而言，若為 Ga 晶面 (Ga-face) 則其 c 軸 [0001] 雖朝上但極化場卻是向下的，但 N 晶面 (N-face) 則為 c 軸朝下而極化場向上指向晶體表面，而且式 (1) 也指出 σ_{pol} 的形成與異質界面材料的選擇有關。準此，Bader 依據 Ambacher 的文獻資料計算了 N-polar 疊層結構可生成的 σ_{pol} ，即將 N-polar GaN 通道層成長於 N-polar AlN 能障層上的 GaN/AlN 異質界面，結果發現其值為 -0.052 C/m^2 ，較 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}/\text{GaN}$ 介面 (Ga-polar 疊層) 的 -0.009 C/m^2 更大，表示可生成更多帶負電的 σ_{pol} ，而這層帶負電的 bound charge 將吸引 GaN 通道側的自由電洞生成高載子密度的 2DHG，此估算增強了 Bader 以 GaN/AlN 界面來提升 p-FET 特性的信心。

但實作 N-polar 疊層的 GaN/AlN 異質界面讓 Bader 面臨了另一番的挑戰，因為 N-face GaN 晶面的粗糙不平整與 GaN/AlN 間高達 2.4% 的晶格不匹配，使介面且生成大量的差排與缺陷，不利於 2DHG 的形成。因此 Bader 採用了 MBE 精準地控制 Ga flux 進行平衡又有點 N-rich 的氣氛以成長磊晶膜，順利獲得平滑陡峭且 N-polar 的 GaN/AlN 介面，並測得室溫的 2DHG 密度高達 $4 \times 10^{13} \text{ cm}^{-2}$ ，遷移率則約 $10 - 20 \text{ cm}^2/\text{V}\cdot\text{s}$ ，但低溫時甚至超過 $280 \text{ cm}^2/\text{Vs}$ 。值得一提的是這些數據是出自無摻雜的 GaN/AlN 結構，僅靠界面不連續的極化場即可提供高密度且高品質的 2DHG，證實了極化誘生策略的潛力⁽¹⁷⁾。

Bader 以此優秀的平台趁勝追擊製作了 E-mode 表現的 GaN p-FET 並獲得一些重要結果。他們發現此 GaN p-FET 在閘極長度為 $7 \mu\text{m}$ ， V_{DS} 為 -10 V 時，其 $I_{D,max}$ 高達 10 mA /

mm，可比美 Hahn 的 GaN/AlInGaN p-FETs 成果，但其閘極為更短的 $1\ \mu\text{m}$ ，由於 I_D 與閘極長度呈反比關係，Bader 認為他們的元件在閘極微縮後應該會表現更好，故團隊就以半經驗化的 charge-control FET 模型來模擬元件閘極微縮至 $100-200\ \text{nm}$ 的特性，發現若不計短通道效應，元件的 $I_{D,\text{max}}$ 可高達 $428\ \text{mA/mm}$ ，而且若持續微縮則元件表現會更好，因為速度更快，趨動電流也更大，顯示極化誘生策略製作的 GaN/AlN p-FETs 令人驚艷的潛力。

Cornell 團隊在持續研究過程發現 GaN/AlN 介面雖可生成高密度的 2DHG，但室溫下電洞的遷移率仍因磊晶膜與界面品質不佳造成散射導致電性表現無法大幅改善，故後續的工作就是致力於製程的優化，如加入薄介電層，改良閘極的製作技術，或設計不同幾何尺寸的元件與改善歐姆接觸的電阻等。基本上 E-mode 的 GaN p-FET 製作非常困難，其挑戰在於：(1) 界面態或陷阱會吸附電洞導致 V_{th} 飄移易成 D-mode 傾向。(2) 極化電場若不足，將無法產生足夠的 2DHG 也令閘極難以有效關閉。(3) 若閘極氧化層與 GaN 介面缺陷嚴重將導致 V_{th} 浮動不穩定。為此 Bader 透過精密控制閘極氧化層厚度與摻雜的濃度等優化的製程以建造理想的介面。他們的努力包含：強化 AlN 與 GaN 的晶格匹配程度以降低穿透差排 (threading dislocation) 等缺陷的密度，又優化了高品質的 Al_2O_3 作為閘極氧化層以減少電洞因散射的消耗。團隊還透過 gate recess 技術蝕刻 p-GaN 的缺陷以減少 2DHG 被消耗的可能，確保 p-GaN/AlN 介面得以產生高導電性的 2DHG，也令 p-FET 可以在適當的閘極偏壓 (VGS) 導通。而且他們還發現 V_{th} 與 R_{on} 會受到不同 recess 深度的影響，因為 recess 深度會改變閘極與 2DHG 的距離。除此，元件的歐姆接點也是製程的重點，故設計了以 InGaN 薄層與非合金化的 Pd/Au/Ni 金屬疊層的組合，除可降低歐姆接點的電阻外也能強化極化誘生 2DHG 的效果。疊層組合經最佳化處理後果然使比接觸電阻 (specific contact resistance) 降至 $10^{-4}\ \Omega\cdot\text{cm}^2$ ，線性接觸電阻 (R_C) 也減小到 $1\ \Omega\cdot\text{mm}$ ，有效降低了 R_{ON} 的損耗，GaN/AlN p-FET 因此呈現 V_{th} 為 $1.3\ \text{V}$ 的 E-mode 表現，而且 g_m 與 $I_{\text{on}}/I_{\text{off}}$ 開關比也是優異的 $1.5\ \text{mS/mm}$ 與 10^4 。更值得一提的是，因元件採用了薄層的 GaN 通道與 T 型閘架有效減小寄生電容與閘極電阻，使此 p-通道 HFETs 可操作於 f_T/f_{MAX} 超過 $20\ \text{GHz}$ 的高頻，且驅動電流 I_{max} 高達 $420\ \text{mA/mm}^{(18)}$ ，展示了文獻首見 GHz 等級的 GaN p 型元件。Cornell 團隊製作的 GaN/AlN 異質界面誘生 2DHG 元件結構如圖 2 雖然 Cornell 團隊的 GaN/AlN p-FETs 特性已有顯著改善，但就實現功率 ICs 的目標仍因受限於電洞的遷移率偏低致尚未能滿足 CMOS 所需，如表 2 所示，顯然 p-FETs 的研發還需加把勁。

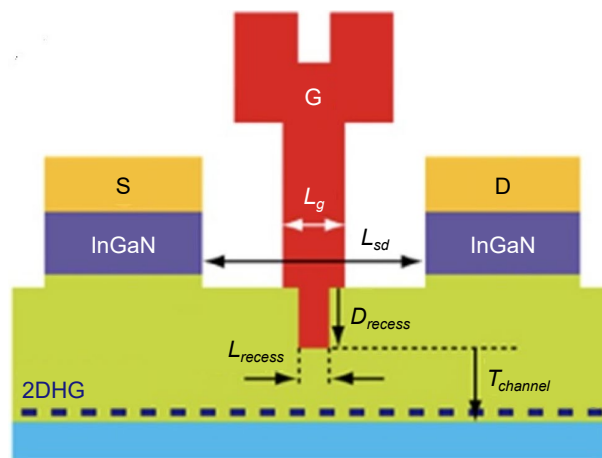


圖 2. GaN/AlN p-FETs 元件結構圖 (取自參考資料 18)。

表 2. Cornell 團隊 GaN/AlN p-FETs 成果與功率 ICs 的目標比較。

參數	目前 GaN n-FET	GaN p-FET (Bader 成果)	CMOS 目標
ION	大於 500 mA/mm	約 10–20 mA/mm	大於 100 mA/mm
遷移率	約 1500 cm ² /Vs	約 5–20 cm ² /Vs	大於 50–100 cm ² /Vs
SS (次臨界擺幅)	約 70 mV/dec	大於 150 mV/dec	小於 90 mV/dec
製程技術	相對成熟	需加強	需與 CMOS 匹配

五、以 GaN/Sc_xAl_{1-x}N- 基介面極化誘生 2DHG 的發展

1. Sc_xAl_{1-x}N- 基材料特性

在提升 GaN p-FETs 特性的過程為了能獲得最佳的極化作用以產生高密度的 2DHG，文獻中出現許多以 III-氮合金能障層材料，如 AlGa_n、InAlN、AlBN、ScAlN 等與 GaN 的異質介面組合，綜合各家結果可發現，ScAlN 的自發與壓電極化表現在材料整合與元件可靠性等項目的測試都可獲得穩定的 2DHG，故被認為是極化誘生 2DHG 策略中的最佳選擇。

其實以 Sc_xAl_{1-x}N 為能障層的結構其概念與 Nakajima 的 GaN/GaAlN/GaN 或 Bader 的 GaN/AlN 等異質介面類似，不同的只是 Sc_xAl_{1-x}N 為組成可調的材料，可藉由調變 Sc 含量來改變 GaN/Sc_xAl_{1-x}N 異質介面的能帶不連續與極化場強度，故理論預期應可生成高密度且高移動率的極化誘生 2DHG。但實際上 GaN/Sc_xAl_{1-x}N 的表現果真能較先前的結構表現更優異嗎？

據研究，Sc_xAl_{1-x}N 晶體是由 Sc 的原子併入 AlN 的結構所形成，由於原 AlN 晶格中生成了 Sc_xAl_{1-x}N 新結構，其衍生的應力使此晶體呈現鐵電特性，擁有自發與壓電兩種極化，即使 Sc 含量高達 36% 仍可保有極化特性，與 AlN 相似。但 Sc_xAl_{1-x}N 的自發極化較 AlN 更強，故預期可產生更高密度的 2DHG。另探究 Sc_xAl_{1-x}N 的能帶結構，發現它的價帶極值 (valence band maximum, VBM) 不像 AlN 那麼深，故藉由改變 Sc_xAl_{1-x}N 的組成可調變其與 GaN 的 band offset 來變化介面量子井的侷限能力以生成不同密度的 2 DHG，這種藉由控制極化場來調變 2DHG 密度的方法使元件 V_{th} 的設計更具彈性。並且因 Sc_xAl_{1-x}N 的價帶結構較 AlN 更為分散 (dispersive)，顯示其電洞有效質量更小，故預期 Sc_xAl_{1-x}N 的電洞移動率應較 AlN 更佳。再者因 Sc 含量可調整其與 GaN 的晶格匹配使其在 GaN CMOS 整合製作時有更大的彈性。綜合這些資訊，以極化誘生 2DHG 策略而言 Sc_xAl_{1-x}N 被認為是改善 GaN p-FET 特性的最佳選擇⁽¹⁹⁾。

另，於 n-FET 功率元件的應用 ScAlN/GaN 結構相關研究也很多，其性能相較於傳統的 AlGa_n/GaN 元件更是不遑多讓，如：(1) 2DEG 擁有更高的極化電子密度與較佳的電子遷移率使通道電阻降低，適於高頻應用。(2) 更大的能帶間隙與能量差有助於提升柵極控制能力且降低漏電流。(3) 臨界擊穿電場更高可運作於更高的電壓。(4) 2DEG 密度調節容易有利於降低 V_{th}，適合製作 E-mode 元件⁽²⁰⁾。

由上述的介紹可知：ScAlN/GaN 結構在製作 n-FET 或 p-FET 時，不須依賴摻雜技術的幫助即可在介面生成高濃度的極化誘生載子，有利於強化元件在高功率與高頻的應用，似乎大有可為。然而實際製作元件時卻得面臨了諸多的挑戰，如：為確保 ScAlN 磊晶膜的品質需降低晶格中某些元素的不規則排列 (disorder) 以降低散射現象，另 GaN/ScAlN 介面因晶格不匹配產生的應力也須減小以保持介面的陡峭清晰 (sharpness)。雪上加霜的還有：極

化誘生載子的極性會受到異質堆疊的次序與介面兩邊晶面極化向量的影響，因此製備 GaN/ScAlN 異質介面的 n-FET 或 p-FET 時除須面對製程的挑戰外，還須確認介面為 N-polar 或 Ga-polar 的晶體方能獲得正確極性的載子，多了這層考量使 GaN/ScAlN 異質介面磊晶成長變得更為棘手。

2. N- 極性成長與極化誘生效果

傳統 HEMTs 結構是在 Ga 晶面的 GaN 上成長 AlGaN (能障層) / GaN (通道層) 介面，由於 AlGaN 的極化向量較 GaN 為大，由 (式 1) 可知在介面處將生成帶正電荷的 bound charges，它會吸引 GaN 側的自由電子而形成一薄層的高電子密度 2DEG。但 Bader 的 GaN (通道層) / AlN (能障層) p-FET 其堆疊結構則與其不同且是成長於 N 晶面的 GaN。由於下層 AlN 的極化較上層 GaN 為大，故介面處生成的是帶負電荷的 bound charges 並吸引 GaN 側的自由電洞產生 2DHG。準此可知，製作極化誘生 p-FET 時介面兩端的材料極性與堆疊次序的重要。製程的另一關鍵是在 N-polar 面的 GaN 上長晶，一般而言 N-polar 的 GaN 晶面缺陷密度較高又粗糙不平整，且 GaN/AlN 介面的形成能 (formation energy) 又大，這些狀況均不利 MOCVD 長晶時均勻成核，故 Bader 以 MBE 成長時須對 Ga flux 與溫度進行原子層級的控制，才得以獲得平整且陡峭的 GaN/AlN 介面，其技術挑戰頗大。因此儘管文獻中有關 ScAlN 相關的研究甚多，但實作 GaN/Sc_xAl_{1-x}N 接面 p-FET 特性的報告仍很少。不過參考現有文獻仍可整理出一個普遍被接受的 GaN/ScAlN 接面極化誘生 2DHG p-FET 的製程，其中部分技術若能更為優化或許可以呈現 GaN/Sc_xAl_{1-x}N 接面 p-FET 被預期的優異特性。

製程首要，得先選用原生 (native) 或加工製成的 N-face GaN 基板，或已進行 plasma 或 ammonia 清潔並氮化處理過的 sapphire 或 SiC 基板，將之以 MBE 或 MOCVD 法於高溫與高 V/III 比，即 N-rich，的環境低速成長 N-polar 的 AlN 緩衝層，作為導引後續磊晶膜亦為穩定的 N-polar。接著成長 N-polar ScAlN 的能障層，這是個關鍵步驟。由於 Sc_xAl_{1-x}N 是個敏感的介穩 (metastable) 材料，會因基板品質或成長溫度的變化而出現晶相分離 (phase-separate)，造成介面粗糙，Sc 群聚或極性反轉等困擾，而且須考量要減小其與 GaN 的晶格不匹配，但又得保有適當的應力以維持高度極化，故須控制 Sc 含量在 10–14% 的範圍，且厚度不宜超過 20 nm，以免因應力舒解致能帶反轉反而生成 2DEG。為此，成長 N- 極性的 Sc_xAl_{1-x}N 磊晶膜時須採用可精準調控 Sc 含量的分離式 Sc 前驅物 (precursor)。之後接著登場的是，在此 N-polar 的 Sc_xAl_{1-x}N 膜上延續成長 5–10 nm 的 N-polar 無摻雜 GaN 通道層，其介面形成的量子井可以侷限極化誘生的 2DHG。這道製程的關鍵在於 GaN 最佳長晶溫度在 1000 °C 以上但 Sc_xAl_{1-x}N 膜則為 800 °C 以下，故為防止 Sc_xAl_{1-x}N 膜遭到破壞，必須在 Sc_xAl_{1-x}N 上先鋪一薄層約 5–20 nm 的 AlN 作為熱緩衝以減少 Sc 與 Al 混散或 ScAlN 在高溫下的分解/相變困擾，並提供相容的晶格和極化連續性以維持界面極化的差異，之後才可以升溫繼續成長 GaN 磊晶⁽²¹⁾。最後於再於 GaN 通道層上鋪以 Mg- 摻雜的 p-GaN cap 層，完成磊晶疊層的製作。由於製程中持續確保 N- 極性的成長對極化誘生效果非常重要，而其與起始晶面的品質，V/III 比以及成長溫度等參數都強烈相關，故磊晶長膜時務須就地 (*in situ*) 隨時以 AFM 或 RHEED 監控之。

磊晶疊層完成就可進行 Sc_xAl_{1-x}N 接面 p-FET 的製作了，其製程與傳統元件大致相同，惟須特別注意的是 Sc_xAl_{1-x}N 的處理。因 Sc_xAl_{1-x}N 相較於 Al_xGa_{1-x}N 能障更高，可有效降低閘極漏電流，且透過改變 Sc 的含量即可進行 V_{th} 的調控避免了 Mg 摻雜而衍生的載子遷

移率降低的困擾，故製程中尤須注意不宜損害 $\text{Sc}_x\text{Al}_{1-x}\text{N}$ 晶膜的品質。故需以介質工程技術 (dielectric engineering)，如以 High-k 的 HfO_2 或 Al_2O_3 為 閘極介質來改善閘極耦合效果，也可採用 Field plates 控制側向電場以抑制寄生 2DEG 的形成，但最重要的則是須進行 Gate Recess，因為 Gate Recess 可以移除部分的 p-GaN cap 改善閘極附近的電場，也使閘極電場能更靠近通道內的 2DHG 並降低閘極漏電流，讓通道較易開啟表現出 E-mode 的特性。但這個蝕刻的製程很容易損傷 $\text{Sc}_x\text{Al}_{1-x}\text{N}$ 薄膜，故製程需使用低功率的乾蝕刻，如 Cl_2/BCl_3 的 ICP，而且蝕刻控制也要達奈米級的精度，最好能精準停止在 GaN/ $\text{Sc}_x\text{Al}_{1-x}\text{N}$ 介面。其後再以 ALD (atomic layer deposition) 鋪上 HfO_2 或 Al_2O_3 等 High-k 介質完成閘極製作。最後才鍍上 Ni/Au 或 Pd/Au 金屬疊層做為 p- 通道閘極的電極，而源-汲極的歐姆接點則選用高 Mg- 摻雜的 InGaN 或 Ni/Au 並予最佳化的熱處理以降低接觸電阻⁽²²⁾。

上述 GaN/ $\text{Sc}_x\text{Al}_{1-x}\text{N}$ p-FET 製程的成功與否顯然繫於製程技術能否克服成膜品質的缺陷以及應力工程的處理與適當的熱處理，若這些挑戰可適當解決，再配合極化誘生 2DHG 的策略，GaN/ScAlN p-FETs 的特性應可大幅提升。

3. Sc(Al,Ga)N/GaN HEMT 的高頻應用

依據極化誘生的理論， $\text{Sc}_x\text{Al}_{1-x}\text{N}$ 膜若予適當的異質介面配對時除可生成 2DHG 外，也會形成 2DEG，基於 n-FET 在高頻應用的重要性，極化誘生效應在提升 ScAlN-基 HEMT 的高頻特性上也有重要的貢獻。

一般而言，GaN HEMT 中閘極的控制能力是由閘極與通道層間夾著一層 AlGaN 能障層所構成的異質界面間誘生的 2DEG 所主宰，由於此 AlGaN 能障層的厚度甚大於傳統矽 MOSFET 結構的氧化層，使 GaN HEMT 的等效電容得以大幅降低，只需很小的驅動能量即可達到極高速的切換；另一方面，又因 2DEG 的產生是起因於 AlGaN 能障層和 GaN 通道層間的極化效應，而藉由閘極電壓很容易就能調控 2DEG 密度使其 V_{th} 較矽元件大為降低，且可快速進行開關轉換降低信號延遲和功率的功耗，使 GaN HEMT 得以具備超高速切換、低損耗與高效率的表現，並廣泛應用於高頻高功率電子領域。

可是當應用進入需求更高功率與更高效率的通訊與雷達系統時，如 30 GHz 的 Ka-band, HEMTs 必須微縮其閘極至次微米且能障層也得相對變薄，此時要極化誘生高密度的 2DEG 就變成相當的困難，因為 HEMTs 中的 AlGaN 能障層在微縮後無法確保其高品質，會在異質介面處生成大量的缺陷降低元件的二維載子密度，使 HEMT 出現電流崩潰 (current collapse)，閘極或汲極的延遲 (gate lag/drain lag)，與效率變差等困擾，也劣化了 RF 的表現。雖然 AlGaN 已是業界成熟的技術但仍受限於極化誘生效果有限與異質介面晶格不匹配的困擾，現又遭遇微縮技術的挑戰，因此尋找可微縮的替代材料成為當務之急。ScAlN-基材料除了前述介紹的各項優點外，還發現即使微縮至 10–20 nm 厚度下仍可保有強大的鐵電特性⁽²³⁾，另有研究指出：將 Ga 引進 ScAlN 中形成四元的 ScAlGaN 後雖然會減弱晶體的極化場，卻可改善磊晶膜品質減少載子與晶體缺陷的散射有助於 RF 的表現，遂使其成為最合適的選擇材料。

基於上述的考量，Andrew J. Green 實作了 Sc(Al,Ga)N/GaN 結構的 HEMT 並探討其應用於 Ka-Band 的表現⁽²⁴⁾。他們以 GaN-on-SiC 為模板，依序成長了成核層，緩衝層，GaN 通道層與間隔層 (spacer layers) 後，再以 MBE 製備了兩種不同能障層的樣品，一是三元的 $\text{Sc}_{0.18}\text{Al}_{0.72}\text{N}$ (厚度 5.5 nm)，另一為四元的 $\text{Sc}_{0.07}\text{Al}_{0.38}\text{Ga}_{0.55}\text{N}$ (厚度 5.3 nm)。前者樣品使用

ScAlN 能障層製作 HEMT 當然是期望能生成較多的極化誘生 2DEG 以提升元件性能，但後者的製備動機則是為了提升磊晶膜品質減少介面的缺陷。Green 希望這個研究能釐清極化誘生作用與磊晶膜品質，這兩個相互權衡 (trade-off) 的因子，何者對元件特性影響較大？

樣品製備後經由 Hall effect 檢測發現：Sc_{0.18}Al_{0.72}N (5.5 nm) 樣品的片電荷密度 (n_s) 與 Mobility 各為 $2.48 \times 10^{13} \text{ cm}^{-2}$ 與 $753 \text{ cm}^2/\text{V}\cdot\text{s}$ ，至於 Sc_{0.07}Al_{0.38}Ga_{0.55}N (5.3 nm) 樣品則為 $1.84 \times 10^{13} \text{ cm}^{-2}$ 與 $1315 \text{ cm}^2/\text{V}\cdot\text{s}$ 。正如預期，四元樣品中增加 Ga 含量會減弱介面的極化場，使 n_s 減少，但另一方面因改善了晶體品質使遷移率大幅提升 75%。這個一失一得的結果顯示：Sc_{0.18}Al_{0.72}N 有較高的 n_s 可增大啟動電流，應有利於提升元件的 g_m 與功率密度；而四元的 ScAlGaN 樣品其電子遷移率較高可縮短通道傳輸時間，降低瞬態電流的降幅與延遲，減少高頻操作時的退化 (dispersion)，使大訊號的增益、輸出功率與線性度等特性更好，預期其大訊號 RF 表現將較佳。值得一提的是，前述的 dispersion 現象，又稱閘極延遲 (gate-lag) 或輸出電流壓縮 (current collapse)，常出現於高頻操作元件的表現與低頻時的特性有顯著的落差，據研究可能是源於陷阱效應與載子傳輸延遲，顯然經改善磊晶膜品質的四元 Sc(Al,Ga)N/GaN HEMT 應可以解決 Ka-Band 應用時的困擾。

Andrew J. Green 將上述樣品製成 HEMTs 元件並比較兩者於高頻的表現，結果恰如前述預期。

1. DC 特性：(a) 汲極峰值電流，ScAlN HEMT 與 ScAlGaN HEMT 各為 1.92 A/mm，與 1.73 A/mm，(b) 開關比，ScAlN HEMT 與 ScAlGaN HEMT 各為 $\sim 10^4$ 與 $\sim 10^3$ ，(c) 轉導，兩元件皆可達理想的 $\sim 700 \text{ mS/mm}$ 。
2. Pulsed IV 特性：ScAlN HEMT 約有 60% 的 current collapse，ScAlGaN HEMT 則僅約 6.5%，顯示後者元件的品質較佳，缺陷困擾較小。
3. RF 特性：(a) f_T/f_{MAX} ，兩元件皆可達 72/102 GHz 的高頻操作，(b) 輸出功率，ScAlN HEMT 為 0.89 W/mm，ScAlGaN HEMT 則高達 5.77 W/mm，(c) 效率 (PAE)，ScAlGaN HEMT 表現則遠優於 ScAlN HEMT，47% vs. 16%。

整體看來，ScAlN-基元件都能得到甚高的轉導 ($> 700 \text{ mS/mm}$) 而且 cutoff 頻率也在 70 GHz 以上，表現皆良好。但仔細分析後可見，四元的 ScAlGaN/GaN HEMT 因能障層晶體品質較佳，有效壓抑了輸出電流壓縮現象使 RF 功率提升，應為更佳的選擇。畢竟即使極化誘生電荷 (n_s) 再高，如 ScAlN/GaN HEMT，也無法彌補因能障層中缺陷嚴重使得 RF load-pull 測試中輸出功率、效率、增益等特性突然卡住 (choke) 無法隨輸入功率或偏壓持續提升的缺憾。顯然在 RF 的應用方面，能障層品質的考量要比強化極化誘生作用更為重要。尤其當應用逼近 5G/6G，衛星通訊或軍事雷達時，能障層對元件高頻響應的功率密度與可靠性的影響相當重要。雖然拜製程技術成熟之利，傳統的 AlGaIn 輔以 Si-rich SiN 保護層以及薄 AlN 中介層等疊層製作的 HEMT 已可操作於 30 GHz 並提供 8.7 W/mm 的輸出功率⁽²⁵⁾，但這已是 AlGaIn 技術能力的天花板，ScAlN-基 HEMT 與之相比毫不遜色，顯然 A.J.Green 採用極化誘生策略製作 ScAlN-基元件對下世代高頻高功率 HEMTs 的發展提供了重要的觀點。

4. 以 Sc(Al,Ga)N/GaN 製作 p-FET 的展望

雖然 ScAlN/ScAlGaIn-基作為能障層的效果這麼耀眼，但若引入 GaN p-FET 的製作是否也有同等助益的結果呢？實際上可能不樂觀，因為 GaN 電洞的遷移率本質上就比電子小很多，約為 $5-20 \text{ cm}^2/\text{V}\cdot\text{s}$ 與 $1000-2000 \text{ cm}^2/\text{V}\cdot\text{s}$ 的雲泥之別，故即使改善能障層品質使缺陷

減少也無法彌補電洞遷移率偏低的不足，另一方面將 ScAlN 變為 ScGaAlN，因組成變化了極化誘生 2DHG 密度也會減少反而得不償失。再者，極化誘生 2DHG 時介面疊層次序須在 N 極化的 ScGaAlN 上方成長 GaN 磊晶層，而這個 N 極化晶面長晶的挑戰又使磊晶層與介面品質改善的期望更為悲觀，顯然以 ScAlGaN 為能障層來製作 GaN p-FET 的效果並不實際。歸根就底，GaN 的電洞遷移率太低是其致命傷，改善能障層品質充其量只能得到偏壓較為穩定的 p-通道元件，這也是目前 GaN p-FET 的研究大都以邏輯或 CMOS 功率電路為重，而非著眼於 RF/微波等高頻應用之故。

六、結論

本文介紹了近期 GaN p-FET 各項製程技術，如摻雜技術、閘極工程以及熱管理等方面的進展，使元件性能得以快速提升，惟相較於 n-FET 的水準則仍有努力的餘地，如現行技術的驅動電流：n-FET 為 2.1 A/mm 而 p-FET 只為其三分之一大小的 0.75 A/mm，至於跨導差距則更大，n-FET 為 1.75 S/mm 而 p-FET 甚至只達 36 mS/mm，究其原因就在 GaN 電洞濃度難以提升及其電洞遷移率太差所致，顯然解決 GaN p-FET 特性的挑戰需要不同的策略考量。

有研究就著眼於 GaN 本質的探討而提出以極化誘生二維電洞氣 (2DHG)，取代傳統的摻雜技術，以突破限制 p-FET 特性的物理根源。先有 Nakajima 製作了 GaN/AlGaIn/GaN 的雙異質介面證實可生成極化誘生 2DHG，以之製作 GaN CMOS 反相器也具有好的邏輯特性與甚低的靜態功耗。其後又有 Bader 以 GaN/AlN 異質界面強化極化場生成更多的極化誘生 2DHG 使 p-FET 的 $I_{D,max}$ 增大，還預測了微縮此元件可得到更佳的輸出特性，顯示極化誘生策略令人驚艷的潛力，於是後續的研究就轉向追尋微縮後仍具有強大極化場的材料，循著這個概念接續登場的是 ScAlN-基材料與 GaN 的異質結構研究。

據研究，ScAlN-基材料可藉由調變 Sc 的含量調整其與 GaN 的晶格匹配程度使其在 GaN CMOS 整合製作時有更大的彈性，又即使微縮至 10–20 nm，GaN/ScAlN-基介面仍可保有強大的極化場，而且 ScAlN-基材料的價帶曲率較 AlN 為小，表示其電洞有效質量更小移動率更佳，將有助於降低閘極臨界電壓與提升開關效率，預期可實現較 GaN/AlN 更佳的 p-FET 特性。更值得一提的是：適當設計 ScAlN-基材料與 GaN 的介面後，介面可選擇生成 2DEG 或 2DHG，增加了元件製作的彈性也有利於 GaN 功率 IC 的實現。

儘管 ScAlN-基材料被視為是最有潛力可實現真 p 型 GaN p-FET，但要產生高密度的極化誘生二為載子，得面對在 N 極化晶面成長 GaN/GaAlN 或 GaN/ScAlN 等磊晶技術的挑戰，也須解決 GaN 電洞遷移率太小的本質缺憾。而在元件製作階段，摻雜技術、歐姆接點、閘極設計與界面品質控制等製程也會強烈影響元件的表現，顯然極化誘生策略與各項製程技術對 GaN p-FET 特性的提升均具相當貢獻。想當年物理學者楊振寧登泰山時有感四周群山起伏似與泰山爭鋒而作了一首詩：「塵寰動蕩二百代，雲水風雷變幻急，若問那山未來事，物競天存爭朝夕。」對照 GaN p-FET 技術的發展同樣是百家爭鳴，因此調控與優化相關參數以激發 GaN p-FET 的最佳性能仍是努力的重點。畢竟實現 GaN CMOS 功率 IC 的關鍵在於提升 GaN p-FET 的特性，而 GaN/ScAlN-基結構已展現可生成大於 10^{13} cm^{-2} 的 2DHG 與 V_{th} 為 3–5 V 的 E-mode 成果，故被視為是最具潛力的 GaN p-FET 研發方向。

參考資料

1. J-T Chen *et al.*, *Applied Physics Letters*, **106**, 251601 (2015).
2. L. Li *et al.*, *IEEE Electron Device Letters*, **41** (5) (2020).
3. J. Zhou *et al.*, *ACS Appl. Electron Material*, **5**, 309 (2023).
4. J. Tang *et al.*, “Bipolar p-FET with Enhanced Conduction Capability on E-mode GaN-on-Si HEMT Platform”, 2023 *International Electron Devices Meeting (IEDM)* Dec. 9-13, (2023).
5. N. Chowdhury, *et al.*, *Electron Device Letters*, **43**, 3 (2022).
6. Y. Liu *et al.*, *Micromachines*, **15** (5), 596 (2024).
7. M. L. Nakarmi, *et al.*, *Applied Physics Letters*, **82** (18), 3041 (2003).
8. A. Kumar *et al.*, *Power Electronic Devices and Components*, **5**, 100036 (2023).
9. Y. Hu *et al.*, *Journal of Applied Physics*, **136**, 015701 (2024).
10. T.S. Tlemcani, *ACS Applied Materials & Interfaces*, **15**, 8723 (2023).
11. J. Duraz *et al.*, arXiv:2412.11887, (2024).
12. J-L Lee, *Solid-state Electronics*, **43**, 435 (1999).
13. Y. Zhang *et al.*, *IEEE Transactions on Electron Devices*, **70** (1), 31 (2023).
14. M. Meneghini *et al.*, *Journal of Applied Physics*, 130 (18), 2021.
15. Nimal Perera, Anjali Fernando and Suresh Wijesinghe, *International Journal of Research in Circuits Devices and Systems*, **5** (2),19 (2024).
16. A. Nakajima *et al.*, *IET Power Electronics*, **11** (4), 689 (2018).
17. J. Bader *et al.*, *Science*, **365**, 1454 (2019).
18. K. Nomoto *et al.*, “GaN/AlN p-channel HFETs with $I_{max} > 420$ mA/mm and ~ 20 GHz f_T / f_{MAX} ”, 2020 *IEEE International Electron Devices Meeting*, December 12-18 (2020).
19. O. Ambacher *et al.*, *Journal of Applied Physics*, **129**, 204501 (2021).
20. M. T. Hasan *et al.*, *APL Electronic Devices*, **1**, 021507 (2025).
21. I. Streicher *et al.*, *Advanced Functional Materials*, **34** (39), (2024).
22. Jinming Bi *et al.*, *Journal of Semiconductors*, **46** (2), 139 (2025).
23. G. Schonweger *et al.*, *Physica Status Solidi - Rapid Research Letters*, **17**, 202200312 (2023).
24. A.J. Green, *et al.*, *IEEE Electron Device Letters*, **41** (8), 1181 (2020).
25. I-L Liu *et al.*, *Applied Physics Letters*, **120**, 052101 (2022).

作者簡介

洪茂峰先生為國立成功大學電機工程博士，現為國立成功大學電機工程學系兼任教授。

Mau-Phon Houg received his Ph.D. in Electrical Engineering from National Cheng Kung University. He is currently an Adjunct Professor in the Department of Electrical Engineering at National Cheng Kung University.