

# 當「延續摩爾」改寫為「系統效能密度的持續攀升」

## When “More Moore” Turns to “the Continued Rise of System Performance Density”

童俊智

Vincent Tung

### 一、前言

摩爾定律 (Moore's law) 原指在成本最佳化前提下，單一晶片中電晶體密度隨時間倍增的產業進程。半世紀以來，矽基電子工業在幾何微縮所帶來的技術動能下持續蓬勃發展，而這整段進程始終遵循著同一項定律，並以此為指引不斷推升系統整體效能。然而進入二十一世紀後，縮小閘極與通道的尺寸逐漸逼近物理與工程極限，當矽通道尺寸降至數奈米以下，載子散射 (carrier scattering)、短通道效應 (short channel effect) 與熱散逸 (thermal dissipation) 等問題急遽放大，如再持續微縮，其性能回報將愈趨遞減、可靠度與良率亦受威脅。

因此，產業重心自幾何縮放轉向功能與結構的縮放，例如應力工程、高介電常數 (high-k) / 金屬閘、鰭式場效電晶體 (fin field-effect transistor, FinFET)、環繞閘極電晶體 (gate-all-around field-effect transistor, GAAFET)、乃至互補式場效電晶體 (complementary field-effect transistor, CFET) 等技術，藉由材料與結構創新延續效能密度的提升。然而這條路線也正逼近新一輪的基本限制，唯有透過更具轉型性的材料與整合方式，才能維持長期發展趨勢。

在此脈絡下，二維 (two-dimensional, 2D) 半導體因具原子級厚度、能在極薄片狀結構下維持優良電性，並可透過三維 (three-dimensional, 3D) 堆疊導入全新元件架構，被視為承接超越摩爾 (More-than-Moore) 時代的關鍵材料平台。

基於這樣的視角，「延續摩爾」應重述為「系統效能密度 (能效 / 面積 / 頻率) 的持續攀升」。2D 半導體的價值並非複製矽的微縮路徑，而是以其低溫製程、可上疊，以及高度可編程的界面特性，使 2D 功能層能在既有矽基平台上形成 3D 堆疊，在極小平面面積下實現互補式金屬氧化物半導體 (complementary metal oxide semiconductor, CMOS) 邏輯運算單元，便可將邏輯運算單元「嵌」入感測、記憶、選擇器與類比模組，使資料得以及時在近端運算處理，在能耗與延遲上取得根本性優勢。

這樣的藍圖意味著一套五環相扣的方法學：先把 2D 半導體薄膜品質與變異度控制做好 (晶圓級單向性 / 單晶覆蓋與低缺陷)，其次需建立低損傷介面與潔淨轉移的後段製程 (back

end of line, BEOL) 相容技術；最終則以可靠度驗證與系統級展示作為「封口」。這樣的觀點與當前產業化路線的四大關鍵面向——「通道、接觸、閘介電與整合」——高度呼應。各項工序必須在低溫與不傷 2D 通道的前提下達到可選擇性、可包覆性且可重現性的成熟製程，才談得上導入產業化才具備實際可行性。

## 二、二維材料在半導體應用上的潛力

2D 半導體的潛力首先展現在其對短通道電靜力與寄生效應的根本改善上。原子級通道在幾乎不犧牲遷移率的情況下，維持強健的閘極控制能力與極低漏電，使臨界電壓與次臨界擺幅的工程更接近理想。同時，由於總堆疊高度大幅下降，寄生電容得以全域減少。這種同時在通道厚度、閘介電、金屬互連三者間同時減負的效果，為提升操作頻率與能效創造了物理空間，也讓 2D FET 在先進節點的 PPA (Power 功耗/Performance 性能/Area 面積) 取捨中保留了關鍵的靈活度。

從更宏觀的系統角度看，2D 材料近乎「自由懸浮」的凡德瓦 (van der Waals) 界面與可轉移幾何，天然契合單片 3D 整合的製程需求。其無懸浮斷鍵的表面允許跨材料、跨晶格的不匹配異質貼合，不再受到傳統磊晶製程嚴苛的晶格匹配條件限制。因此，將記憶體、感測器或前端模組直接堆疊於邏輯單元之上的構想，不再只是概念示意圖，而能在 BEOL 的熱預算範圍內找到實際可行的入口。

然而，這些應用潛力唯有落在務實且量產可行的製程條件上，才真正具有意義。近年的技術脈絡指出，要讓 2D 通道真正承擔起單片 3D 的角色，關鍵不在於個別器件的峰值數據，而在於能否在非晶或氧化物包覆的矽基底上，以低於 400 °C 的條件實現層層可控、晶圓級的單晶生長，並在之後的凹槽蝕刻、側向間隔層 (side-wall spacer)、選擇性與可包覆的金屬/氧化物沉積中，保持對 2D 通道的零損或近零損。這是把材料優勢轉化為製程與設計自由度的關鍵門檻，也是在規劃研究與量產對接時最優先處理的問題。必須先於藍寶石等基板上建立具單向性的 2D 單晶薄膜，再以非破壞的二次諧波 (second harmonic generation, SHG) 產生方法將面內品質「圖像化」加以檢測，之後再以可調控的潔淨轉移技術作為凡德瓦疊層的製程基礎，讓 BEOL 相容的整合路徑得以真正打通。

## 三、是否能延續摩爾定律以及可能導入量產的時程

近年來，延續摩爾定律的核心顯然已不再是單純追求更短的閘長，而是透過 2D 半導體薄膜進行 3D 堆疊，使邏輯運算單元真正邁向 3D 化，就如同記憶體早已藉由 3D NAND 完成垂直化演進一般。從國際裝置與系統路線圖 (International Roadmap for Devices and Systems, IRDS) 的發展里程碑觀察可知，若要在 2030 年之後維持密度成長趨勢，邏輯端勢必要進入成熟的 3D 化階段。在這條時間軸上，2D 通道被視為關鍵材料，因其能以低熱預算支撐上層堆疊，並在極薄尺度下仍保持優異電性，不像矽在亞奈米尺度會因散射主導而陷入報酬遞減。換言之，2D 的角色是把「More Moore」從平面縮放轉寫為「3D Moore」的材料基底，使系統效能密度在合理的成本與良率下得以持續攀升。

至於量產時程，筆者更傾向用可檢視的階段性突破取代時間序式預言，具體而言為下：  
一、當晶圓級單晶覆蓋與缺陷能以非破壞性方法穩健地重複呈現；二、四到八吋晶圓上十

萬顆以上 FET 的  $V_{th}$ 、 $I_{D,sat}$  與次臨界擺幅 (subthreshold swing, SS) 分布收斂到可量產之規範窗口；三、當  $\leq 400^\circ\text{C}$  的後段相容流程能在偏壓溫度不穩定性 (bias temperature instability, BTI)、熱載子注入 (hot carrier injection, HCI)、時間依賴性介電崩潰 (time-dependent dielectric breakdown, TDDB)、靜電放電 (electrostatic discharge, ESD) 與濕熱等加速規範下穩定通關，且在近記憶體計算或邊緣人工智慧 (Edge-AI) 的系統試驗車上展現能耗、面積與頻率的淨增益。當上述條件逐一達成，2D 半導體導入便不再停留於口號，而是自然而然地跨入實用。這是一個以 KPI 的合格率與變異度窗口標示技術成熟度的過程：一旦均勻度與可靠度能在同一製程線上穩定重現，特定應用的先導導入便會率先出現，之後再逐步擴散至標準節點。

#### 四、二維材料製程的瓶頸所在：材料製程、設備與檢測

從材料與製程角度看，根本挑戰在於同時滿足「單晶、層控、低溫、非晶基底」四項要求。傳統上，利用具準六方晶格的基板 (如藍寶石) 生長單晶 2D 過渡金屬硫族化合物 (transition metal dichalcogenides, TMD) 已相當成熟，轉移至矽基板的技術也累積了豐富實證。然而，若要在矽製程體系內真正實現單片式 2D 行 3D 堆疊，首先要面對的是在「非磊晶條件」下達成單晶化的挑戰。

近年研究顯示，若在氧化層表面以幾何受限的動力學設計，使每個奈米級溝槽僅形成單一晶核，即可在非晶氧化層上直接長出單晶 TMD，甚至以相同的幾何束縛策略實現逐層單晶堆疊。這使「在矽上直接生長單晶 2D」從構想走向全晶圓的可行技術。在此基礎上，引入單向性磊晶與 SHG 快速映射，可將起點薄膜品質轉化為晶圓級量化指標與 PASS/FAIL 界線，使製程參數能以閉環方式收斂。

在接觸電極整合上，挑戰更像一個三體問題。TMD 要以置換型重摻雜達到低電阻往往會破壞晶格，而傳統 PVD/CVD 金屬沉積則易對通道造成損傷，使得「低損傷」與「高導電」成為必須同時滿足的兩端拉鋸。半金屬 (如 Bismuth, Bi 跟 Antimony, Sb) 形成的凡德瓦接觸有助於削弱傳統矽化物的針定效應 (weak silicide pinning/reduced silicide anchoring) 並逼近 Schottky-Mott 極限；電極採邊緣接觸方式雖在石墨烯上展現極低阻抗的幾何優勢，但對二元化學的 TMD 而言，邊緣終止原子種類使得化學設計異常複雜。

近年則提出折衷的「凹槽接觸 (trench contact)」概念，試圖結合頂部與邊緣的優點以縮短有效接觸長度。然而，其製程鏈要求高選擇比、近等向的蝕刻與對 2D 近零損傷的金屬包覆，至今仍停留在概念驗證階段。較務實的策略是把前處理與低損傷 ALD/PEALD 結合為可移植的窗口，從功函數對準、接觸相穩定與界面陷阱三處同時下手，並以 p-型材料的選擇 (例如東京大學近年發展的單層硼碳氮 BCN) 增加設計自由度。閘介電的整合則必須面對「無懸浮斷鍵表面難以驅動 ALD 成核」的現實。強行以 UV-O<sub>3</sub> 或 O<sub>2</sub> 電漿改質雖能觸發成核，卻常伴隨界面缺陷升高與通道本質劣化；相形之下，以分子晶體 (如 perylenetetracarboxylic dianhydride, PTCDA) 或無機分子晶體 (如 Sb<sub>2</sub>O<sub>3</sub>) 作為凡德瓦緩衝層，能在不損傷通道的情況下，同時顧及介面品質與等效氧化層厚度 (effective oxide thickness, EOT) 縮減。此外，在原子層沉積 (atomic layer deposition, ALD) 內部以 TMA-soak 或所謂奈米霧化 (nanofog) 的兩步法先沉積種子層，再成長高品質介電膜，此也被證實是可行的途徑。可將這些中介層與低損傷條件寫入 SOP，並把邊界陷阱與固定電荷當作配方優化的核心指標，以資料化方式追蹤 EOT、SS 與遲滯之間的權衡，讓閘介電整合走向可量化、可複製的成熟度。

## 五、新一代二維材料的發展潛力與應用領域

當 n 型 TMD (如  $\text{MoS}_2$ 、 $\text{WS}_2$ ) 逐步走向成熟，補上 p 端材料便成了實現互補邏輯的關鍵拼圖。現階段可從兩條主線並進：一方面以  $\text{WSe}_2$  等 p 型 TMD 配合既有 n 型體系，另一方面推進新世代的 p 型半導體 BCN 作為可工藝化的 p 型平台。藉由動力學導引抑制 BN/石墨烯相分離，已能將其導電性拉入可重現的製程視窗。與此同時，利用幾何奈米帶創造的準一維能帶與邊界態，可望在低功耗開關與高靈敏感測上提供新的設計自由度；在早期研究中已有可重現的褶皺與應變超晶格，示範「結構－性質－性能」之間的可設計性，凸顯二維材料不僅是更薄的通道，更是可藉拓撲與弛豫 (relaxation) 工程切換能障的新平台。

功能上堆疊的前景同樣清晰。凡德瓦層讓選擇器、記憶、與類比前端能在矽邏輯之上以低溫製程貼合，為近記憶體計算與邊緣 AI 的資料近端處理鋪路，這在實際系統能效與面積上帶來具體量化的效益。能源與光電場景中，石墨炔 (graphdiyne) 等碳基二維材料，憑藉其  $\pi$  共軛結構與可調控界面，也提供了載流子選擇性與長期穩定性的新平衡機制。

綜合上述，本文將這些應用向度統一錨定於「2D hardware for AI software」的主軸：以能帶與界面可編程性，回應軟體堆疊對能效與可組態的剛性需求。從頻率與能效來看，2D-FET 透過高 on-current 與極低寄生效應的組合，確實展現出於先進節點持續提升 PPA 的空間，亦與產業綜述對 2D 通道角色的最新評估相符。

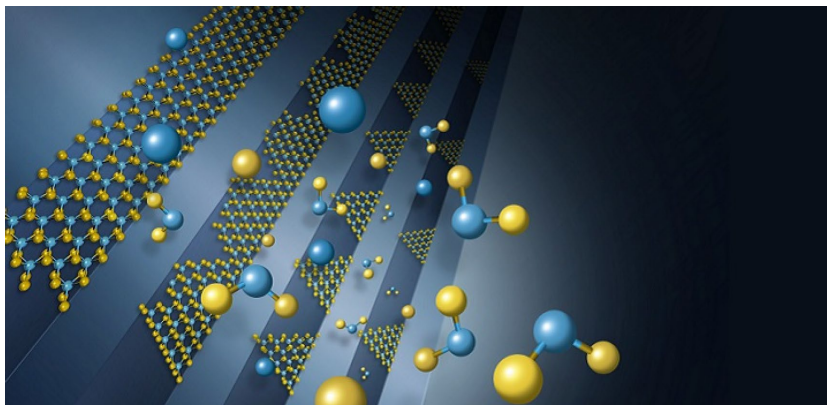


圖 1. 在電晶體設計中，一個新興趨勢是採用節省空間的垂直堆疊架構，將元件層層整合。在眾多潛力材料中，過渡金屬二硫化物 (TMD) 因其容易形成奈米帶薄片，並展現出優異的電性、光學性與磁性等多功能特性而備受關注。然而，利用典型的半導體製程 (如微影製程) 來製造出足夠應用於元件的高品質 TMD，往往需要相當繁複的程序。為了尋求替代方案，筆者與團隊於 2020 年在《Nature Materials》上發表了一項研究，開發出利用表面階梯引導二硫化鉬形成單一排列的單晶成長方法。圖示為其中一種成功的範例：二硫化鉬試劑 (圖中以藍色與黃色球體表示) 能夠利用表面天然存在的邊緣作為引導，自行組裝成高度有序的奈米帶。<sup>(1)</sup>

## 六、元件可靠度與產業化所面臨的挑戰

二維元件的可靠度，本質上是一場「界面主導」的賽局。BTI 造成臨界電壓漂移，HCI 引發遷移率衰退與界面破壞，TDDB 則揭露介電的極限壽命；而低溫介電沉積 (尤其是電漿

強化製程) 若控制不當，也容易引入邊界陷阱與固定電荷。除此之外，水氧、離子殘留，以及層間滑移／附著不良等問題，在超薄堆疊中會被成倍放大，形成環境與機械可靠度的隱形風險。

要將這些變數重新拉回可控範圍，關鍵在於把「後驗修補」前移成「先天設計」。也就是在材料成長與界面形成的第一秒，就把可靠度變因納入配方。我們所採取的策略是將 BTI / HCI / TDDB / ESD / 85 °C-85%RH 等加速規範內建為節點的核心指標，並以大樣本 (例如單晶圓十萬顆級的 FET) 取得具統計意義的變異度分佈；同時透過前處理與低損傷 ALD / PEALD 壓低陷阱密度與固定電荷，再以封裝、轉移、量測的一體化流程降低交叉污染與批次擾動。

從實驗觀察可見，只要取向品質與界面工程同時到位， $V_{th}$  的分佈展寬與漂移便會明顯收斂，良率曲線也會出現可重現的穩定肩部，正是製程從試驗階段邁向穩態的訊號。這樣的前移策略，也與多片通道 FET 的整合工序高度呼應：唯有在凹槽蝕刻與選擇性 ALD 金屬／氧化物等核心步驟中維持對 2D 材料的近零損傷，可靠度的底座才立得穩。

## 七、結語：讓學界與業界像凡德瓦異質結一樣「弱耦合、強對準」

凡德瓦異質結構最迷人的地方，在於各層材料可各自最優化生長、保持本徵物性，同時在關鍵界面透過潔淨貼合與精準對準，湧現單一材料做不到的新功能。筆者相信學界與業界的合作也應採用相同的哲學：保留學術探索的自由度與企業量產的規範性，在幾個關鍵接口上實現強而準的對位。

第一層是「品質地圖」：以 SHG、PL、Raman、橢偏、散射計等構成品圓級非破壞量測體系，搭配跨單位可互認的 PASS/FAIL 界線與資料格式，讓不同團隊與產線之間擁有共同語言。第二層是「可移植的製程模組」：將凹槽蝕刻的選擇比與等向性控制、金屬與氧化物的選擇性與可包覆 ALD，以至 PTCDA、 $Sb_2O_3$ 、TMA-soak 等中介層，封裝成可交換、可堆疊的流程積木，確保在不傷 2D 的前提下完成接觸與閘疊層。第三層是「模型與規範」：把 EOT、SS、Dit、遲滯，以及 BTI、HCI、TDDB、ESD 等可靠度參數，內嵌進 PDK 與節點 KPI，讓電路設計端能真實消化二維通道的特性與邊界。第四層是「系統試驗」：由雙方共同定義小而關鍵的應用場景 (例如近記憶體計算陣列、選擇器—記憶共整合、感測前端)，以能耗、面積與頻率的淨增益作為唯一成功指標，並以十萬顆級的大樣本統計驗證變異度是否收斂。

所有這些層級之間以資料與模型的接口連接，像是異質結構中的「轉角控制」：過程中循環控制有如晶向對準，缺陷反向演演與可靠度外推則是細節的微調。只要在這些關鍵界面上做到強對準，兩端便能維持「弱耦合」的創造性空間：學界持續開拓材料與機理的邊界，業界則把風險控管與製程成熟拉到可量產等級。當這樣的「凡德瓦協作堆疊」成形，二維半導體就會以可量產的姿態接棒摩爾定律，並在下一個十年的系統級創新中扮演核心角色。

## 參考文獻

1. Areej Aljarb *et al.*, *Nature Materials*, **19**, 1300 (2020).

## 作者簡介

童俊智先生為美國加州大學洛杉磯分校 (UCLA) 化學與材料博士，現為日本東京大學化學系統工程系教授。

Vincent Tung received his Ph.D. from University of California, Los Angeles (UCLA). He is currently a Professor in the Department of Chemical System Engineering, University of Tokyo.