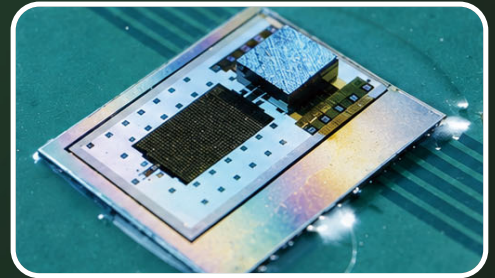
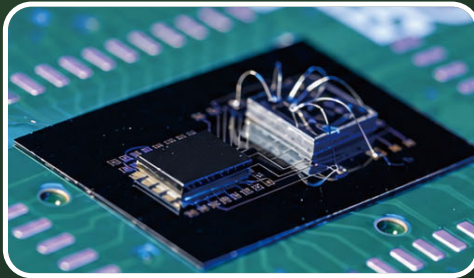
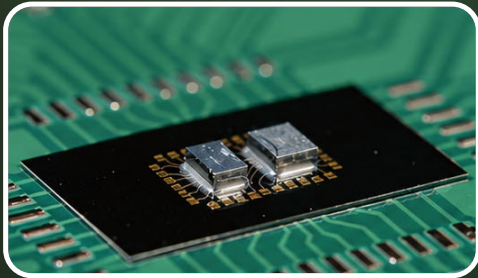
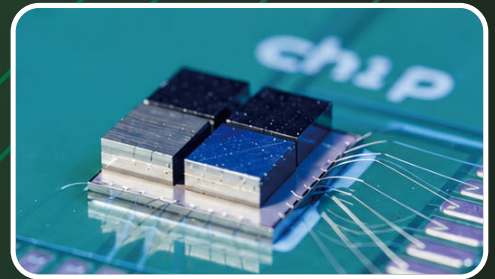
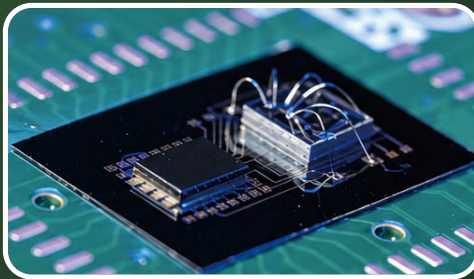
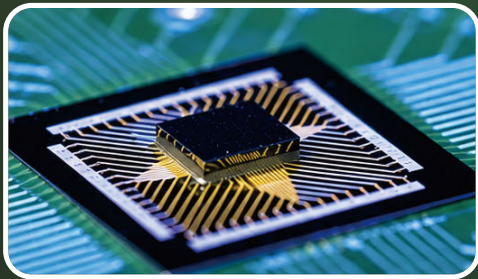


Instruments Today 2026 Q2

科儀新知



3D IC 異質整合先進封裝製程量測與檢測技術

*Process Metrology and Inspection Technologies
for 3D IC Heterogeneous Integration
and Advanced Packaging*

【人物專訪】

國立陽明交通大學
孫元成 副校長

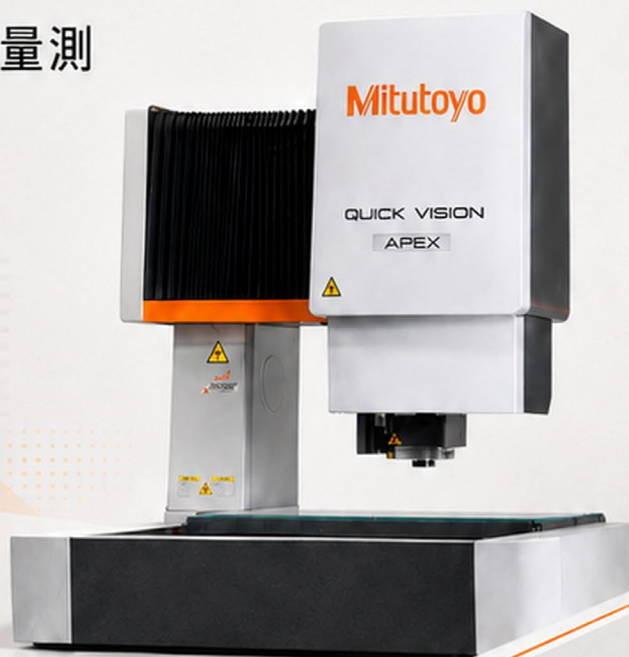
247

ISSN 1019-5440

Mitutoyo

限時回饋促銷

影像量測



形狀量測



三次元量測



詳情請洽台灣三豐儀器各地辦事處

台北營業部 (02)5573-5900

台中辦事處 (04)2338-6822

高雄辦事處 (07)334-6168

台灣三豐儀器官方網站



GMM

均華精密工業股份有限公司 Gallant Micro. Machining Co., Ltd.

(股票代號：6640)

2010

總部成立於土城工業區內

均華以尖端技術引領半導體AI晶片製造領域，特別在先進的CoWoS封裝製程設備上展現出卓越的技術能力。

2018

正式掛牌上櫃(6640)

主力產品設備包括頂尖的精密取放技術之高效能的晶粒挑揀機與黏晶機。藉由先進的精密加工技術實現高加工精度和速度的沖切成型機與自動封膠機，同時在光電整合技術方面，我們的雷射刻印機與光學檢測機為產業界指標性規格。

主要商品/服務項目

半導體先進封裝精密取放設備設計、製造、銷售

自動雷射刻印機、自動沖切成型機設計、製造、銷售

精密模具及機械設備之設計、製造、銷售

半導體先進封裝、異質整合

歡迎各界菁英加入 共創產業未來

★完善的獎勵

年終獎金、員工分紅(視公司年度營運狀況、個人績效表現分發) / 三節禮金 / 生日禮金 / 庫藏股

★完善教育訓練

新進人員基礎訓練(師徒制) / 強化研發技術能量(內部教育訓練課程) / 個人潛能提升課程

★完整的保險福利

勞工保險 / 勞工退休金(新制) / 全民健康保險 / 公司團體保險(壽險、意外傷害險、意外醫療險、住院醫療險、癌症醫療險) / 員工及眷屬保險(提供優惠方案給予眷屬納保)

★休假

全薪病假3天 / 生理假 / 產檢假 / 陪產假

★職工福利

公司及福委會提供結婚禮金、生育禮金、喪葬補助金 / 員工家庭日 / 部門聚餐、歲末尾牙餐會 / 員工健康檢查 / 哺乳室 / 知識分享獎金 / 員工子女獎助學金 / 提供書刊及雜誌借閱 / 國內外旅遊 / 彈性上下班制度 / 社團活動

GMM

236 新北市土城區民生街2-1號
TEL：02-2268-2216 FAX：02-2268-0665

302 新竹縣竹北市台元一街8號7樓之9
TEL：03-5601222 FAX：03-5601292



高科技領導廠商

CONTROL

東捷科技



專注研發核心技術

自動化整廠規劃與製程設備

雷射應用設備

光學檢測設備

物流規劃與設備

真空製程設備

巨量轉移/巨量修補設備

以研發為主的設備製造商
專注於新型雷射應用與雷射微加工技術

擅長LCD製程設備整合整廠自動化

近年將技術應用擴展至 (micro) LED及半導體產業

為國內高科技領導廠商!

完善服務網絡，服務據點在地化
維修保養、定期設備調校、客戶問題即時對應！

WWW.CONTREL.COM.TW

06-5051188(台南總公司) 服務據點:新竹.台中.台南.高雄

關注東捷



TILTdot

無線傾斜計

TILTdot 是一款具備 LTE-M 與 NB-IoT 無線傳輸功能的電子式傾斜儀，提供雙軸角度與溫度量測。採用堅固防水外殼與低功耗設計，搭配 2 顆 18650 鋰電池即可進行長時間量測，並將資料上傳至 dot 雲端監測平台。內建 32 GB Micro SD 卡，可備份超過一百萬筆資料，確保量測資料完整可靠。

- 大樓結構物傾斜監測
- 橋樑墩柱傾斜監測
- 隧道結構傾斜監測
- 邊坡擋土牆傾斜監測
- 地表滑動監測

應用環境：



都市土木新建工程



河川水利工程



橋梁工程



邊坡安全



pALERT F330

一體化力平衡式地震儀

本設備搭載高精度三軸力平衡加速度計，結合地震預警技術，可即時偵測地震波並快速觸發預警機制，有效降低災害衝擊與風險。儀器提供 Pd、PGA 及 STA/LTA 三種觸發邏輯，並內建濾波機制，可有效降低非自然地震噪音干擾，完整記錄高品質地震波形，供進一步分析與事件判釋使用。

- 地震預警系統(EEWS)
- 工業風險管理增強
- 結構健康監測(SHM)
- 生產線地震安全停機機制

應用環境：



住宅建築



工業基礎設施



製造廠

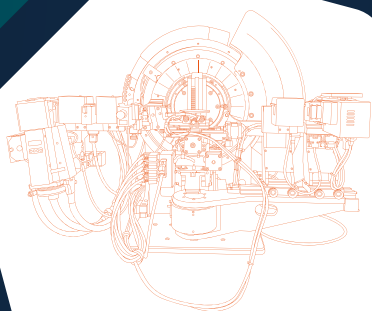


公共設施

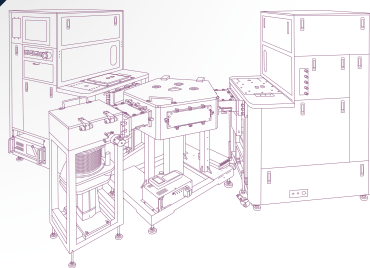




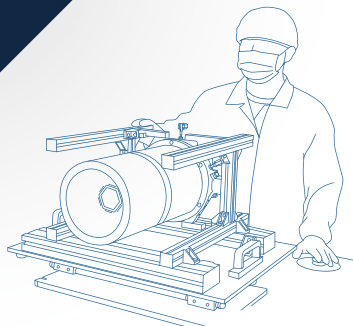
Frontier Technology Dream Incubator



In-plane X-ray Diffraction Analysis
垂直面 X-ray 繞射分析儀



Cluster Atomic Layer Deposition System
叢集式 ALD 製程設備



Meter-scale Optical System
航太級大口徑光學系統



Intelligent Instrument Design & System Integration

智慧儀控設計與整合



Total Solution Service for Optics

光學系統設計、製造與檢測



Advanced Coating Equipment Development

先進鍍膜製程設備開發



Biomedical Optical System

生醫光電系統



<https://www.ncir.niar.org.tw/>



NCIR 國家實驗研究院

國家儀器科技研究中心

National Center for Instrumentation Research

新代科技



TRUSTED • TECHNICAL • SERVICE

智慧領航：AI 驅動新世代製造方案

AI-Driven Solutions for Next-Gen Manufacturing



機器人

SCARA
桁架機器人
關節機器人
協作機器人

工具機

車床
銑床
五軸機
玻璃高光機

機聯網

IOT
MES
QMS
ESG

伺服

主軸馬達
驅動器
直驅馬達
編碼器

自動化

雷射切割
雷射焊接
雷射打標
磨床

AI



新代科技股份有限公司
SYNTEC Technology Co., Ltd.
台灣新竹市東區研發二路25號

☎ 886-3-6663553
☎ 886-3-6663505
✉ sales@syntecclub.com.tw

新代科技(蘇州)有限公司
Suzhou SYNTEC Equipment Co., Ltd.
江蘇省蘇州工業園區春輝路9號

☎ 86-512-69008860
☎ 86-512-65246029
✉ service@syntecclub.com.cn

新代科技



聯達智能



YouTube



LinkedIn



*SYNTEC 保有隨時修改型錄資訊的權利，因印刷錯誤或任何錯誤修訂恕不另行通知。

©2026.05 (PRINTED IN TAIWAN)



中華民國儀器商業同業公會全國聯合會
Taiwan Instruments United Association

全國儀器產業 領航者 攜手共進新紀元

「中華民國儀器商業同業公會全國聯合會」自 107 年成立以來，已成為台灣儀器產業最具代表性的樞紐。我們凝聚了北、中、南共 6 大地方儀器公會的力量，旗下匯流逾 1,200 家企業會員，深耕全台各個角落。

本會致力於搭建同業溝通橋樑，推動國內外貿易拓展，共創產業最大福祉。會員企業專精於理化分析、環境保護、生技食品、工業測量等實驗室設備的研發生產、代理銷售等提供全方位的專業儀器與週邊設備方案，持續為台灣的科技與經濟發展注入強大動能。

目前公會進行項目如下



會員培訓

每月儀器相關線上課程
與新產品技術發表會



編輯發行

儀器採購指南
書籍



參展行銷

亞洲生技展
生技儀器專區

i-ONE 2026

國研盃儀器科技創新獎

NIAR Instrument Technology Innovation Competition

儀器競賽 - 提升儀器製作能力、促進儀器科技發展

儀器創意競賽

中學組 (含高職生)

首獎獎金新台幣 **80,000** 元
二獎獎金新台幣 **40,000** 元
三獎獎金新台幣 **20,000** 元
佳作獎金新台幣 **8,000** 元
入圍獎金新台幣 **2,000** 元

獲獎團隊指導老師頒發感謝狀與獎金 5,000 元

專上組 (含研究生)

首獎獎金新台幣 **100,000** 元
二獎獎金新台幣 **50,000** 元
三獎獎金新台幣 **25,000** 元
佳作獎金新台幣 **10,000** 元
入圍獎金新台幣 **4,000** 元

獲獎團隊指導老師頒發感謝狀

今年增設「中華民國儀器公會全國聯合會特別獎—儀器獨角獸獎」，
鼓勵具備商品化潛力與市場性的作品。

活動網址

<https://i-one.org.tw>



報名截止日期：2026 年 8 月 3 日

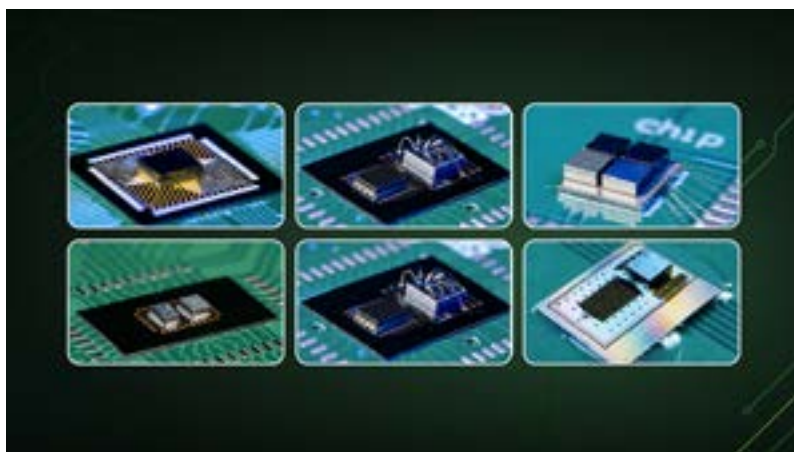
Tel：886-3-5779911 ext.615 魏先生

Email：i-one@niar.org.tw

科儀新知

INSTRUMENTS TODAY 季刊

中華民國 115 年 6 月 30 日出版



封面說明

本期刊封面圖採用台灣半導體研究中心 (TSRI) CoCoB (Chip on Chip on PCB) 異質整合平台之整合範例。CoCoB 平台以 2.5D/3D 先進封裝技術為核心，結合矽中介層、背面矽穿孔 (through-silicon via, TSV)、微凸塊與 PCB 系統整合，支援不同功能晶片於同一封裝架構中進行高密度互連與系統級驗證。相較於傳統單晶片或平面式封裝架構，CoCoB 平台具備小量多樣、彈性整合與實驗驗證友善等特色，可協助學研團隊降低先進封裝導入門檻，加速 AIoT、智慧感測、高速通訊與次世代系統晶片之原型開發。相關成果展現 TSRI 在異質整合封裝、EDA 驗證流程與學研服務平台建置上的完整布局，並突顯 CoCoB 作為連結晶片設計創新與系統實作驗證之關鍵技術平台。

• 發行人：潘正堂

• 客座主編：陳冠能

• 執行編輯：林麗娥、陳柏荔、魏崇倫

• E-mail：ncir-editor@niar.org.tw

• 網址：<https://www.ncir.niar.org.tw/Publication/InstTdy>

• 地址：新竹市科學園區研發六路 20 號

中華民國 68 年元月創刊

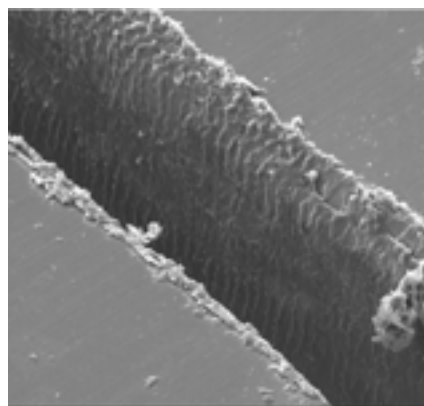
• 電話：(03) 5779911 轉 304, 313

• 傳真：(03) 5789343

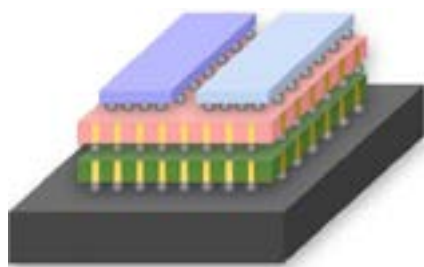
• 設計排版：宇豐廣告實業社

• 電話：(03) 5306633

國家實驗研究院國家儀器科技研究中心出版



37



62

人物專訪

- 4 國立陽明交通大學－孫元成副校長
從氫原子到 3D IC 的創新、傳承與系統微縮之路
林麗娥

3D IC 異質整合先進封裝製程量測與檢測技術

- 9 「3D IC 異質整合先進封裝製程量測與檢測技術」專題介紹
陳冠能

- 11 2.5D/3D 異質整合封裝與 TSRI CoCoB 平台技術
吳伯昌

- 21 從製程演進解析先進封裝所需材料與化學品及其供應鏈角色
陳厚福、杜安邦、吳允中、吳佳鴻

- 32 超快雷射加速 3D IC 先進封裝與異質整合技術
錢俊逸

- 44 異質整合之先進封裝製程參數與檢測量測方法
洪堂欽

- 58 先進封裝失效分析之核心挑戰與整合檢測流程：從系統定位到 TKD 奈米晶體驗證
邱珮如

- 73 先進封裝熱界面材料的發展現況與趨勢
陳俊豪、鄭淑慧

科儀專欄

- 88 超微型電磁強健光纖光學麥克風
劉承揚、力博宏、陳維鈞、黃薇瑄

INSTRUMENTS TODAY

June 2026

People

- 4** Dr. Jack Sun, Senior Vice President of National Yang Ming Chiao Tung University
The Journey from Hydrogen Atoms to 3D IC: Innovation, Legacy and System Scaling

Claire Lin

Special Issue: Process Metrology and Inspection Technologies for 3D IC Heterogeneous Integration and Advanced Packaging

- 9** Special Issue Introduction to “Process Metrology and Inspection Technologies for 3D IC Heterogeneous Integration and Advanced Packaging”

Kuan-Neng Chen

- 11** **Advanced Packaging for Heterogeneous Integration: Applications, Significance, and the TSRI CoCoB Technology Platform**

Po-Chang Wu

- 21** **Analysis of Required Materials, Chemicals, and Supply Chain Roles from the Evolution of Advanced Packaging Processes**

Hou-fu Chen, An-pang Tu, Yun-jung_Wu, Chia-hung Wu

- 32** **Ultrafast Lasers Accelerating the Development of 3DIC Advanced Packaging and Heterogeneous Integration**

Jiunn-Yih Chyan

- 44** **Process Parameters and Inspection/Metrology Methods for Heterogeneous Integration-oriented Advanced Packaging**

Tang-Chin Hung

- 58** **Advanced Packaging Failure Analysis: Core Challenges and Integrated Inspection Workflow from Localization to Nanoscale TKD Verification**

Pei-Ju Chiu

- 73** **Development Status and Trends of Thermal Interface Materials for Advanced Packaging**

Chun-Hao Chen, Shu-Hui Tay

Column

- 88** **Miniaturized Electromagnetic Robust Fiber-optic Microphone**

Cheng-Yang Liu, Po-Hung Li, Wei-Chun Chen, Wei-Hsuan Huang



70



82



國立陽明交通大學

孫元成 副校長

從氫原子到 3D IC 的創新、傳承 與系統微縮之路

The Journey from Hydrogen Atoms to 3D IC: Innovation, Legacy and System Scaling

撰文：林麗娥

隨著 AI 浪潮席捲全球，以及傳統純依賴電晶體微縮的發展模式逐漸面臨功耗、成本與系統整合等挑戰，先進封裝與異質整合技術已成為提升系統效能的重要關鍵，並與先進製程共同構築下一世代半導體發展藍圖。有鑑於此，「3D IC 異質整合先進封裝製程量測與檢測技術」專題，並邀請早在二十多年前便前瞻洞察 3D 封裝與「系統級微縮 (system scaling)」發展趨勢的重要推手—國立陽明交通大學副校長孫元成教授接受專訪。從臺灣大學求學時期的青澀學子，到遠赴美國深造，再到加入 IBM 投入半導體前瞻技術研發，孫副校長累積了

深厚的國際研發經驗。在台積電成立十周年之際返臺加入經營團隊，推動多個關鍵世代製程技術發展，成為帶領臺灣半導體產業邁向世界領先地位的重要推手之一。職涯期間，他帶領研發團隊跨越無數從前瞻技術走向量產的「死亡之谷」，成功將創新構想轉化為產業競爭力。如今，他將豐富的產業歷練帶回高等教育體系，致力於縮短產學落差，建立人才培育與產業發展的良性循環。本篇專訪將帶領讀者深入了解孫副校長的求學歷程、研發管理哲學，以及他對半導體技術發展與半導體人才培育的前瞻觀點與宏觀願景。

站在巨人的肩膀上：恩師的啟發與治學底蘊

回憶起求學歷程，孫副校長表示對他人生與專業影響最深的是兩位半導體界的巨擘：一位「浮閘非揮發性半導體記憶體 (floating-gate non-volatile semiconductor memory, NVSM)」發明人之一的施敏院士；另一位則是「互補式金屬氧化物半導體 (complementary metal oxide semiconductor, CMOS)」技術發明人之一的薩支唐院士。施敏院士任職於美國貝爾實驗室 27 年期間 (1963－1989)，曾五次留職停薪，回臺灣授課。1974－1977 年間，施敏院士第三度回臺灣，於國立臺灣大學任教三年，孫副校長正是在這段期間很幸運的成為施敏院士的門生。上課的教材則是施敏院士於 1967－1969 年所撰寫的《半導體元件物理學》，該書發行後很快受到全球矚目，翻譯成 6 國語言、發行超過 300 萬冊，成為全世界半導體和積體電路領域師生、研究人員進入 IC 領域的經典書籍，成為全球最暢銷的「半導體界聖經」。

施敏院士不僅傳授孫副校長半導體物理知識，更給予他深遠的跨國職涯建議。施老師提醒學生，出國深造不能只顧著埋首課業，還必須深入了解當地語言與文化，甚至要「能聽懂當地的幽默與笑話，並比別人更早掌握其中的笑點」。因為幽默往往蘊含一個社會的文化背景、思維模式與價值觀，能夠理解並自然回應，不僅代表真正融入當地環境，更有助於建立信任感與共同話題，拉近人際距離。在高度全球化的半導體產業中，這種跨文化理解能力往往是促進團隊合作、跨國溝通與文化融合的重要橋樑。而這項能力也成為孫副校長在日後的國際職場中，能與來自不同國家團隊順利協作的重要基礎。

此外，施老師也建議畢業後的第一份工作「不要挑薪水最高的」，而是要選擇一個能真正學習與成長的地方。因為職涯初期最重要的資產不是薪資，而是所累積的技術能力、工作方法、人脈網絡與產業視野；若能在群賢齊聚的環境中接受挑戰與薰陶，未來所創造的價值與發展空間往往遠超過起薪的差異。這份忠告深深影響了孫副校長，也促使他最終加入 IBM，奠定了深厚的研發基礎與國際視野。

孫元成副校長在美國攻讀博士學位期間，師從半導體元件大師薩支唐院士。薩老師不僅傳授專業知識，更讓他深刻體會到嚴謹求實、凡事親力親為的治學精神。在薩老師的實驗室裡，學生不僅要具備理論基礎，更必須擁有紮實的實作能力。孫副校長回憶，當時實驗室曾因雷擊感應而導致電腦設備損壞。雖然閃電未直接擊中設備，但其產生的強大電磁場在電源線與訊號線上感應出高電壓突波，進而損壞電子元件，使實驗室內先進的數位化迷你電腦 (mini computer) 量測及網路系統全面停擺。

面對突如其來的故障，他帶著實驗室同學並未尋求外部支援，而是在老師的指導精神下親自投入維修工作，將 HP 系統的電路板逐一拆卸檢查，仔細找出遭突波損壞的電阻、二極體等元件，再逐一更換修復。經過反覆測試與排除，最終成功讓系統恢復正常運作。

做研究最令人感動的地方之一，莫過於為後人點亮前行的道路

在薩老師的指導下，除了養成極為嚴謹的治學態度，孫副校長也深刻體會到研究不能只停留在現象描述，而必須回到最基本的原子與分子層次探究問題本質。博士研究期間，孫副校長與研究團隊觀察到一個難以解釋的電性異常現象。面對這項發現，薩老師並未急著尋找現成答案，而是鼓勵學生從最根本的物理機制出發，逐步追溯其成因。經過長時間的實驗驗證與理論分析，他們最終發現，造成異常現象的關鍵竟是最輕、也最容易被忽略的元素—氫 (hydrogen)。

研究團隊率先證實，氫原子會與半導體中的受體雜質 (acceptor impurity) 結合，形成所謂的「氫鈍化 (hydrogen passivation)」現象，使原本具有電性活性的受體失去作用，進而改變材料的電性表現。他們進一步透過實驗證明，高能電子所造成的效應與氫原子的移動及鈍化機制密切相關。這項研究不僅解釋了當時觀察到的異常現象，也深化了學界對半導體材料中氫原子行為的理解。

當時，這項研究看似是基礎科學上的突破，不僅有助於當時強化浮閘記憶體的可靠度，更在多年後展現出其他深遠影響。隨著氮化鎵 (GaN) 材料的發展，P 型氮化鎵的製作面臨重大瓶頸。而受到孫副校長與薩老師的團隊早年建立的氫鈍化理論與實驗基礎的啟發，研究人員逐漸發現氫同樣會與 P 型 GaN 摻雜所使用的鎂 (Mg) 形成複合體，導致受體失去活性。這為後續研究人員提供了重要的科學依據與研究方向，啟發了赤崎勇 (Isamu Akasaki)、天野浩 (Hiroshi Amano)、中村修二 (Shuji Nakamura) 三位日本學者成功克服 P 型氮化鎵活化問題，推動藍光 LED 技術走向實用化，進而開啟高效率照明與顯示技術的新時代，並於 2014 年共同獲得諾貝爾物理學獎。對孫副校長而言，自己的基礎研究能夠在多年後成為後人解決關鍵問題的重要拼圖之一，正是科研工作最令人感動的價值所在。

博士畢業後，孫副校長加入 IBM 從事先進 CMOS 製程研發。當時半導體產業正積極朝次微米 (sub-micron) 世代邁進，為了提升元件效能，研究團隊採用重摻雜硼 (boron) 的 P 型多晶矽閘極 (P+ Poly Gate) 技術。然而，在製程微縮過程中卻遭遇了嚴重的「硼穿透 (boron penetration)」問題：硼原子會穿過極薄的閘極氧化層，導致元件特性劣化，使先進製程的開發一度陷入瓶頸。

面對這項挑戰，孫副校長並未只停留在製程參數的調整，而是再次回到薩支唐老師所強調的「基本面思維」，從原子層級重新檢視材料與製程中的物理機制。經過深入分析後，他與團隊發現，氫相關效應在硼穿透問題中扮演了重要角色；透過重新設計製程並有效控制氫對材料系統的影響，率先成功解決了硼穿透現象，協助先進 CMOS 製程技術持續向前推進。

談起這段經歷，孫副校長常笑稱自己與「氫」似乎特別有緣。從博士研究時揭開氫鈍化受體雜質的機制，到 IBM 時期再度面對氫相關效應帶來的技術挑戰，氫原子彷彿一再出現在他的研究生涯之中。然而，這些經歷也讓他更加體會到，真正能夠解決重大技術問題的方法，往往不是停留在表面的現象，而是回到最基本的科學原理，理解問題發生的根源。這正是薩支唐老師留給他最珍貴的研究訓練，也是他受用至今的重要信念。

跨越研發的「死亡之谷」，形塑對事不對人的企業文化

在台積電成立第十年時，孫副校長歸國加入經營團隊，將尖端研發 (R&D) 與工廠製

造端緊密結合。他分享，許多前瞻技術之所以會失敗，是因為走不出從好點子到實際量產的「死亡之谷 (valley of death)」。以 0.25 微米製程的開發為例，當時團隊面臨了巨大的挑戰，主要原因在於缺乏正確的測試載具 (test vehicle) 與系統性的除錯方法，大家只能憑直覺像「撒網」一樣盲目嘗試。為了解決這個困境，孫副校長導入了科學化的專案管理與問題解決 (problem solving) 機制，例如利用「魚骨圖 (fishbone diagram)」帶領團隊釐清問題本質，強調大膽假設與小心求證。在組織管理方面，他也積極塑造「對事不對人」的團隊文化。面對研發、製程整合與生產製造等跨部門合作需求，他強調所有成員必須朝向共同目標努力，並建立明確的權責分工與成果共享機制，讓團隊成員無須擔心功勞歸屬問題，進而降低部門本位主義所造成的摩擦與內耗。透過這些機制，台積電得以在每一代「革自己命」的技術迭代中，不斷挑戰既有技術、完成自我革新，最終將創新技術成功落實於量產製程之中，逐步建立全球半導體製造領導地位。

洞見未來：提倡「系統級微縮」的半導體發展概念

早在約二十年前，孫元成副校長便敏銳地觀察到，隨著電晶體尺寸持續微縮，先進製程中的導線延遲、功耗與訊號傳輸等問題日益嚴峻，單純依循摩爾定律進行單一晶片微縮，終將面臨技術與成本上的瓶頸。基於這樣的前瞻判斷，他在台積電擔任研發主管期間，便積極推動相關布局，於 2006 年率先成立專責後段整合 (backend) 與先進封裝技術的研發團隊，並投入矽中介層 (silicon interposer) 等關鍵技術的開發，為日後異質整合與 3D IC 技術奠定重要基礎。

談及近年來備受矚目的 3D 封裝技術，孫副校長指出，產業界對其發展潛力抱持高度期待，但也出現部分過度簡化甚至誇大的論述。有些產業為了凸顯自身技術的重要性，宣稱「摩爾定律已死，未來完全要靠 3D 封裝」。對此，孫副校長持保留態度。他強調，3D 封裝與異質整合固然是延續系統效能提升的重要途徑，但並不代表晶片本體的微縮已失去價值。相反地，先進封裝與元件微縮應是相輔相成、同步發展的兩條技術路線。

為了解決未來的運算挑戰，孫副校長明確提出了「3D×3D」的架構，這包含兩個必須同時推進的維度。

第一個 3D (元件本體的微縮創新)：指的是元件本體如：電晶體、記憶體等核心元件仍必須持續朝向三維結構發展與微縮，不能因為封裝技術的進步而停止創新。例如近年廣泛應用的 3D NAND 快閃記憶體，以及新世代 DRAM 三維化架構的研發，都是此一方向的重要代表。孫副校長形容，這條技術路線就像挑起整個半導體產業發展重擔的「扁擔」，是支撐運算能力持續提升的根本。

第二個 3D (異質整合封裝)：指的是積極推動異質整合的 3D IC (heterogeneous 3D)，透過先進的封裝技術，將不同功能的晶片 (例如 GPU 與 HBM 高頻寬記憶體) 進行緊密的垂直或高頻寬連結。

孫副校長指出，上述這兩條 3D 路徑必須相輔相成；元件本體的突破能帶動封裝的進步，而封裝的創新又能回頭賦予元件新的應用空間。他將這兩者結合的總體成效命名為「系統級微縮 (system scaling)」，有時也稱之為「超摩爾 (Super More)」。他認為，現在的技術價值取決於整體系統是否能發揮更高的綜合效能與經濟價值。追求系統級微縮的最根本目的，就是要達到「輕薄短小、快、又省電」的完美境界。面對現今 AI 大語言模型、超

級電腦以及動輒耗費龐大電力 (以 GW 計) 的資料中心，單一晶片 (SOC) 已無法應付龐大的算力和數據吞吐量。唯有透過 3D×3D 的系統級微縮，落實「近記憶體運算 (near-memory computing)」，引進矽光子和其他節能、高頻寬、高速信號傳輸技術來搭配傳統銅線傳輸，再加上類人腦的「記憶體內運算(in Memory Computing)」，才能真正解決 AI 時代面臨的算力與高頻寬與高能耗挑戰。

搭建 CCIC 共創平台：培育未來半導體人才正循環

目前身處高教體系的孫副校長，正將其豐沛的產業經驗轉化為教育的養分。面對半導體產業的人才荒，自台積電退休後，於新冠疫情期間受邀擔任國立陽明交通大學創新研究學院創始院長，並將其運作核心定位為「CCIC」：Connect (連結)、Collaborate (合作)、Innovate (創新)、Create (共創)。該平台不僅整合校內資源，更作為與產業界共創的橋樑，甚至提早佈局了關鍵設備與材料自主化的前瞻研究。對於未來的產學發展，他大力提倡建立人才的「正向循環」，鼓勵業界專家來到學校擔任雙聘或兼任教師，將實務的最前線經驗傳承給下一代，這也是企業為了自身長期技術發展必須做出的投資。最後，他勉勵年輕學子與讀者，面對 AI 時代的衝擊，在精進技術底蘊之餘，更要培養跨文化的軟實力、精準界定問題的洞察力以及快速執行的行動力。唯有抱持著「互利共生」的心態，幫助夥伴成功，才能在未來的全球半導體賽局中贏得信任，發揮真正且持久的正向影響力。

「3D IC 異質整合先進封裝製程量測與檢測技術」專題介紹

Special Issue Introduction to “Process Metrology and Inspection Technologies for 3D IC Heterogeneous Integration and Advanced Packaging”

客座主編－陳冠能 博士

國立陽明交通大學國際半導體學院院長

隨著人工智慧 (AI)、高效能運算 (HPC) 與邊緣運算的蓬勃發展，全球半導體產業正處於一個關鍵的轉折點。過去單純依賴電晶體線寬微縮以提升效能的模式，如今已面臨物理極限、功耗攀升與製造成本的嚴峻挑戰。為了突破這些瓶頸，先進封裝與異質整合技術已成為延續摩爾定律、推升系統整體效能的核心路徑。本期《科儀新知》特別規劃「3D IC 異質整合先進封裝製程量測與檢測技術」專題，本人承蒙邀請擔任客座主編，集結產學各界學者專家，從前瞻技術藍圖、設計平台、關鍵材料、加工製程到檢測與失效分析，為讀者帶來全方位的深度解析。以下為本期專題文章的重點精華：

本期特別專訪了國立陽明交通大學孫元成副校長，分享他從早期氫原子鈍化機制研究，到帶領研發團隊跨越技術量產「死亡之谷」的寶貴歷程。孫副校長前瞻性地指出，未來的半導體發展必須仰賴「3D×3D」的系統級微縮 (system scaling) 架構，亦即在元件本體持續微縮的同時，結合異質整合的 3D IC 技術，進一步實現輕薄短小、高速運算與低功耗兼具的最佳效能表現。

打破高門檻的 2.5D/3D 異質整合平台－在學界與新創團隊邁入先進封裝領域時，往往面臨極高的成本與技術門檻。為此，國研院台灣半導體中心 (TSRI)－吳伯昌組長詳細介紹了台灣半導體研究中心所開發的 CoCoB (Chip on Chip on PCB) 異質整合平台。該平台建構於 0.18 μm CMOS 製程之上，並導入 Backside TSV、標準化設計規則與 EDA 驗證流程，為學術界提供了一個可靈活整合數位、類比及感測器等不同功能晶片的實作場域，大幅加速次世代系統原型的開發。

化學材料與供應鏈角色的蛻變－隨著封裝結構立體化，化學材料不再僅是製程耗材，而是決定良率與可靠度的關鍵夥伴。長春人造樹脂廠股份有限公司－陳厚福總經理等人深入剖析了先進封裝製程中的關鍵材料與化學品需求，包含應對高深寬比結構的光阻材料、確保無空洞填銅的電鍍液，以及兼顧高導熱與低應力的封裝樹脂等。文章亦指出，在全球 ESG 永續趨勢下，溶劑的回收純化與低碳材料設計，已成為供應鏈轉型的重要指標。

閉迴路良率管理與先進檢測技術—3D 堆疊製程的層數增加，使得任何單一節點的微小缺陷都可能導致最終產品失效。辛耘企業股份有限公司－洪堂欽協理探討了 3D IC 先進封裝的製程參數與檢測量測方法，詳細說明 TSV 蝕刻、晶圓薄化、暫時性接合與剝離 (TBDB) 等關鍵技術的工程挑戰。更重要的是，文章強調應結合 IR/NIR 隱裂檢測、3D AOI 及 X-ray 等非破壞性檢測技術，建立「製程－量測－資料回饋」的閉迴路機制，以有效攔截缺陷並提升堆疊良率。

跨尺度先進封裝失效分析—先進封裝的高密度互連與多層異質材料堆疊，讓失效機制變得極為複雜隱蔽。閎康科技股份有限公司研發中心－邱珮如專案管理副理系統性地介紹了一套整合型的失效分析流程：首先利用 EMMI 或 OBIRCH 進行電性熱點定位，接著透過 Nano-CT 及超音波掃描 (SAM) 進行非破壞性結構透視，最後搭配精準的離子束剖面 (PFIB) 與微觀物理分析。文章特別強調了透射菊池繞射 (TKD) 奈米晶體驗證技術，其突破了傳統電子背向散射繞射 (EBSD) 的解析度極限，成為驗證次微米混合鍵合 (如奈米晶銅 nc-Cu) 界面品質的決定性工具。

超快雷射驅動的次世代基板革命—面對 kW 級 AI 模組的散熱與頻寬極限，碳化矽 (SiC) 與玻璃基板成為材料革命的焦點。鼎極科技－錢俊逸營運長探討了超快雷射技術在先進封裝中的應用，超快雷射具備「冷燒蝕」特性，能精準在硬脆的 SiC 與玻璃上進行微加工，避免傳統機械加工造成的熱應力與微裂紋。這項技術不僅優化了 GPU/HBM 架構的散熱能力，更推動了玻璃通孔 (TGV) 於光電共封裝 (CPO) 的應用，引領全光電整合的新紀元。

突破 AI 散熱極限的熱界面材料 (TIM)—針對 AI 運算平台極端嚴苛的熱管理需求，國立陽明交通大學國際半導體產業學院－陳俊豪助理教授團隊則回顧了先進封裝熱界面材料的發展現況與趨勢。文章指出，為了降低總熱阻，封裝架構正由傳統的 TIM1/TIM2 雙層設計，逐漸向簡化熱傳路徑的 TIM1.5 架構演進。同時，研究重心也從傳統的高分子導熱膏，轉向具備更高本質熱導率的金屬型 TIM (如低熔點鉍錫合金、鎳基液態金屬與鈹預成型片)，並探討了介金屬化合物 (IMC) 生成對界面熱阻與長期可靠度的深遠影響。

本期專題從宏觀的系統架構到微觀的原子級分析，涵蓋了 3D IC 先進封裝生態系的各個重要環節。期待透過這些專業深入的探討，能為產學研各界的讀者帶來啟發，共同迎接半導體技術的無限可能。

2.5D/3D 異質整合封裝與 TSRI CoCoB 平台技術

Advanced Packaging for Heterogeneous Integration: Applications, Significance, and the TSRI CoCoB Technology Platform

吳伯昌

Po-Chang Wu

當摩爾定律逐步逼近極限，半導體產業的未來正陷入十字路口。從單一晶片的極致演算走向異質整合的多維創新，成為突破限制的關鍵之路。先進封裝技術讓來自不同製程節點、不同功能定位的晶片 (chipselets) 得以在一個封裝中攜手合作，不僅拉抬效能，更為成本控管帶來全新選項。本文深入探討台灣半導體研究中心 (TSRI) 打造的 CoCoB (Chip on Chip on PCB) 異質整合平台，如何以技術開放性與實驗友善性，成為學術界與新創團隊的橋梁與後盾。內容涵蓋 T18 Backside TSV 製程、設計規則、EDA 驗證流程，以及此平台如何解決先進封裝高門檻問題，加速 AIoT 前瞻晶片模組的誕生與驗證。

The rapid expansion of AI/HPC and edge computing is driving semiconductor development beyond traditional monolithic SoC scaling. Advanced packaging and heterogeneous integration (HI) have emerged as key enablers for improving system-level performance, bandwidth, and energy efficiency through chiplet-based system-in-package (SiP) architectures. This report introduces the TSRI CoCoB (Chip-on-Chip-on-PCB) platform, a research-oriented 2.5D/3D integration solution that adopts die-level fine-pitch interconnects and a TSV-based silicon interposer to support scalable chip stacking and board-level integration. The CoCoB platform provides standardized design rules and an EDA-supported verification flow, enabling reproducible prototyping and electrical evaluation of heterogeneous systems. By lowering the barrier to advanced packaging, CoCoB plays an important role in accelerating academic research and bridging IC innovation to system-level validation.

一、先進封裝技術的應用與重要性

1.1 異質整合的興起背景

在長期依賴製程微縮的道路上，半導體產業迎來了物理瓶頸與成本爆炸的雙重壓力。當 7 nm、5 nm 甚至更先進節點面臨光罩物理限制與製造資本門檻的挑戰，延續摩爾定律不再

只是技術課題，更是經濟挑戰。異質整合因此不再是選項，而是新時代的主軸。異質整合的核心精神，在於讓不同領域 (如 Logic、Memory、RF、MEMS 等) 專精的元件各司其職，彼此協同，以組合方式建構系統封裝 (system in package, SiP)，實現超越單一晶片的功耗、效能與面積 (power, performance, and area, PPA) 最優解。這不只是封裝技術的升級，更是系統設計哲學的根本轉變：不再追求單點極致，而是擁抱多元協作的整體躍升。

1.2 市場驅動力與趨勢

AI 與高效能運算 (high-performance computing, HPC) 正以前所未有的速度改變世界，也同時強烈牽引先進封裝的需求。Gartner 預測 (圖 1) 指出，全球 AI 半導體營收將從 2023 年的 537 億美元，飆升至 2028 年的 1,975 億美元，年複合成長率高達 29.7%。這不只是增長，而是一場產業級的躍遷。在這股洪流下，先進封裝技術的角色從「可選項」變成「必要條件」。預計到了 2025 年，先進封裝將超越傳統封裝市場規模，正式成為主流。而像 NVIDIA 的 H100 GPU、AMD 的 MI300 系列早已導入 Chiplet 架構與 CoWoS 等封裝技術，實現高速 HBM 記憶體與運算核心的深度整合 (圖 2)。未來已經來到，封裝已不只是封裝，而是效能決勝的主戰場。

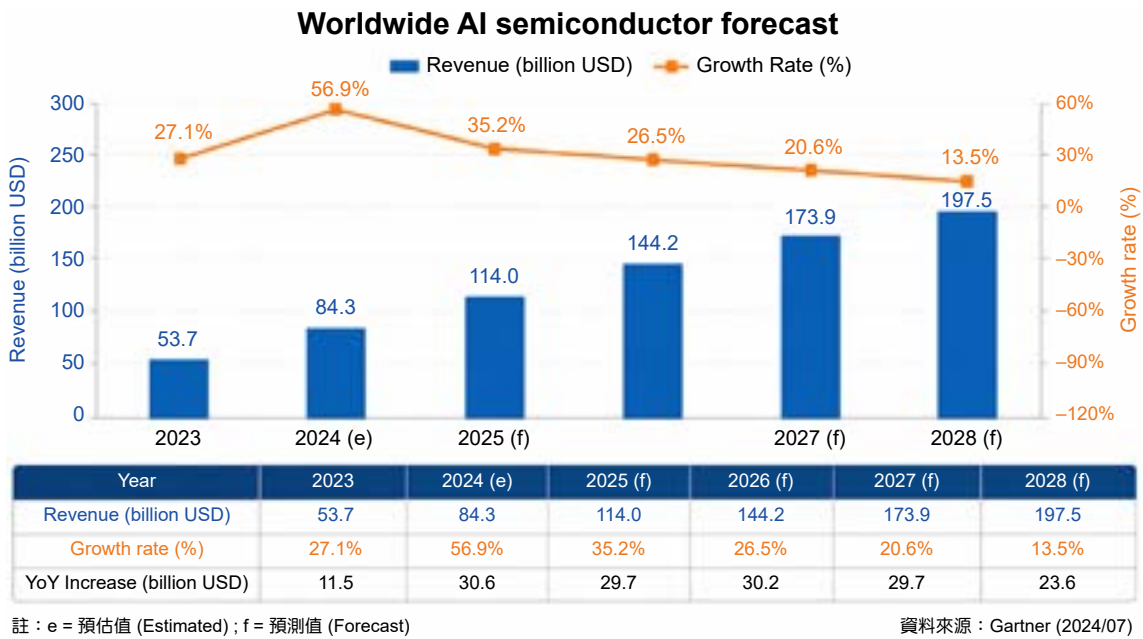


圖 1. 全球 AI 半導體營收規模預估圖 (Source: Gartner, 2024, July, Worldwide AI semiconductor forecast)。

1.3 2.5D/3D 封裝架構解析

在先進封裝架構中，「矽中介層」的角色宛如舞台上的導演，掌握整體互連節奏。它不僅銜接基板與晶片，更透過矽穿孔 (through-silicon via, TSV) 實現垂直連結，並結合重分佈層 (redistribution layer, RDL) 建立密集橫向通道。2.5D 封裝選擇以中介層並排配置多晶片，以高密度 RDL 與 TSV 串聯訊號，達成高速低延遲的橫向整合；而 3D 封裝則採取垂直堆疊，透過 TSV 或 Cu-Cu 接合創造最短訊號路徑與高整合密度。若說 Wire Bonding 是過去的

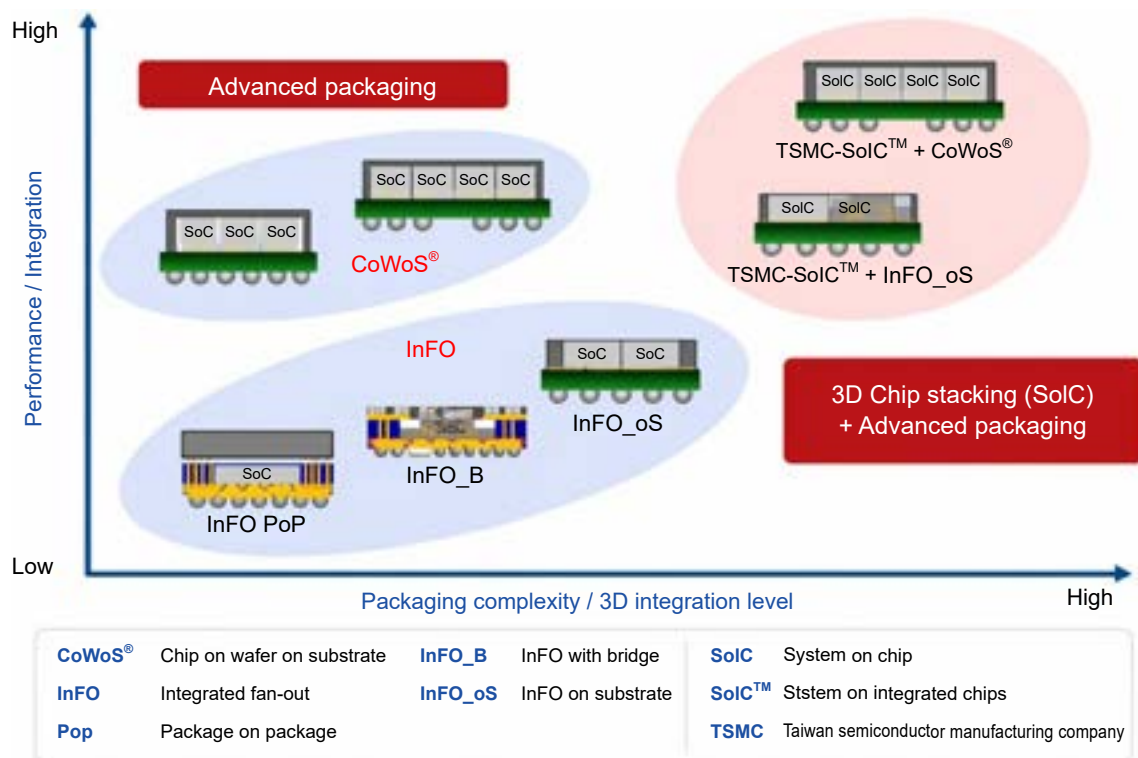


圖 2. 先進封裝技術演進圖 (Source: Taiwan Semiconductor Manufacturing Company, Advanced packaging and 3D chip stacking technologies)。

手工縫線，那 TSV 就是現代的 3D 電梯，快速直達每一層晶片核心。矽中介層憑藉與晶片相近的熱膨脹係數 (coefficient of thermal expansion, CTE)，在高功率密度下展現絕佳散熱與穩定性。它不只是技術部件，更是讓整個異質整合成為現實的支柱。

二、TSRI CoCoB 技術詳解

當新創與學界在先進封裝領域邁出第一步時，往往卡在「做不到」的門檻前——無法取得整片晶圓、無法負擔高額製程、也無法接軌業界資源。TSRI 為此打造了 CoCoB (Chip on Chip on PCB) 平台，替實驗室開了一扇窗，讓先進封裝不再只是理論與模擬，而能真正動手落地。這個平台建構在 TSMC 0.18 μm CMOS 製程之上，採用主動式中介層 (active interposer) 與背面矽穿孔 (backside TSV) 技術，為學術界量身打造一個能驗證、能疊堆、也能突破的整合場域。

2.1 CoCoB 架構總覽

CoCoB 平台的結構設計由下而上分為三層：PCB、Interposer 與 Top Chip (圖 3)。

1. Top chip：採用覆晶 (flip chip) 方式，透過金球 (gold stud) 與中介層連接。
2. Interposer：採用 T18 backside TSV 技術，具備電路設計能力 (active interposer)，可整合類比、數位電路或測試電路。
3. PCB：中介層透過 C4 Bump 與 PCB 連接，進行訊號扇出 (fan-out) 與系統整合。

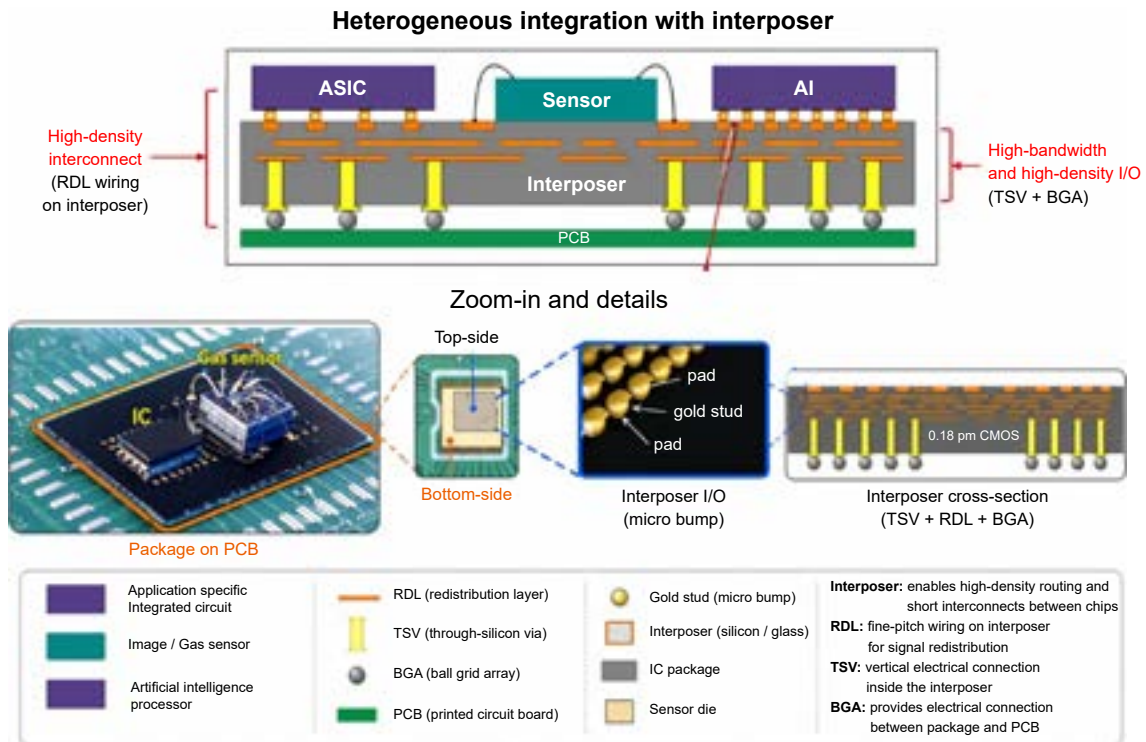


圖 3. CoCoB 架構總覽。

2.2 T18 Backside TSV 製程技術

TSRI 所開發的 backside TSV，是一套細膩而精密的工藝流程，在完成 0.18 μm CMOS 製程後，透過一連串後段製程，讓矽晶圓的背面也能成為連接世界的通道 (圖 4)：

1. 暫時接合 (temporary bond)：將完成 CMOS 製程的晶圓正面與玻璃載具 (glass carrier) 暫時接合，以利後續背面加工。
2. 晶背研磨 (grinding & CMP)：從晶圓背面進行研磨與化學機械平坦化 (chemical-mechanical polishing, CMP)，將矽基板薄化至約 50 μm 。
3. TSV 蝕刻 (TSV Si etching)：利用黃光微影與蝕刻技術，從晶背定義出 TSV 的位置並蝕刻矽基板，形成深孔。
4. 絕緣層沉積 (oxide deposition)：沉積絕緣層以隔離矽基板與後續填入的金屬。
5. 金屬填充 (Cu plating)：沉積 Ti/Cu 種子層後，進行電鍍銅 (Cu plating) 以填滿 TSV 孔洞，形成導電通道。
6. 與正面金屬連接：TSV 直接穿過矽基板，Landing 在正面的 BEOL metal layer (M1) 上，實現上下層電性導通。
7. 背金屬與凸塊製作 (RDL & bumping)：在晶背製作重分佈層與凸塊下金屬層 (under bump metallurgy, UBM)，最後植上錫球 (Sn bump/C4 bump)。

2.3 晶片堆疊與互連規範 (design rules)

要在多層晶片之間建立穩定聯繫，就必須遵守一套細膩的設計規則。這些規則不僅是製程上的限制，更是確保良率、效能與穩定度的工程守則。

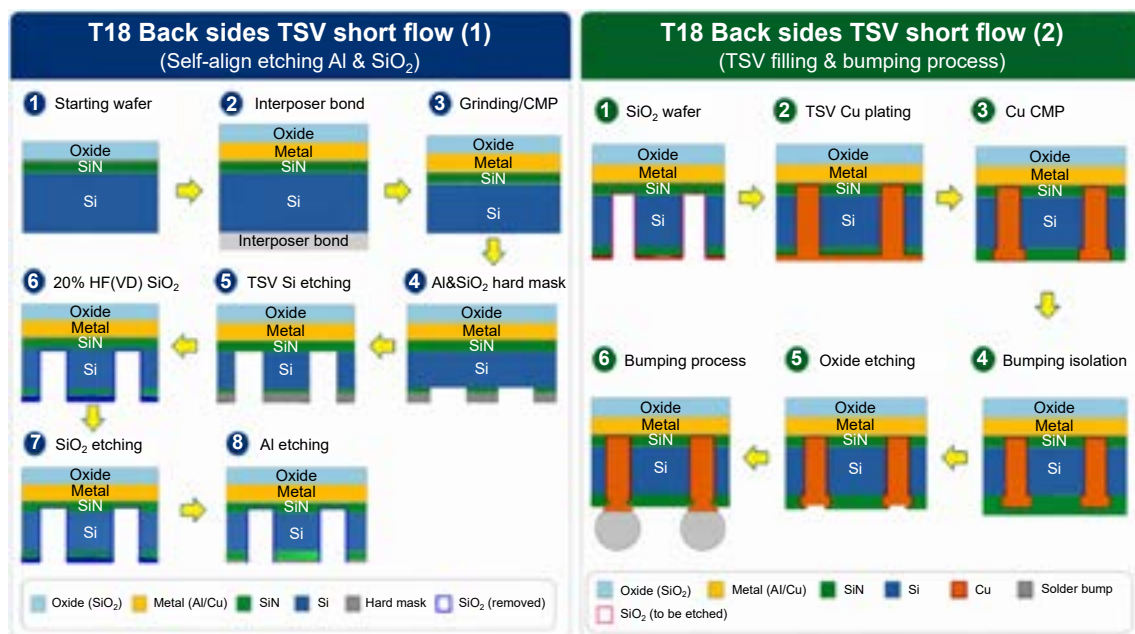


圖 4. T18 Backside TSV 製程技術。

2.3.1 TSV 設計規則

TSV 的尺寸與間距直接影響互連密度與機械強度：

- 最小 TSV 寬度 (width)：40 μm 。
- 最小 TSV 間距 (space)：197 μm 。
- TSV Pitch：必須大於等於 237 μm 。
- 金屬包覆 (enclosure)：M1 對 TSV 的包覆需至少 20 μm ；光阻保護氧化物 (resist protection oxide, RPO) 對 TSV 的包覆亦需至少 20 μm 。這主要是為了避免製程誤差導致連接失敗或漏電。
- 佈局建議：TSV 形狀建議畫 64 邊形以接近圓形，減少角應力 (corner stress)。TSV 應均勻分佈或在空曠區增加 dummy bump，以確保晶片與 PCB 對接時受力均勻，避免翹曲斷裂。

2.3.2 Top Chip 結合規範

針對上層晶片與中介層的互連，TSRI 採用晶片級植金球 (die-level gold stud) 技術，特別適合學術界的小量多樣需求。

- Pad 尺寸：最小 Bond Pad 尺寸為 30 $\mu\text{m} \times 30 \mu\text{m}$ 。
- Pad 間距：最小 Pad to Pad 間距為 20 μm ，若小於此距離會因覆晶對位誤差 (mis-alignment) 導致良率下降。
- Pitch：最小 Bond Pad Pitch 為 50 μm 。這是相當高密度的互連能力，遠優於傳統打線。
- 對位標記 (alignment mark)：為提高覆晶對接良率，需在 top chip 與 interposer 的四個角落放置對位標記 (十字或 L 形)，且兩者需互為鏡像 (mirror) 設計。

2.3.3 PCB 佈局規範

Interposer 最終需結合至 PCB 上，因此 PCB 的設計亦受限制：

- TSV Pitch > 237 μm 時：PCB 線寬／線距最小為 4 mils (~102 μm)。PCB Pad 尺寸建議為 135 μm × 135 μm 。
- TSV Pitch = 237 μm (極限制程)：PCB 線寬／線距需縮小至 3 mils (76.2 μm)。此時需與板廠密切合作，確保防焊綠漆 (solder mask) 能有效隔絕 Pad，避免短路。
- 關鍵限制：TSV 不能直接設計在 PCB 的鑽孔上，以避免結構脆弱。

2.4 CoCoB 整合方案

CoCoB 的設計，不是一體成形的封閉架構，而是一個能靈活整合不同晶片、不同互連方式的多功能平台：

1. Flip Chip on Interposer：利用 50 μm Pitch 的微凸塊 (micro-bump) 將 ASIC 倒裝於中介層上。
2. Wire Bond Integration：對於感測器 (sensor) 等不適合覆晶的元件，可將其黏貼於中介層並透過打線 (wire bond) 連接。晶片邊緣至 Interposer Pad 的距離需大於 650 μm 以容納打線鋼嘴。
3. 多晶片整合：支援大於等於 2 顆晶片的整合，晶片間距需大於 300 μm 。

這是一個能兼容多種封裝風格與創意設計的彈性平台，更是學術界與創新團隊實現「拼圖式」異質整合的起點。

三、EDA 設計流程與驗證

在異質整合中，製程技術固然關鍵，但若沒有精準可行的 EDA 驗證流程，所有的堆疊與互連都可能成為空中樓閣。CoCoB 平台不只是提供封裝資源，更建構了一套完整的電子設計自動化流程，讓設計者能從電路設計一路走到系統驗證，真正落實從概念到實作的每一步。這不再是單層晶片的邏輯世界，而是多層互聯、跨層堆疊的挑戰。CoCoB 所建構的 EDA 流程 (圖 5)，正是為了應對這樣的堆疊複雜性而生。

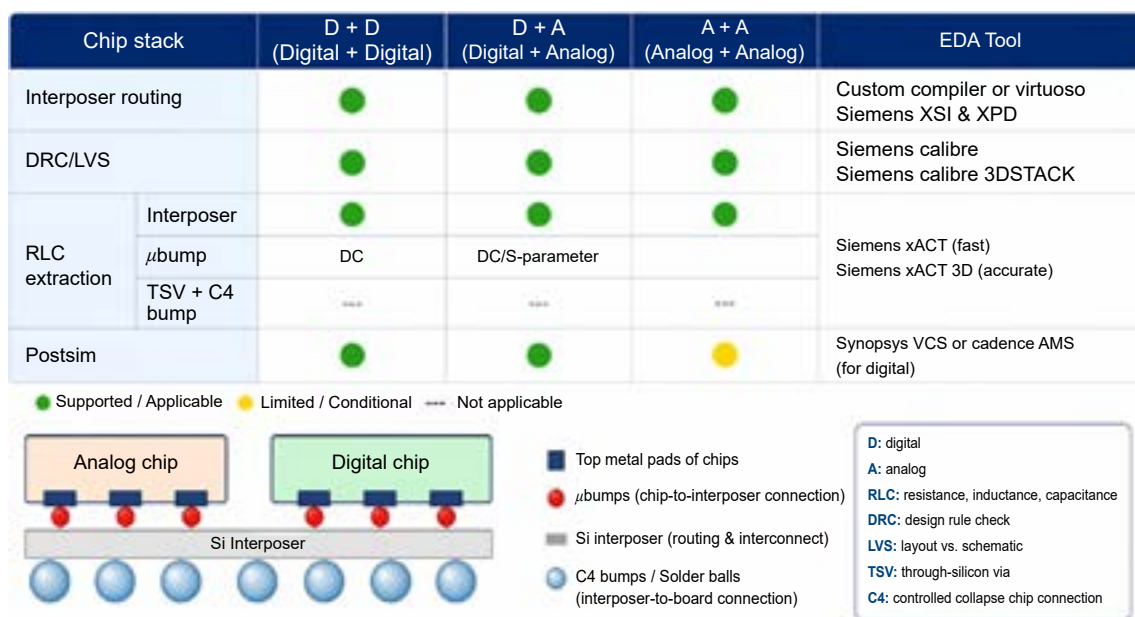


圖 5. CoCoB EDA 驗證環境支援。

3.1 設計流程概觀

設計流程從熟悉的 Schematic 設計與 Layout 出發，進而進行 Physical Verification、RC Extraction 與 Post-layout Simulation。不同於傳統設計，CoCoB 需要處理的是真正的「立體設計」——不僅平面接點要對，連上下晶片之間的導通關係也要絕對正確。這裡沒有任何「錯一點也沒關係」的餘地，因為在異質整合中每個接點都可能是整個系統的斷點。

3.2 堆疊規劃 (Stack Planning)

設計者需使用 Siemens XSI 與 XPD 等 2.5D/3D CAD 工具，為整個堆疊架構定義明確的結構與訊號走向。

1. GDS 轉換：將晶片的 Pad 與中介層的 Bump 資訊從 GDS 轉換為封裝網表 (package netlist)。
2. 視覺化規劃：在工具中進行 Stack Plan，定義晶片的相對位置、旋轉角度，並進行視覺化的飛線 (flyline) 連接檢查，確認訊號連接正確。
3. Sketch Routing：利用工具進行半自動的路徑佈線規劃。

這些步驟不只是畫圖，而是實實在在地「構築」一個三維訊號生態系。

3.3 3D DRC/LVS 驗證

這是驗證流程中最具挑戰性也最具價值的關鍵步驟。傳統的 DRC 與 LVS 檢查針對單一層晶片，而在 CoCoB 平台上，我們要進行的是「跨層」的完整驗證，使用 Calibre 3DSTACK 工具進行全系統的結構與邏輯比對。

- 系統級 LVS：驗證從 Top Chip 經過 Interposer 到 PCB 的完整連線關係 (connectivity)。設計者需撰寫 Source Netlist，定義各層晶片與中介層的連接。
- 系統級 DRC：檢查晶片間的堆疊規則，例如 Die-to-Die 的間距、Pad 與 TSV 的重疊面積是否足夠等。例如，檢查 Controller Pad 與 TSV 的距離是否小於規範值 (如 80 μm)，若違反則會產生 “Spacing violation”。
- Assembly 描述：需撰寫各層的定義檔，指定 GDS 路徑、層別資訊 (layer info) 以及堆疊順序 (stack sequence)。

在這裡，沒有任何一個 Pad 可以含糊，因為所有錯誤都會被立體揭露。

3.4 寄生參數萃取 (RC Extraction)

為了使整個系統在訊號完整性 (SI) 與電源完整性 (PI) 上達到量化預測，設計者需進行中介層與 TSV 的寄生效應建模，這是通往高可靠設計的最後一關。

- 工具：使用 Siemens XACT (快速) 或 xACT 3D (高精確度 field solver)。
- MIPT 檔：定義製程參數 (如介電常數、金屬厚度、TSV 幾何形狀)。例如，定義 TSV 的高度為 50 μm 、絕緣層厚度、導電率等。
- 模型：TSV 與 C4 Bump 會被萃取為包含電阻 (R)、電容 (C) 與基板耦合效應的等效電路模型，供後續模擬使用。

這些寄生參數並非次要雜訊，而是未來晶片能否穩定運行的核心因子。

四、學術應用與戰略重要性

4.1 學研應用中的角色與重要性

在學術與創新研發的世界裡，最常出現的不是技術問題，而是「驗證不易」的困境。許多創意、架構與設計雖具突破性，卻止步於模擬層級，難以真正走入硬體實作。封裝成本高、流程複雜、資源稀缺，讓學研團隊只能看著封裝門檻心中長嘆。而 CoCoB 的出現，正是在這個斷層處，填上了一塊關鍵拼圖。

- 它大幅降低進入門檻：即便沒有晶圓級資源，也能打造具代表性的 2.5D/3D 原型。
- 它加速驗證週期：提供從電路設計、封裝配置到系統導通的全流程環境。
- 它培育跨域人才：設計者不再僅是 IC 工程師，也將是懂 EDA、懂封裝、懂系統整合的多工實作者。
- 它搭建產學橋梁：讓過去只能發表的研究，真正轉化為商品化的系統技術。

特別是在先進製程成本高漲的今天——像是 7 nm 製程每平方毫米成本是 0.18 μm 製程的 86 倍——學術界已難以承擔高價的 CoWoS 封裝。CoCoB 藉由成熟製程打造 Active Interposer，成為成本、技術、驗證三方平衡的解方。

4.2 實際應用案例

為了驗證這套封裝技術在真實世界的可行性與擴展性，TSRI 以 CoCoB 平台為基礎，成功整合自行研發與學研界合作開發之多種不同製程、不同功能、不同訊號特性的晶片，建構出多款異質整合模組 (圖 6)。這六項晶片與模組相關的成果，內容涵蓋資料轉換、感測讀取、高頻通訊、AI 應用所需多輸出／輸入先進封裝以及高頻波導天線等方向，顯示整體技術從電路設計、系統整合到封裝驗證都有完整布局。

1. 低功耗逐次逼近暫存器類比數位轉換器

這一項是低功耗的 SAR ADC，主要功能是把感測到的類比訊號轉換成數位訊號。它的優點是功耗低、架構相對簡單，很適合用在穿戴式裝置、物聯網感測器或攜帶式醫療設備。

2. 氣體感測器溫控讀取模組

這一項是氣體感測器的溫控與讀取模組。因為很多氣體感測器對溫度很敏感，所以需要穩定的溫控與讀取電路，才能提升量測準確度。未來可應用在空氣品質監測、工業安全偵測與智慧環境感測。

3. 4×400 顆微凸塊覆晶驗證

這一項重點在先進封裝技術，也就是利用大量微凸塊進行覆晶連接驗證。這種技術可以提高晶片間的連接密度與傳輸效能，對高效能運算晶片、AI 晶片與高速通訊模組都非常重要。

4. 高解析數位／類比轉換器與類比／數位轉換器

這部分是高解析度的 DAC 與 ADC，代表系統具備高精度訊號轉換能力。這類技術通常可應用在精密儀器、醫療設備、感測系統與高品質音訊系統中，對訊號品質要求很高的場合特別重要。

5. 第六代通訊高頻訊號收發器

這一項是用於第六代通訊的高頻收發器，主要目的是支援未來更高速、低延遲的無線傳輸需求。這類技術未來可應用在 6G 通訊、衛星通訊，以及高頻寬的無線連結系統。

6. 高頻波導晶片

最後這項是高頻波導晶片，主要是用來傳輸高頻訊號，降低傳輸損耗並提升頻寬表現。這在高速通訊、雷達系統、光電整合或資料中心互連等領域都有很大的應用潛力。

整體來看，這些成果可以分成三個方向：第一是低功耗與高精度訊號轉換，第二是感測系統整合，第三是高頻通訊與先進封裝技術。這也反映出研究不只是單一元件開發，而是朝向未來智慧感測、高速通訊與高效能晶片系統整合發展。

這些實績證明了 CoCoB 不只是技術載體，更是一通往「次世代系統原型開發」的基地，為未來的晶片革命提供關鍵助力。

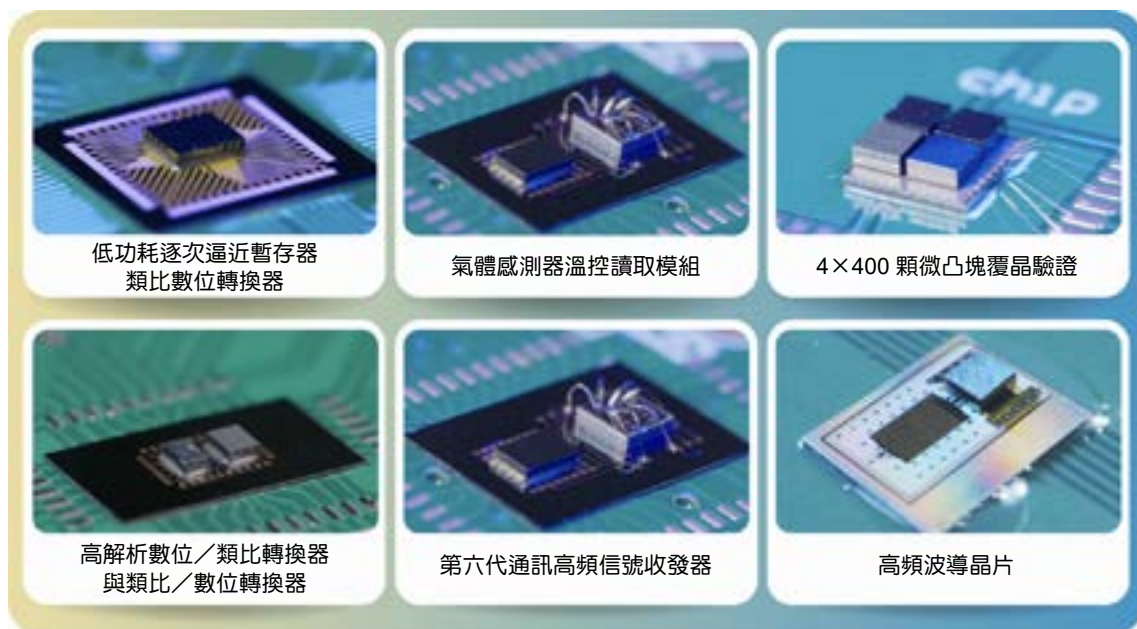


圖 6. CoCoB 整合範例。

4.3 未來展望

目前，CoCoB 平台已進入開發驗證的收尾階段，預計在 2026 年第一季正式對學術界開放。這不僅是技術節點的更新，更是整個台灣學研體系邁向 3D IC 與異質整合的重大里程碑。透過標準化設計規則與自動化 EDA 流程的完善支援，研究人員將能從封裝技術的繁雜解脫，真正專注在架構創新與應用開發上。未來，這裡將不只是人才培育場域，更是新創系統構想落地的搖籃。AI 晶片、矽光子、生醫感測——每一項前瞻應用，或許都會在 CoCoB 的架構中誕生雛形。對於台灣半導體產業而言，這不只是一項平台建設，而是一場策略性的投資。當下一個世界級的突破正等著從實驗室啟程，CoCoB 就是那個能讓夢落地的地方。

作者簡介

吳伯昌先生為國立成功大學電機研究所博士，現為台灣半導體研究中心異質整合晶片組組長。

Po-Chang Wu received his Ph.D. in Electrical Engineering from National Cheng Kung University. He is currently an Department Director in the Heterogeneous Integration Department at Taiwan Semiconductor Research Institute.

從製程演進解析先進封裝所需材料與化學品及其供應鏈角色

Analysis of Required Materials, Chemicals, and Supply Chain Roles from the Evolution of Advanced Packaging Processes

陳厚福、杜安邦、吳允中、吳佳鴻

Hou-fu Chen, An-pang Tu, Yun-jung Wu, Chia-hung Wu

隨著半導體先進製程微縮成本快速提升，先進封裝與異質整合已成為延續系統效能提升的重要技術方向。本文從 3D IC 與異質整合封裝技術的發展架構出發，探討 2.5D IC、TSV-based 3D IC、fan-out packaging 與 hybrid bonding 等主流技術之製程特性與工程挑戰，並進一步分析光阻材料、濕式化學品、銅電鍍液、封裝樹脂及散熱材料等關鍵化學材料於先進封裝製程中的角色與需求。亦針對高密度互連、熱管理、材料相容性、界面可靠度及 ESG 永續趨勢等議題進行討論，說明化學材料供應商如何由傳統原料供應角色，逐步轉變為先進封裝製程整合中的重要技術合作夥伴。

As the scaling cost of advanced semiconductor nodes continues to rise, advanced packaging and heterogeneous integration have become key technologies for sustaining system performance improvement. This article reviews the development of major advanced packaging architectures, including 2.5D IC, TSV-based 3D IC, fan-out packaging, and hybrid bonding, together with their associated process characteristics and engineering challenges. The roles and requirements of critical chemical materials used in advanced packaging processes-such as photoresists, wet chemicals, copper electroplating solutions, packaging resins, and thermal management materials-are also discussed. In addition, issues related to high-density interconnection, thermal management, material compatibility, interface reliability, and ESG sustainability trends are examined. The study further highlights how chemical material suppliers are evolving from conventional raw material providers into essential technical partners in advanced packaging process integration.

一、前言

當前半導體產業正處於一個明顯的轉折點。隨著先進邏輯製程節點的微縮成本快速攀升，單純依賴晶體元件尺寸縮小，已難以在效能、功耗與成本之間取得平衡。在此背景下，

先進封裝與異質整合 (heterogeneous integration) 被視為延續系統效能成長的核心技術路徑。

與傳統封裝不同，先進封裝已不再僅是後段製程的延伸，而是直接參與整體系統架構的設計。從晶片之間的互連距離、I/O 密度、電源完整性與散熱路徑，皆需仰賴封裝技術來實現。此技術的轉變，使封裝製程中使用的材料與化學品扮演的角色產生根本性改變。原本僅被視為「製程耗材」的光阻、顯影液、濕製程化學品與封裝樹脂等，逐漸轉變成會影響製程可行性、良率穩定度與量產能力的關鍵要素。

長春集團為國內第二大石化集團，目前已有多項化學材料與濕式化學品供應於先進封裝與異質整合領域，藉由與客戶間的合作與溝通，深知該領域所需的材料需求變化，並持續投入研發以應對不斷提升的特性需求。因此在以下的文章，我們將先彙整眾多文獻中所提及的先進封裝及異質整合相關技術演進，並以本公司位處化學品供應鏈的角度，解析 3D IC 與異質整合先進封裝製程的技術脈絡、材料特性需求及材料供應商可扮演的角色進行介紹。

二、3D IC 與異質整合封裝的技術輪廓

3D IC 的核心精神在於透過垂直堆疊方式，將多顆晶片或多層晶圓整合於單一封裝中，並藉由矽穿孔 (through-silicon via, TSV)、微凸塊 (micro-bump) 或混合鍵合 (hybrid bonding) 等方式完成垂直互連^(1,2)。相較之下，2.5D IC 則是透過矽中介層 (silicon interposer) 或有機中介層 (organic interposer)，將多顆晶片以橫向方式整合，再由中介層提供高密度互連。(參考圖 1)

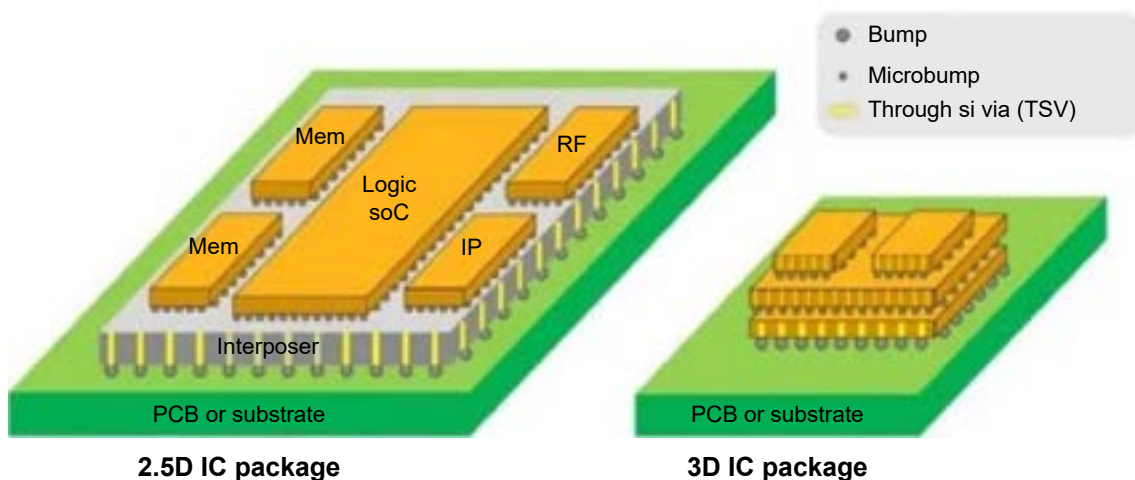


圖 1. 2.5D IC Package：使用矽轉接板 (silicon interposer) 將多個晶片 (如邏輯 SoC 和記憶體 mem) 水平並排放置，透過矽穿孔 (TSV) 連接到下方基板；3D IC Package：將晶片垂直堆疊，晶片之間使用微凸塊 (microbump) 連接，實現最短的互連長度。(圖片來源：A7893)

而異質整合進一步擴展此概念，將不同製程節點、不同功能的晶片 (如邏輯、記憶體、ASIC、射頻與功率元件) 整合於同一封裝中，使系統設計不再受限於單一製程平台。下表 1 提供目前發展中的先進封裝架構及種類整理。

表 1. 先進封裝架構及種類^(6,7)。

架構類型	說明	特點
2.5D IC (interposer-based)	• 使用矽中介層 (silicon interposer) 或有機中介層 • 晶片橫向排列，透過微凸塊 (micro-bump) 連接	• 製程成熟度高，良率佳 • TSV 多存在於 interposer 中
TSV-based 3D IC (through-silicon via)	• 利用穿矽通孔 (TSV) 作為垂直電性連接 • 晶片可為： • die-to-die • die-to-wafer • wafer-to-wafer	• 高頻寬、低延遲 • 製程複雜、成本高
Fan-out 3D / Panel-level packaging	• 以 RDL (redistribution layer) 為核心 • 不需傳統基板	• 成本較低 • 適合高 I/O 與高產量產品
Hybrid bonding 3D IC	• 利用 Cu-Cu + dielectric bonding • 無微凸塊 (bumpless)	極高互連密度 未來先進製程主流

三、封裝架構發展趨勢與工程挑戰

目前在 AI、高效能運算 (HPC) 與高速通訊需求快速成長下，3D IC 與異質整合已逐漸成為提升系統效能與頻寬密度的核心技術方向，而在先進封裝架構的發展趨勢主要依循以下幾項原則：

1. 高密度與小型化：隨著 IC 封裝技術的進步，3D 與 2.5D 封裝逐漸成為主流趨勢，可實現更薄、更短的電子結構設計，提升封裝密度並縮小系統尺寸。而 Pitch 的持續縮小，使得製程中對於高解析度光阻、厚膜圖形穩定性與精密顯影控制的需求同步上升。^(3,4)
2. 異質整合與功能擴展：透過異質整合的技術發展，可允許不同功能晶片在最適製程節點下製造，再透過先進封裝整合為單一系統。而此一趨勢帶來的挑戰在於不同材料間的熱膨脹係數 (CTE) 差異，使封裝材料、底部填充劑 (underfill) 與感光介電材料的設計，成為影響系統可靠性的關鍵。⁽⁵⁾
3. 熱管理挑戰：由於高度集成的封裝使單位面積發熱量顯著提升，對於材料的高導熱性、低熱阻與長期熱穩定性提出更高的要求。因此散熱材料、導熱填料與高導熱封裝樹脂成為先進封裝不可或缺的一環。
4. 可靠性議題：材料間的熱膨脹差異易導致應力集中，進而影響 C4 焊點、TSV 與銅柱的壽命。為提升壽命及可靠性，需從材料的選擇、結構設計與製程條件三方面進行整體優化。
5. 製程創新：透過新型互連技術 (如 TSV、超細互連) 與新製程 (RDL-first、壓縮成型) 持續發展，使得感光材料、濕製程化學品與封裝樹脂的應用範圍快速擴大。

下表 2 整理了整體封裝架構的演進及產業發展，不論是由 2.5D 走向真 3D 堆疊，或是由 TSV 進一步發展至混合鍵合 (hybrid bonding)，封裝互連的 Pitch 持續縮小、結構高度增加，且製程步驟顯著拉長，使得封裝製程中所使用的光阻材料，必須同時面對高解析度、高厚膜結構與長時間化學製程耐受等多重挑戰，材料設計難度已與傳統 PCB 光阻有本質上的差異。在這樣的製程環境下，材料選擇不再只是性能指標的比較，而是牽涉整體製程整合能力的系統工程問題。

表 2. 先進封裝技術發展趨勢^(3, 4)。

發展	趨勢
技術演進	• 由 TSV → hybrid bonding：pitch 從 40 μm → < 10 μm → < 2 μm，封裝高度與電阻下降趨勢 • 由 2.5D → 真 3D 堆疊：HBM、logic-on-logic 堆疊，記憶體與邏輯晶片深度整合 • 異質整合成為主流：logic + memory + RF + power，不同製程節點整合於單一封裝
產業發展	• AI / HPC 驅動：HBM + GPU / ASIC • 先進封裝取代部分先進製程微縮 • 材料與製程設備重要性提升：光阻、顯影、濕製程化學品需求倍增

然而，隨著 3D IC 封裝由傳統 TSV-based 架構逐步朝向 Hybrid bonding 發展，兩者對材料與化學品的需求亦開始出現明顯差異。TSV 製程的核心在於高深寬比結構中的深孔填銅、絕緣層完整性與熱應力控制，因此材料設計重點多聚焦於厚膜光阻、高填孔能力電鍍液及低 CTE 封裝材料；相較之下，Hybrid bonding 則更重視超高對準精度、奈米級表面平坦度與低缺陷界面接合，因此對 CMP 後清潔、低殘留清洗液、超平坦介電材料及表面活化化學品的要求顯著提高。

此一差異也意味著，未來先進封裝材料供應商除需具備單一材料性能開發能力外，更需深入理解不同封裝架構下的整體製程整合需求。下表 3 整理 TSV 與 Hybrid bonding 於材料需求上的主要差異。

表 3. TSV 與 Hybrid bonding 對材料需求比較表。

比較項目	TSV (through-silicon via)	Hybrid bonding
主要互連形式	Cu-filled TSV + Micro-bump	Cu-Cu + Dielectric direct bonding
製程核心挑戰	深孔填銅、界面可靠度、熱應力	表面平坦度、對準精度、低缺陷接合
光阻材料需求	厚膜、高 Aspect ratio、高機械強度	超高解析度、低殘渣、低粗糙度
電鍍液需求	Void-free bottom-up filling	極低粗糙度與均勻 Cu 表面
濕式化學品需求	深孔清洗、殘渣去除、金屬污染控制	超潔淨表面活化、低 particle 控制
封裝樹脂需求	低 CTE、高耐熱、低應力 underfill	低翹曲、低應力、高尺寸穩定性
熱管理需求	TSV 熱應力與局部散熱	高密度堆疊下整體熱阻控制
良率關鍵	TSV void、Cu pumping	Bonding void、顆粒污染
材料設計重點	高機械穩定性	高界面潔淨度與平坦度

四、顯影材料 (光阻) 的製程角色

如同在前一章節的敘述，隨著製程的演進、Pitch 的縮小，光阻材料已不再僅是用於圖形轉移的曝光耗材，而是同時承擔結構形成與製程穩定度控制的重要角色。在傳統 PCB 製程中，光阻主要用於銅線圖形轉移，材料設計重點在於附著力、成本與大面積塗佈穩定性，通常不需過度考慮高深寬比、結構或多次熱循環問題。但到了先進封裝製程，光阻主要應用於「TSV via patterning」、「RDL 製程」、「微凸塊／混合接合前圖案形成」階段，除了必須具備應有的高解析度外，由於在完成顯影後，還必須在後續的電鍍、熱處理與化學製程中

維持結構穩定，因此先進封裝製程用的光阻材料必須同時具備「光阻」與「工程材料」的雙重角色。

相較於傳統 PCB 光阻主要關注附著力與成本，先進封裝光阻更需要在解析度、結構強度、化學耐受性與去除潔淨度之間取得平衡，這也是兩者在材料設計邏輯上的根本差異。而在先進封裝製程中的特殊需求如高膜厚 (10–100 μm)、高 Aspect ratio 及 Cu / Dielectric 混合結構等，材料也會直接影響圖形解析度 (line width / CD uniformity)、側壁垂直度 (sidewall angle)、殘渣污染 (residue) 等，對於後段蝕刻、電鍍與接合的良率會產生重大影響，因此對於光阻材料的品質要求及專屬客製化功能的需求極高，在 3D IC 封裝領域中，光阻材料已從傳統製程的標準化學品轉為需高度客製化的製程材料。

一般在敘述光阻材料，會依其作用機制不同區分為正型光阻 (positive tone) 及負型光阻 (negative tone)，在先進封裝製程中同樣有正型光阻與負型光阻之分。正型光阻在曝光區域溶解性提升，特別適用於高解析度 RDL 製程，可具備較佳的線邊品質，但其在厚膜能力與電鍍耐受性上的不足，則需透過配方設計彌補。負型光阻的優勢會在曝光後交聯形成高機械強度結構，因此較適合 TSV 與銅柱電鍍模板，但在去除性與殘渣控制上需較高工程管理能力⁽⁹⁾。下表 4 整理了在先進封裝製程中兩種類型的光阻其相關機制及材料重點的整理比較。

表 4. 正型光阻與負型光阻於先進封裝製程之比較。

項目	正型光阻 (Positive tone PR) 顯影系統	負型光阻 (Negative tone PR) 顯影系統
曝光後	• 曝光區被顯影蝕刻掉	• 未曝光區被顯影蝕刻掉
化學機制	• 曝光後產生光酸 (PAG) • 酸催化斷鏈 (deprotection) • 增加光阻在鹼性水溶液中的溶解度	• 曝光區發生交聯反應 (cross-linking) • 未曝光區被顯影液溶解
主流顯影液	• TMAH	• 有機溶劑型 (PGMEA, butyl acetate) • 水系弱鹼顯影液 (amine-based)
材料重點	• 金屬離子控制 (Na^+ 、 K^+ < 10 ppt) • 有機胺雜質抑制 • 表面活性劑 (surfactant) 調控顯影均勻性	• 厚膜 TSV (50–100 μm) • 高結構強度需求 • 較低解析度但高機械穩定性
主要供應商	• TOK • JSR • Shin-Etsu Chemical • Merck (AZ Electronic Materials) • FUJIFILM Electronic Materials	• Kayaku Advanced Materials (原 MicroChem) • TOK (TMMR/TMMF系列) • DuPont (Dry Film / Thick PR)

在實際先進封裝製程中，正型與負型光阻往往並非互相取代，而是依不同製程段落搭配使用。例如，在高解析度 RDL 層中，常優先選用正型光阻以確保線邊品質；而在 TSV 或銅柱電鍍等高結構強度需求的製程段落，則多採用負型光阻作為電鍍模板。此種「分工式應用」也反映出先進封裝光阻材料已高度製程化，而非單一規格即可通用。

五、濕式化學品的製程角色

相較於光阻及後續會談到的電鍍液、封裝材料，濕式化學品 (wet chemicals) 在先進封裝製程中往往較少被單獨討論，卻實際貫穿整個封裝流程，並對製程良率、界面品質與長期可

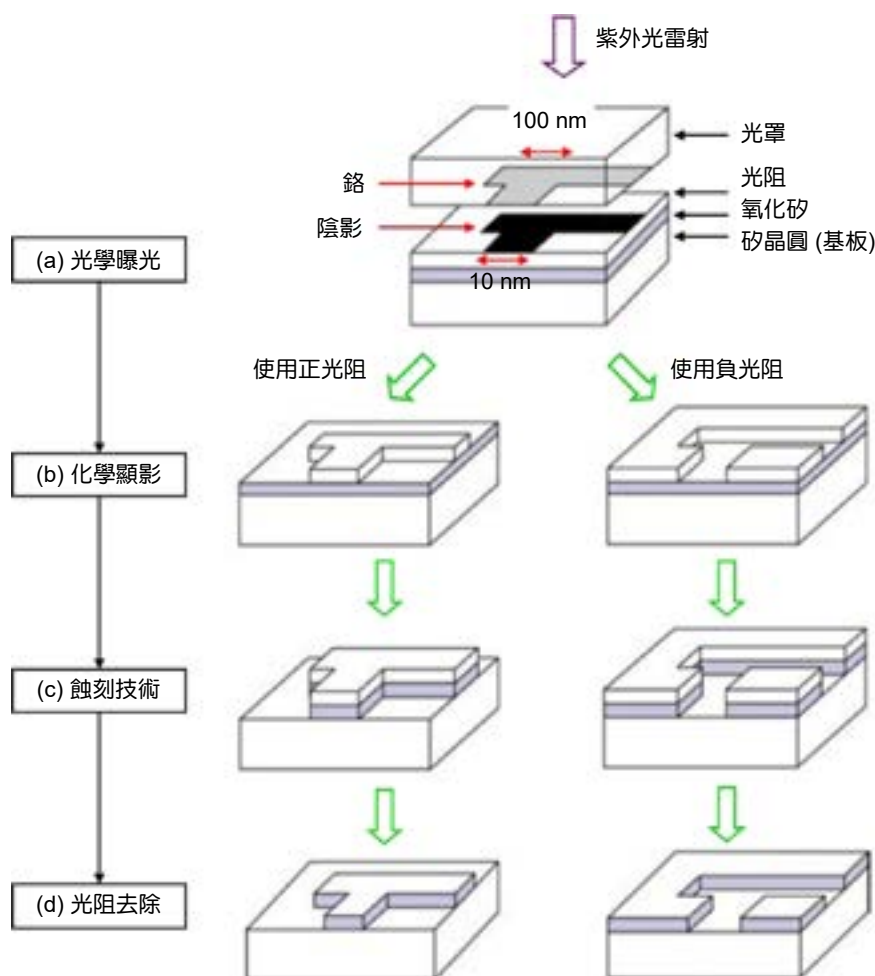


圖 2. 正型光阻與負型光阻成像差異示意圖。圖片來源：張俊彥，半導體元件物理與製作技術，高立圖書。

靠度產生關鍵影響。隨著 3D IC 與異質整合封裝結構的複雜度快速提升，濕製程已不再只是輔助性步驟，而是成為支撐製程可行性與量產穩定度的重要基礎。

與傳統封裝或 PCB 製程相比，先進封裝所使用的濕式化學品，面臨更嚴苛的純度要求及更複雜的材料相容性挑戰。這是由於先進封裝製程會同時涉及金屬、介電層、感光材料與封裝樹脂等多種材料體系，任何微量雜質、界面殘留或化學不相容，都可能在後續製程中放大為電性或可靠度缺陷⁽¹⁰⁾，使濕式化學品由原本的製程配角，逐步轉變為影響先進封裝供應鏈競爭力的重要材料體系。

再者，相較於前段製程，用於先進封裝的濕式化學品挑戰更為複雜，主因在於不同晶片、介電層與封裝材料可能來自不同供應商與製程平台，使濕式化學品在實際應用時，必須同時相容多種材料系統，並在清洗效率與材料保護之間取得平衡。這樣的製程條件需求，意味化學品供應商不僅需提供高純度產品，亦需深入理解客戶的封裝架構與實際製程條件，才能避免因材料不相容而引發潛在風險。因此濕式化學品已逐步由原本的標準化耗材，轉變為高度製程導向、需與封裝技術共同優化的材料解決方案。

表 5. 傳統封裝與先進封裝濕式化學品需求差異比較。

比較項目	傳統封裝 / PCB	先進封裝
純度要求	中等	極高 (金屬離子、微粒嚴控)
材料相容性	單一或少數材料	多材料系統 (Cu / dielectric / PSPI / 樹脂)
製程位置	局部輔助步驟	幾乎貫穿所有關鍵節點
用量趨勢	相對穩定	隨晶圓尺寸與層數快速成長
供應關鍵	成本與交期	穩定性、批次一致性、可追溯性
回收需求	次要	成本 + ESG + 供應鏈韌性

此外，隨著晶圓數量及封裝層數增加，濕式化學品的總使用量亦呈現顯著成長，除了考驗供應商長期供應的穩定性、批次一致性與在地化供應能力外，也對於這些製程廢料是否能再回收利用形成新的課題。在此背景下，溶劑回收與再利用逐步由單純的成本控管手段，轉變為提升製程韌性與支撐永續發展的重要機制。顯影液、剝離液與各類有機溶劑，若能在維持製程品質的前提下回收再利用，不僅可降低原料消耗與廢棄物處理壓力，也有助於降低供應鏈對外部原料波動的敏感度。

從材料供應商的角度，溶劑回收並非僅是後端處理問題，而需在化學品設計階段即納入考量，包括熱穩定性、雜質累積與再純化後品質可靠度。具備回收再利用的濕式化學品，亦使供應商能在客戶端提供更完整的製程支援，而非僅止於單一產品供應。

總體而言，濕式化學品在先進封裝製程中的價值，已不再僅體現在單一製程步驟的功能性，而是延伸至製程整合、良率管理、供應鏈穩定與永續發展等層面。對化學材料供應商而言，這代表角色的根本轉變——由傳統化學品提供者，轉變為需深入理解先進封裝製程脈絡與材料相容性的技術夥伴。未來，能同時兼顧高純度、製程相容性與回收能力的濕式化學品解決方案，將成為 3D IC 與異質整合先進封裝持續發展的重要基礎。

六、銅電鍍液與互連金屬化學品的製程角色

在先進封裝中，互連金屬品質直接決定了系統效能、功耗與長期可靠度，而銅電鍍製程是實現高密度互連結構的核心步驟之一。無論是 TSV 的深孔填銅，或是 RDL 中的細線寬金屬走線，最終形成的銅結構品質，都高度依賴於電鍍液配方設計與製程控制。與傳統 PCB 電鍍不同，先進封裝用的銅電鍍並非僅追求沉積速率或成本效率，而是必須在極為嚴苛的幾何條件下，實現無空洞 (void-free)、低內應力、高均勻性的金屬填充。使得銅電鍍液從單純的「化學溶液」，轉變為高度工程化的材料系統。

典型的銅電鍍液除基礎銅鹽與導電介質外，尚需搭配多種功能型添加劑，以精確控制銅的沉積行為。添加劑通常可分為：抑制劑 (suppressor)、促進劑 (accelerator) 與整平劑 (leveler)。其中，抑制劑主要作用於銅表面，降低整體沉積速率，避免表面過度成長；促進劑可加速孔底或特定區域的沉積，確保深孔能由下而上填滿；整平劑則用於修正局部沉積不均，提升表面平坦度。三者間的平衡，是實現高深寬比結構成功填孔的關鍵。⁽¹¹⁾

雖然 TSV 與 RDL 均使用銅作為主要互連金屬，但兩者對電鍍化學品需求存在顯著差異。TSV 更重視深孔填充能力與內部缺陷控制，任何微小的空洞或接縫，都可能在後續熱循環中演變為風險⁽¹²⁾，因此銅電鍍液的雜質控制更顯得重要。而相較之下，RDL 製程中的

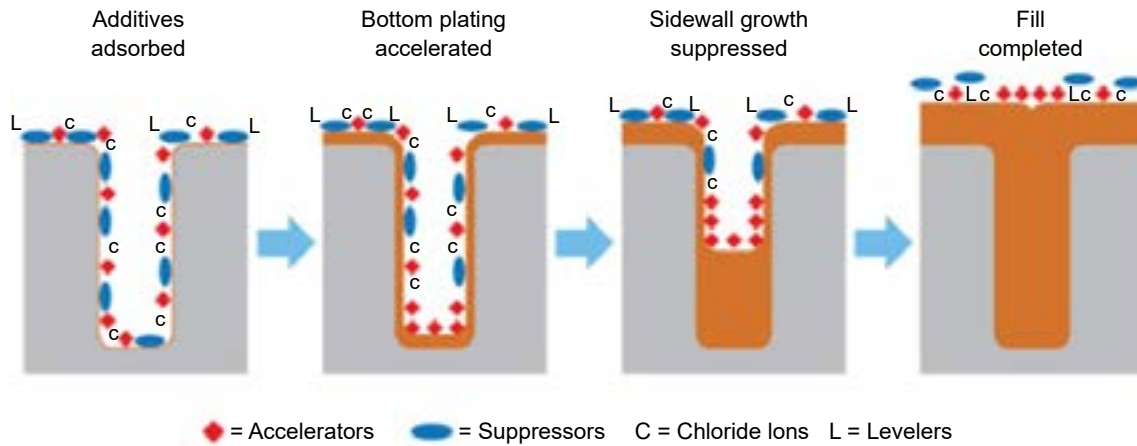


圖 3. TSV 結構中銅電鍍填孔示意圖 (Bottom-up filling)。圖片來源：Lamresearch (<https://newsroom.lamresearch.com/Tech-Brief-Elements-of-Electroplating>)。

銅電鍍，則更關注線寬均勻性、表面粗糙度與線邊品質，因其直接影響訊號完整性與後續介電層堆疊品質。因此電鍍液配方往往需針對不同應用進行客製化設計，而非一套配方通用所有製程。⁽¹³⁾

七、封裝材料與散熱材的製程角色

隨著先進封裝朝向更高堆疊密度與更高功率密度發展，局部熱累積 (hot spot) 問題日益嚴重。封裝材料的角色已不再僅限於「保護晶片」或「填補空隙」，而是逐步成為影響系統熱管理、機械可靠度與長期壽命的關鍵工程材料。在此需求下，Binder 與樹脂技術成為先進封裝材料性能的發展核心。在多數封裝材料中，不論是環氧型封裝膠 (epoxy molding compound, EMC)、Underfill、感光介電材料 (如感光型聚醯亞胺 (photosensitive polyimide, PSPI))，或是導熱界面材料 (thermal interface material, TIM)，其最終性能往往並非單純由單一樹脂或填料所決定，而是高度取決於樹脂骨架設計與其與填料間的相互作用，從化學材料供應商的角度來看，樹脂合成與 Binder 系統的設計能力，已成為能否支撐先進封裝製程演進的關鍵競爭力。

先進封裝常用的樹脂系統主要包含環氧樹脂、酚醛樹脂、聚醯亞胺與矽氧烷系材料，各自具備不同的熱、機械與加工特性，必須依封裝應用需求進行選擇與改質。以環氧樹脂為例，其優勢在於良好的機械強度、可調式交聯密度與成熟的量產體系，廣泛應用於 EMC 與 Underfill。然而，在先進封裝製程中，由於晶片堆疊與 TSV 結構設計導致的熱膨脹係數不匹配問題日益嚴重，傳統高模數、高交聯密度的環氧系統，反而可能加劇應力集中，因此，透過分子結構設計來降低彈性模數、導入柔性鏈段或透過反應型矽氧烷矽材料進行修飾，已成為近年的樹脂設計方向。

另一方面，感光型聚醯亞胺由於具備高耐熱性與良好的介電特性，在 RDL 與先進封裝介電層中亦占有關鍵地位。然而，PI 系統通常伴隨較高的加工溫度與內應力，對晶圓翹曲與製程設計形成挑戰，使材料供應商在選擇單體、分子量控制與交聯反應設計上需優化製程相容性。^(14, 15)

材料的散熱對策：

相較於傳統封裝，3D IC 中的熱傳路徑更加複雜。由於熱源可能位於堆疊晶片中央區域，熱量需穿越多層介電層、金屬互連與封裝材料後才能有效散出，因此材料的熱膨脹係數 (coefficient of thermal expansion, CTE)、熱導率 (thermal conductivity) 與界面熱阻 (thermal interface resistance) 匹配能力，成為封裝材料設計的重要考量。

目前先進封裝常見的材料散熱對策主要包含以下幾個方向：

1. 高導熱填料導入：透過氮化硼 (BN)、氮化鋁 (AlN)、氧化鋁 (Al₂O₃) 等高導熱填料提升 Underfill 與 EMC 之熱傳能力。
2. 低 CTE 材料設計：降低材料與矽晶片間之熱膨脹差異，以減少熱循環造成的界面應力與翹曲問題。
3. 高導熱 TIM 材料：改善晶片與散熱模組間之界面熱阻，提高熱傳效率。
4. 低溫固化樹脂：降低封裝製程中的熱負載，減少殘留應力與晶圓翹曲。
5. 材料界面工程：透過表面改質與反應型官能基設計，提高填料分散性與界面接著穩定性。

在高導熱封裝與散熱材料中，填料 (如氮化硼、氮化鋁、氧化鋁等) 雖是提升導熱性的關鍵，但其實際效果高度依賴 Binder 系統對填料的分散能力與界面黏著性，若填料與樹脂界面相容性不足，將導致導熱路徑中斷、機械強度下降，甚至在熱循環中引發界面剝離。因此，封裝材料 Binder 設計已從單純「黏著劑」的角色，轉變為界面工程 (interface engineering) 的一部分。透過表面改質填料、導入反應型官能基或多段式樹脂結構，使樹脂與填料之間形成穩定的化學或物理鍵結，成為提升封裝材料可靠度的核心策略。⁽¹⁷⁻⁹⁾

隨著封裝結構持續朝向更薄、更高層數發展，封裝與散熱材料對 Binder 與樹脂技術的需求，將同時朝向「多性能整合」與「製程友善性」演進。低熱膨脹、高導熱、低翹曲與可回收性等需求，往往存在相互衝突，這也意味著樹脂合成與 Binder 設計將不再只是配方調整，而是需要從分子設計階段即納入封裝製程與系統應用的整體考量^(16, 20)。因此，在未來 3D IC 與異質整合封裝中，散熱材料的角色將不再僅是輔助性材料，而是直接影響封裝可靠度與系統效能的核心關鍵。材料供應商除了需提升材料本身導熱能力外，也需同時兼顧加工性、低翹曲、低應力與長期可靠度等多重需求。

八、ESG 與永續議題

在半導體產業鏈，ESG (Environmental, Social, and Corporate Governance) 議題正快速由「企業社會責任」轉變為影響供應鏈選擇與製程決策的重要因素，特別是對於先進封裝而言，因其製程往往需涉及使用大量高純度化學品、溶劑等，而為提高純度往往需要耗費大量的能源進行純化，使用後的溶劑回收也成為一大問題，使材料與化學品供應商在永續轉型中可扮演重要且關鍵的角色。⁽²¹⁾

在先進封裝製程中，顯影液、剝離液與各類有機溶劑的使用量隨製程層數與晶圓尺寸提升而快速增加，若僅依賴一次性使用，不僅成本壓力顯著，也將使碳排與廢棄物管理成為重大挑戰。因此，溶劑回收與純化技術逐漸由原本的附加選項，轉為產線中不可或缺且不可不作的一環。透過精密蒸餾、分離與純化技術，回收溶劑可在維持製程純度要求的前提下重新導回產線，達到降低原料消耗與廢棄物排放的雙重效果。對材料供應商而言，是否具備回收與再純化的整合能力，正逐步成為客戶評估供應穩定性與長期合作的重要指標。

除了回收技術外，材料本身的碳足跡也開始受到關注，包括原料來源、合成路徑、反應溫度與能源使用效率等，透過反應條件優化、低溫合成或採用替代原料，材料供應商可在不影響性能的前提下降低單位產品的碳排放。而這類低碳設計往往還能與製程需求形成正向循環，例如低溫固化封裝樹脂不僅降低能源消耗，也有機會減少晶圓翹曲與熱應力，提升良率。

而在 ESG 議題中還有一項重要環節即是「散熱」，呼應到第七節中的材料的散熱對策，透過高效率散熱材料可降低晶片工作溫度，延長元件壽命，並有機會減少整個系統的能耗需求。因此，從材料角度提升散熱效率，不僅是性能需求，也與節能減碳直接相關。

表 6. ESG 面向與相關封裝材料對策。

ESG 面向	材料對策
回收	溶劑純化再利用
低碳	低溫固化
節能	高導熱材料
低耗	製程簡化

九、結論

展望未來，3D IC 與異質整合封裝仍將面臨多項關鍵挑戰。首先，隨著 Hybrid Bonding Pitch 持續縮小至微米甚至次微米等級，對材料潔淨度、表面平坦度與缺陷控制的要求將更加嚴苛，材料微量雜質與奈米級顆粒污染皆可能直接影響接合良率。其次，高功耗 AI 晶片與 HBM 堆疊所造成的熱管理問題，也將進一步提高高導熱、低 CTE 與低熱阻材料的重要性。

此外，由於異質整合需同時整合不同製程節點、不同材料系統與不同供應鏈來源，材料相容性與供應穩定性將成為先進封裝量產的重要風險來源。因此，材料供應商除需具備高階材料開發能力外，也需同步建立完整的品質追溯、在地化供應與快速客製化能力，以提升供應鏈韌性。

在地緣政治與 ESG 趨勢持續影響全球半導體供應鏈的背景下，未來先進封裝材料供應策略亦將朝向「在地化」、「低碳化」與「高可靠度」發展。能同時兼顧製程整合能力、材料創新與永續需求的化學材料供應商，將在下一代先進封裝產業中扮演更關鍵的角色。

綜觀 3D IC 與異質整合先進封裝的發展，可清楚看見封裝製程已不再是單一技術的堆疊，而是一個同時整合材料、製程、設備與系統設計的工程體系。在這個體系中，化學材料與化學品供應商的角色，已由過去單純的原料提供者，逐步轉變為影響製程穩定性、良率與永續表現的關鍵。

從光阻與顯影材料，到濕製程化學品、電鍍液，再到封裝與散熱材料中的樹脂與 Binder 技術，材料設計已深度影響先進封裝技術能否順利量產的核心。未來，隨著封裝互連尺度持續縮小、功率密度持續提升，材料所需承擔的角色將更加多元，對於材料及化學品供應商而言，單一性能的優化已不足以因應產業需求。

更重要的是，在現今 ESG 與永續發展已逐漸成為產業共通語言下，材料的回收性、碳足跡與能源效率，將與其所具備的電性與機械性能等同樣重要。因此若能同時針對封裝製程

的需求在材料科學本質與永續策略中提出化學解決方案，將成為支撐下一代 3D IC 與異質整合封裝發展的關鍵基礎。

長春集團憑藉著在有機高分子材料領域豐富的材料設計及合成量產經驗，以及在生產過程中的品質控管能力，相信未來在先進製程封裝所需的材料領域，針對客戶的材料客製化及穩定供應能力的要求，皆盡可能滿足客戶的需求，與業界一同為台灣的相關領域打造本土化的供應鏈。

參考資料

1. Ye Jin Jang, Ashutosh Sharma, and Jae Pil Jung, *Materials*, **16** (24), 7652 (2023).
2. Qianfu Xia, *et al.*, *Advanced Engineering Materials*, **27** (1), (2025).
3. Yuan-Chiu Huang *et al.*, *Nanomaterials*, **13** (17), 2490 (2023).
4. John H Lau, *IEEE Transactions on CPMT*, **14** (3), 376 (2024).
5. Yipeng Xu, *ASME Journal of Electronic Packaging*, **147** (1), 010801 (2025).
6. Tanja Braun *et al.*, *Micromachines*, **10** (5), 342 (2019).
7. Jung Won Lee *et al.*, *Microelectronics*, **2** (1), 3 (2026).
8. Daniel C. Smallwood *et al.*, *Microsystems & Nanoengineering*, **7**, 39 (2021).
9. Peng Zhang *et al.*, *Polymers*, **16** (13), 1805 (2024).
10. Zhiwen Chen, Jiaju Zhang, Shizhao Wang, Ching-Ping Wong, *Fundamental Research*, **4** (6), 1455 (2023).
11. Houya Wu, Yan Wang, Zhiyi Li & Wenhui Zhu, *Scientific Reports*, **10**, 9400 (2020).
12. Fuliang Wang and Yuping Le, *Scientific Reports*, **11** (1), 12108, (2021).
13. Zifeng Zhao *et al.*, *Microelectronic Engineering*, **275**, (2023).
14. Ruhan E Ustad *et al.*, *Nanomaterials*, **13** (19), 2642 (2023).
15. Shan Huang *et al.*, *Chemical Engineering Journal*, **477**, (2023).
16. Laraib Sajjad *et al.*, *European Polymer Journal*, **239**, 114302 (2025).
17. William Anderson Lee Sanchez *et al.*, *Polymers*, **14** (14), 2950 (2022).
18. Yingfeng Wen *et al.*, *Advanced Materials*, **34** (52), 2201023 (2022)..
19. Yinghuan Zhao *et al.*, *Composites Communications*, **56** (18), 102353 (2025).
20. Zbyněk Plachý, Anna Pražanová, Karel Dušek, Attila Géczy, *Polymers*, **17** (16), 2206 (2025).
21. Tianwei Zhang *et al.*, *Nature npj Materials Sustainability*, **4** (10), (2026).

作者簡介

陳厚福先生為國立臺灣工業技術學院化工所碩士，現為長春人造樹脂廠股份有限公司總經理。

Hou-fu Chen received his M.S. in Chemical Engineering from National Taiwan Institute of Technology.

He is currently the President of Chang Chun Plastics Co., Ltd.

杜安邦先生為國立成功大學化工所碩士，現為長春人造樹脂廠股份有限公司協理。

An-pang Tu received his M.S. in Chemical Engineering from National Cheng Kung University. He is

currently the Vice President of Chang Chun Plastics Co., Ltd.

吳允中先生為國立臺灣科技大學高分子工程所碩士，現為長春人造樹脂廠股份有限公司部長。

Yun-jung Wu received his M.S. in Polymer Engineering from National Taiwan University of Science and Technology. He is currently the Department Manager of Chang Chun Plastics Co., Ltd.

吳佳鴻先生為國立臺灣大學化工所碩士，現為長春人造樹脂廠股份有限公司課長。

Chia-hung Wu received his M.S. in Chemical Engineering from National Taiwan University. He is currently the Manager of Chang Chun Plastics Co., Ltd.

超快雷射加速 3D IC 先進封裝與異質整合技術

Ultrafast Lasers Accelerating the Development of 3D IC Advanced Packaging and Heterogeneous Integration

錢俊逸

Jiunn-Yih Chyan

隨著 AI 與 HPC 算力與功率飆升，傳統封裝面臨熱管理與頻寬瓶頸，必須從材料層面著手改革。碳化矽因其三倍於矽的熱導率、機械強度和相近的熱膨脹係數，使其成為 3D IC 封裝中最具潛力的散熱材料。而玻璃則因大尺寸、低成本，高平坦度、高剛性和低介電常數等特性，適合生產高 I/O 密度的基板，且其能同時傳導光訊號與電訊號，為整合功能各異小晶粒 (chiplets) 的理想材料。超快雷射有著「冷」燒蝕特性，能在碳化矽與玻璃等硬脆材料上實現無熱影響區的精準微加工，解決傳統加工方式無法避免的熱應力與微裂紋問題，凸顯碳化矽在 GPU/HBM 的散熱優勢，驅動玻璃基板於光電共封裝 (co-packaged optics, CPO) 的應用，邁向 kW 級 AI 模組與全光電整合新紀元。

Surging AI and HPC power requirements have pushed traditional packaging to its thermal and bandwidth limits, driving a revolution in advanced materials. Silicon carbide (SiC), with 3x the thermal conductivity of silicon and a compatible CTE, is now the premier choice for 3D IC thermal management. Meanwhile, glass substrates offer high-I/O density, superior rigidity, and low dielectric loss, serving as a dual-pathway for both optical and electrical signals-perfect for chiplet integration. By utilizing ultrafast lasers for 'cold' ablation, we achieve precise micromachining on SiC and glass without the risk of thermal stress or micro-cracks. This synergy optimizes SiC's cooling performance for GPU/HBM architectures and accelerates the deployment of glass in co-packaged optics (CPO), paving the way for the next generation of kW-scale AI modules and integrated optoelectronics.

一、前言

在後摩爾定律時代，提升計算效能的途徑已經從線寬縮放 (scaling) 轉向先進封裝與異質整合。尤其是 AI 運算對 GPU、高頻寬記憶體 (high bandwidth memory, HBM) 的依賴，使得

封裝內部的熱密度呈指數級增長。為了克服矽基材料在熱傳導上的物理極限，碳化矽 (SiC) 的導入已成為當下趨勢。此外，玻璃以其優異的物理特性，成為提高 I/O 密度與訊號頻寬的優質材料首選。可以說，新世代的先進封裝與異質整合技術的演進，必須著手從材料層面的革命開始。

二、碳化矽 (SiC) 於先進封裝中的關鍵角色

碳化矽傳統上被視為功率電子材料，但在 3D IC 領域，其熱傳導係數 (高達 360–490 W/mK) 遠優於矽 (~150 W/mK)，使其在熱管理中扮演關鍵角色。

2.1 SiC 在 GPU 與 HBM 整合中的優勢

隨著高效能運算 (high performance computing, HPC) 與人工智慧 (artificial intelligence, AI) 晶片對於互連密度及散熱需求的劇增，半導體產業已由單一晶片微縮轉向 3D IC 先進封裝與異質整合技術。碳化矽擁有極高的熱導率 (約 490 W/m·K，遠高於矽的 150 W/m·K)、寬能隙 (3.26 eV)、高擊穿電場 (> 3 MV/cm) 與優異機械強度 (楊氏模數約 450 GPa)，使其成為 3D IC 高功率密度環境中最具潛力的散熱材料。在 GPU 與 HBM 垂直堆疊結構中，局部熱通量經常超過 1000 W/cm²，甚至在未來 AI 加速器中可達 3000 W/cm² 以上，矽基材因熱導率不足易形成嚴重熱瓶頸，導致接面溫度 (junction temperature) 急劇上升。

SiC 的晶格熱傳導主要由聲子 (phonon) 散射機制主導，其平均自由路徑長達數十微米，因此在微米級尺度下仍能維持極高熱導率。碳化矽中介層 (SiC interposer) 或嵌入式 SiC 熱擴散層則可提供優異的橫向熱擴散能力，透過高熱導率路徑將熱量快速導向邊緣或液冷微通道，使接面溫度降低 20–30 °C。此外，碳化矽與矽的熱膨脹係數高度匹配，可有效減少多層堆疊時的翹曲應力，進一步提升 3D IC 堆疊技術的可靠性。

2.2 SiC 的先進封裝熱管理

Huawei Wang 等人提出並製造一種基於被動相變 (passive phase change) 的仿生封閉式高導熱晶片封裝，採用物理性質與矽晶片相容的碳化矽為封裝材料，並使用雷射微加工出仿生結構⁽¹⁾。Piotr Mackowiak 等人則探討以雷射加工有機介電層並採用 SiC 作為主體的碳化矽穿孔 (TSiCV) 之製造技術及其高頻特性⁽²⁻⁴⁾。除此之外，台積電 (TSMC) 正積極探索 12 吋 SiC 作為先進封裝的熱管理材料，主要針對 AI/HPC 高功耗晶片的散熱瓶頸，應用於 CoWoS (Chip on Wafer on Substrate) 和 SoIC (System-on-Integrated-Chips) 等 2.5D/3D 封裝平台，從材料到結構設計進行全方位專利布局⁽⁵⁻⁶⁾。

三、玻璃基板之機會與發展

玻璃基板 (glass-core substrate) 被視為繼有機基板之後，推動異質整合邁向下一階段的核心技術。有機基板 (如日本味之素集團開發的增材薄膜載板 (Ajinomoto build-up film, ABF)) 已逐漸面臨物理極限，尤其是在面對大尺寸封裝時，翹曲 (warpage) 與熱穩定性問題，讓良率面臨挑戰。玻璃基板被視為下一階段核心技術，主要有三大關鍵優勢：(1) 極致平整度：玻璃具備更優異的機械強度與平整性，能支撐更大型的晶片組。(2) 熱係數匹配：其熱膨脹

係數 (coefficient of thermal expansion, CTE) 更接近矽晶圓，能大幅減少封裝過程中的應力。

(3) 高密度互連：透過雷射在玻璃基板上加工出玻璃通孔 (through glass via, TGV)，精密度遠優於傳統有機基板，能提供更高的互連密度與更低的訊號損耗。

3.1 物理優勢與應用背景

玻璃核心基板擁有極低表面粗糙度 ($< 10\text{ nm}$)、可調熱膨脹係數 (CTE $3-9\text{ ppm/K}$ ，可精準匹配矽)、極低介電損耗 ($Dk/Df < 3.5/0.001$)、超大面板尺寸 ($> 515 \times 510\text{ mm}$) 以及優異尺寸穩定性，能徹底解決有機基板翹曲嚴重、線寬限制 ($> 80\text{ }\mu\text{m}$) 以及矽中介層成本高昂與尺寸受限的問題。玻璃的非晶態結構使其具有極低的雙折射與光散射，適合直接寫入低損耗光波導。透過超快雷射形成高深寬比 ($AR > 20$) TGV (through-glass via)，並直接寫入低損耗光波導 (傳播損耗 $< 0.1\text{ dB/cm}$)，可實現細線寬 / 間距 ($L/S = 2/2\text{ }\mu\text{m}$) 的 RDL 與垂直光電互連，特別適合 chiplet 與 HBM 高密度異質整合。

在 CPO 應用中，玻璃核心基板可將 PIC (photonic integrated circuit) 與 EIC (electronic integrated circuit) 共封裝於同一基板，將電氣互連長度從傳統數十公分縮短至數毫米，大幅降低訊號功耗 $30-50\%$ ，同時提升頻寬密度至 Tb/s 等級。玻璃基板的低損耗特性更可使光訊號傳輸距離延長至數十公分而損耗仍低於 1 dB ，遠優於傳統銅互連。

3.2 玻璃基板應用於異質整合

Georgia Tech 3D Systems Packaging Research Center (PRC) 自 2010 年起即領導玻璃基板開發，2020–2025 年間與 Corning 密切合作驗證玻璃基板的可行性⁽⁷⁻⁸⁾。A. O. Watanabe 等人展示低 CTE 玻璃 AiP 模組， 28 GHz Yagi-Uda 天線頻寬達 28.2% ，插入損耗僅 0.021 dB/via ，整鏈損耗 $< 1\text{ dB}$ ，充分證實玻璃在 mmWave 5G AiP 的低損耗優勢⁽⁹⁾。Brusberg 等人提出單面腔玻璃基板，整合離子交換波導 (IOX)、TGV 與 RDL，實現 PIC 與 EIC pick-and-place 精準組裝，最小耦合損耗僅 0.65 dB ⁽¹⁰⁾。同時，透過在玻璃波導基板邊緣實現多光纖推入式 MPO (multi-fiber push-on) 介面，進而得以利用現有的光纖連接器生態系統。研究中使用超快雷射將玻璃晶圓切割成獨立的光子晶片，在 6.5 mm 寬的連接器區域產生平整度小於 $1\text{ }\mu\text{m}$ 的光學級端面，實現低損耗的光纖到晶片邊緣耦合。超快雷射也被用於在玻璃基板上精確切出定位特徵，使 MPO 連接器的導引針 (guide-pins) 能夠實現自我對準。實驗顯示，MPO 連接器與玻璃波導介面在多次插拔後，耦合損耗較主動對準僅平均增加 0.19 dB ⁽¹¹⁾。Absolics (SKC 子公司，Georgia Tech 技術轉移) 自 2024 年起於美國 Georgia Covington 建廠，預計 2026 年量產玻璃基板與玻璃通孔中介層，全面支援 HPC chiplet 與 Tb/s 級 CPO 光電共封裝。這些成果顯示玻璃核心基板不僅可嵌入被動元件與光波導，更能實現被動光纖對準與面板級低成本製程 (相較矽 interposer 成本降低 50% 以上)，成為次世代 CPO 主流平台。

四、超快雷射的加工原理、特性及差異

針對 SiC 與玻璃這類寬能隙且硬脆的材料，機械加工或長脈衝雷射會產生嚴重的熱應力與裂紋，而超快雷射 (皮秒雷射與飛秒雷射) 則提供非熱燒蝕的解決方案。

4.1 超快雷射與物質交互的物理機制

超快雷射與硬脆材料 (如 SiC 與玻璃) 的交互作用本質上為強場非線性光學過程，與傳統長脈衝雷射的熱熔融機制截然不同。對於飛秒雷射 (脈寬 < 1 ps)，核心機制為多光子吸收 (multiphoton absorption) 與碰撞電離 (avalanche ionization) 共同驅動的電子激發過程。SiC 的能隙約 3.26 eV、玻璃 (熔融石英) 約 9 eV，對於常見 800 nm 雷射 (光子能量 1.55 eV)，單光子無法直接激發價帶電子至導帶，需透過 2–6 個光子同時吸收才能跨越能隙，此過程被稱為 Keldysh 多光子電離。Keldysh 參數 $\gamma = \omega \sqrt{2m^* E_g} / eE$ 用以區分多光子電離 ($\gamma \gg 1$) 與隧電離 ($\gamma \ll 1$)，其中 ω 為角頻率、 m^* 有效質量、 E_g 能隙、 e 電荷、 E 電場強度。當脈衝峰值強度達 $10^{13} - 10^{14} \text{ W/cm}^2$ 時，電子密度 N_e 迅速上升至臨界密度 ($\sim 10^{21} \text{ cm}^{-3}$)，形成高密度電漿。

此時電子系統溫度 T_e 可達數萬 K，而晶格溫度 T_l 仍接近室溫，形成雙溫度模型 (two-temperature model, TTM)：

$$C_e(\partial T_e / \partial t) = -G(T_e - T_l) + S(r, t) \quad (1)$$

$$C_l(\partial T_l / \partial t) = G(T_e - T_l) \quad (2)$$

其中 C_e 、 C_l 為電子與晶格熱容， G 為電子–聲子耦合係數 (SiC 約 $10^{17} \text{ W/m}^3\text{K}$)， $S(r, t)$ 為雷射吸收源項。電子–聲子鬆弛時間接近 1 ps 遠長於飛秒脈衝，因此能量尚未轉移至晶格即完成電子激發。當 N_e 超過臨界值後，靜電場力超過晶格束縛力，發生庫倫爆炸 (Coulomb explosion)，離子以靜電斥力飛離表面，形成非熱燒蝕 (athermal ablation)，熱影響區 < 200 nm。

在較高能量密度下，進一步產生光機械碎裂 (photomechanical fragmentation) 與相爆炸 (phase explosion)。對於玻璃，額外存在克爾效應 (Kerr effect) 誘導自聚焦與絲狀傳播 (filamentation)，可在玻璃體內精準寫入折射率變化 $\Delta n \sim 0.01$ 的 3D 波導結構。皮秒雷射 (1–100 ps) 則處於過渡區：電子已部分轉移能量至晶格，產生微熔池，但熱擴散長度 $L_{th} = \sqrt{4\alpha\tau}$ (α 為熱擴散率，玻璃 $\sim 10^{-6} \text{ m}^2/\text{s}$) 仍僅數百奈米，遠小於奈秒雷射的數十微米。

與非超快雷射比較，奈秒雷射 ($\tau > 1 \text{ ns}$) 完全為熱過程：能量先轉移至晶格，產生熔融、再凝固與熱衝擊波，熱影響區 $> 10 \mu\text{m}$ ，易誘發微裂紋與再鑄層 ($R_a > 1 \mu\text{m}$)。超快雷射的「冷」加工特性使其在硬脆材料上實現次微米精度、無應力殘留，適合 3D IC 高精度微通道與 TGV 加工。

4.2 皮秒 (ps) 與飛秒 (fs) 之技術差異

1. 熱影響區 (heat-affected zone, HAZ)：皮秒雷射雖然脈衝極短，但在某些高能量應用中仍存在微量的熔融區域；飛秒雷射則幾乎完全消除了熱擴散，能達到最高的邊緣精度⁽¹²⁾。
2. 吸收機制：飛秒雷射具備極高的峰值功率，能引發多光子吸收 (multi-photon absorption)，這使其能輕易穿透玻璃並在內部產生改質，這是製造 TGV 的核心技術基礎⁽¹³⁾。
3. 生產效率：皮秒雷射技術相對成熟，單脈衝能量較高，在厚材料與大面積加工具有成本效率優勢；飛秒則多用於精細表面處理或材料內精密雕刻。

五、超快雷射加工 SiC 與玻璃之實例

5.1 碳化矽 (SiC) 的超快雷射切割和無應力晶圓減薄

使用超快雷射 (如飛秒或皮秒雷射) 對碳化矽 (SiC) 進行切割和無應力晶圓減薄，具有多項顯著優勢。SiC 具有高硬度 (莫氏硬度 9.5) 和脆性，使傳統機械鋸切或研磨易造成裂紋、翹曲和材料浪費。超快雷射則透過非接觸式冷加工，藉由極短脈衝 (10^{-12} 至 10^{-15} 秒) 實現精確能量沉積，避開熱擴散效應，從而克服這些問題。

在切割 (dicing) 方面，超快雷射可採用隱形切割 (stealth dicing) 技術，即在晶圓內部形成改質層，再透過外力分離晶片。隱形切割大大降低材料損失 (kerf loss)，且通常 $8\text{ }\mu\text{m}$ 厚度的改質區即可實現高深寬比 (10:1) 的切割。相較傳統鋸切，超快雷射減少熱影響區 (HAZ)，避免熱誘導應力和裂紋產生，切割邊緣平滑。由於隱形切割的加工原理是將雷射能量聚焦在 SiC 內部形成結構破壞或改質，故會受到 SiC 加工物表面狀態的影響，例如表面粗糙或具有金屬等反射層，都無法讓雷射的能量有效的聚焦在 SiC 內部，此時，超快雷射可採用 full cutting 的方式，即直接燒蝕切割 (ablation cutting)，透過高能量脈衝在 SiC 表面或邊緣進行材料移除，而非內部改質。這項技術利用極短脈衝精確沉積能量，限制熱擴散，產生極小熱影響區 (HAZ，通常 $< 200\text{ nm}$)，從而避免熱誘導裂紋和材料變質。相較傳統機械鋸切，full cutting 在達到高深寬比的同時，還能支援複雜幾何形狀加工，快速切割 (達 10 mm/s)，最小化崩邊 (chipping) 及材料損耗。

圖 1 為使用綠光 (515 nm) 飛秒雷射從 4 吋半絕緣碳化矽晶圓上，以 full cutting 的方式裁切出具有多方向連續直線和曲線 (圓孔) 的碳化矽基板。切割後基板邊緣無崩邊，切割剖面表面平滑 ($R_z \sim 1\text{ }\mu\text{m}$)，切割的深寬比可達 15:1 (圖 2)。皮秒雷射理論上有較高的移除速率和加工速度，而作為對照，圖 3 為使用皮秒雷射進行相同結構之加工，可從圖 3 觀察在相同波長 (515 nm)、相同脈衝能量 ($30\text{ }\mu\text{J}$) 下，將脈衝時間從 200 fs (飛秒) 改為 200 ps (皮秒) 的結果，在切削品質上有著明顯的差距。

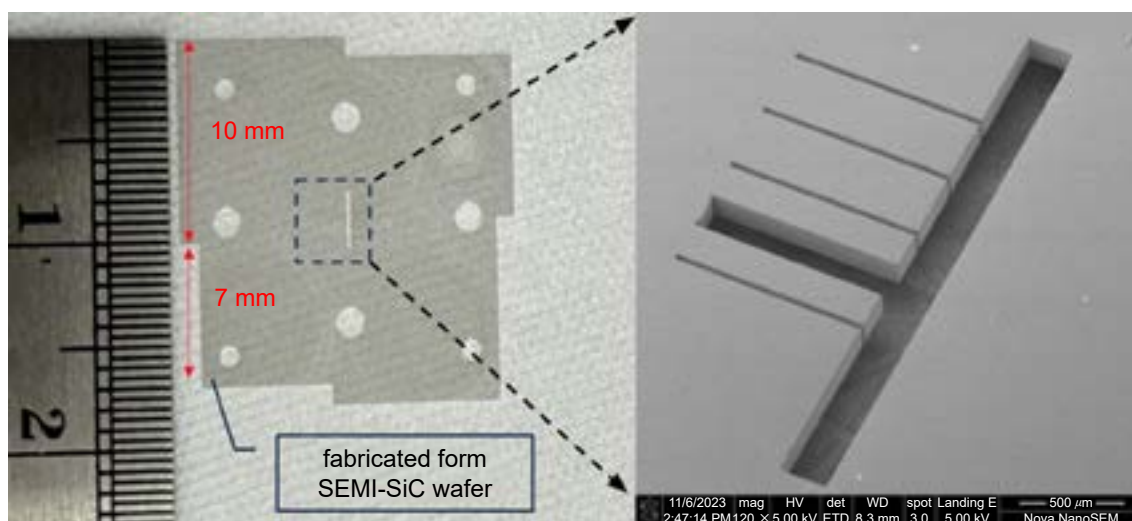


圖 1. 使用綠光 (515 nm) 飛秒雷射以 full cutting 的方式從 4 吋半絕緣碳化矽晶圓上，切割出具有不同方向、不同長度，毫米級 (mm) 的連續直線，並在板材任意位置切割出任意直徑的圓孔，並在板材中心製作出高深寬比，高水平縱寬比的結構。(來源：鼎極科技)

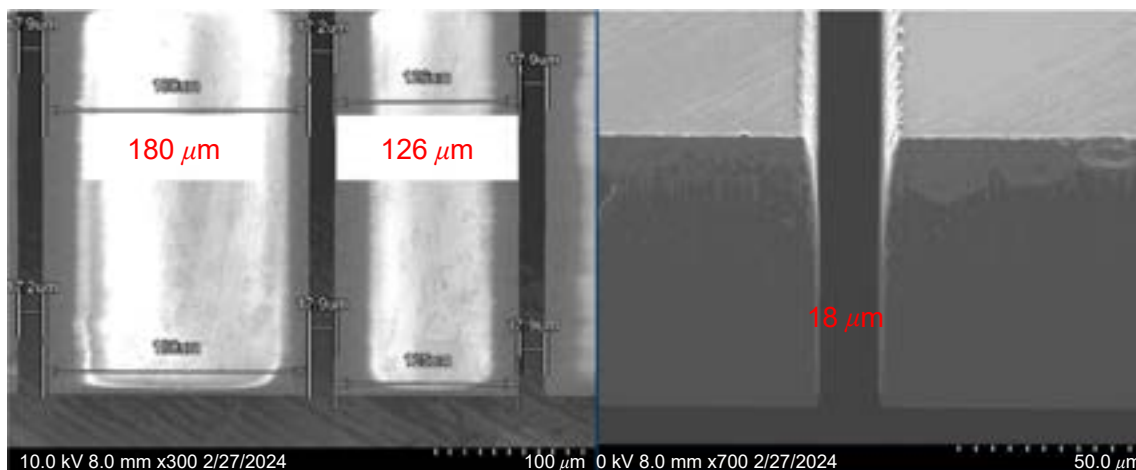


圖 2. 此為圖 1. 中心具有高深寬比 (15 : 1)，高水平縱寬比 (55 : 1) 結構的局部放大 SEM 照片。(來源：鼎極科技)

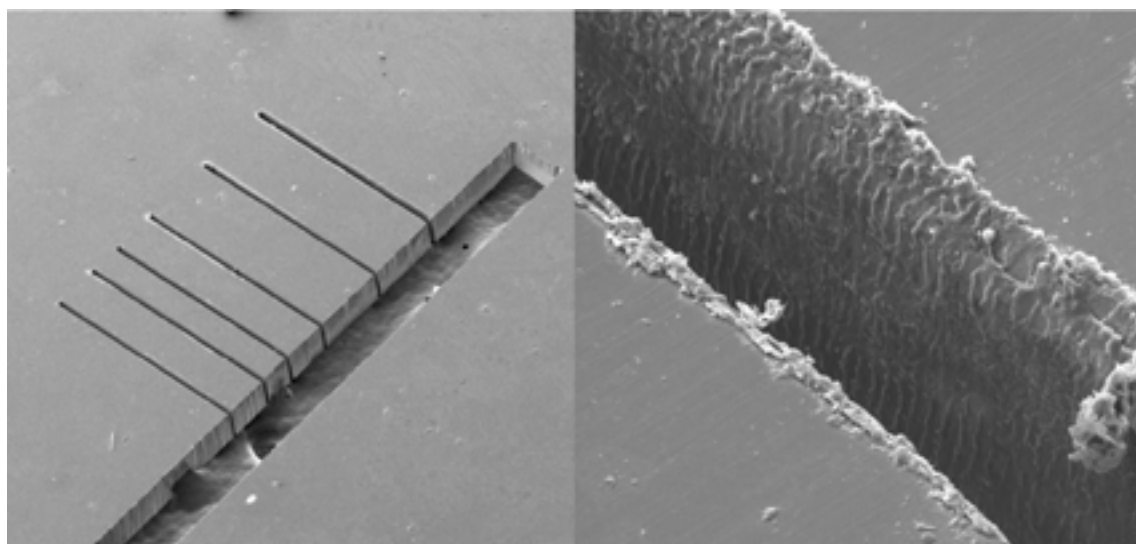


圖 3. 此為與圖 1 相同設計結構，將雷射脈衝時間從 200 fs (飛秒) 改為 200 ps (皮秒) 的結果 (來源：鼎極科技)

在無應力晶圓減薄 (thinning) 方面，超快雷射減薄的對應目標是傳統機械研磨，後者透過機械力的方式移除材料，但易引入殘餘應力 ($> 200\text{MPa}$) 和次表面損傷 (深度達 $5 - 40\ \mu\text{m}$)，導致晶圓翹曲、裂紋和缺陷集中，影響裝置性能和良率。相反，超快雷射減薄採用非接觸式加工，藉由高速脈衝 ($> 100\ \text{kHz}$) 冷加工 SiC 表面，能在高速減薄的狀態下精確控制減薄的深度 ($< 1\ \mu\text{m}$)，實現低損傷 ($< 200\ \text{nm}$)，避免微裂紋或空洞，將殘留應力降至最低。相較傳統機械研磨，雷射方法縮短處理時間 (從小時減至分鐘)，降低材料損失 $70 - 80\%$ ，並提升產量。還避免磨輪磨損和化學廢料，支持綠色製造。此外，由於無應力加工的特點，超快雷射減薄特別適合用於薄晶圓 ($< 100\ \mu\text{m}$) 的生產，如電動車功率模組。透過脈衝優化，可進一步抑制缺陷，形成平坦表面，確保電學特性穩定。

圖 4 為在已使用機械細研磨 (fine grinding) 的碳化矽晶圓上，使用超快雷射在不同位置上進行深度不一的減薄與表面紋理。同時，透過二次諧波的量測以 3D 立體的方式探測殘留應力的變化，可以發現即便是使用 6000 號細致顆粒的鑽石砂輪，機械研磨仍對碳化矽晶圓表面造成明顯的殘留應力 (晶格形變)，影響範圍深達 $30\ \mu\text{m}$ 以上。而使用超快雷射在原本已經經過機械研磨的晶圓表面進行二次減薄，在減薄超過一定深度 ($> 3\ \mu\text{m}$) 之後，殘留應力明顯降低。這樣的結果首先代表超快雷射減薄是一種無應力加工，其次，對已經明顯有殘留應力的材料表面能起到去除應力的效果。

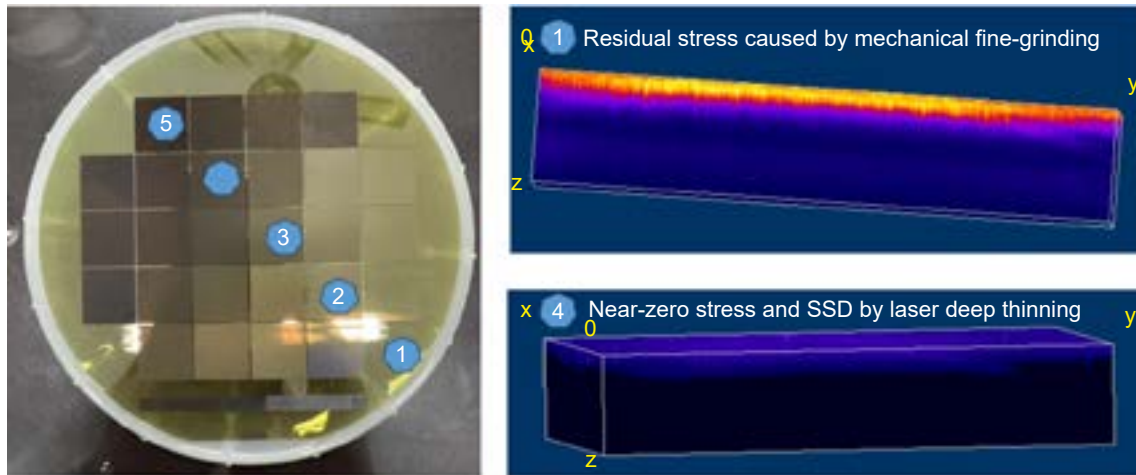


圖 4. (左) 機械細研磨 (fine grinding) 後的碳化矽晶圓。超快雷射在不同位置上進行深度不一的減薄與表面紋理 (方塊區) (右) 二次諧波的 3D 量測。機械細研磨後的碳化矽晶圓表面有明顯的殘留應力 (晶格形變)，而使用超快雷射對晶圓表面進行二次減薄後，殘留應力明顯降低。(來源：鼎極科技)

備註：二次諧波 (second harmonic generation, SHG) 是一種非線性光學現象，當高強度雷射光 (基頻 ω) 入射非中心對稱介質時，介質的非線性極化產生頻率 2ω 的諧波光，常用於探測材料的對稱性、介面電場或缺陷，敏感度高達單分子層級。

相比傳統平面散熱，具有 3D 立體微結構能顯著增加換熱面積，超快雷射加工技術的出現，為 SiC 3D 微結構提供了「冷加工」的高效方案，能輕易且快速地加工出實現微米級的深層 3D 通道拓撲結構，這是機械鑽孔或電漿蝕刻難以企及的。圖 4 為飛秒雷射在碳化矽晶圓表面直接加工高密度針狀散熱陣列 (pin fin array)，除了針狀散熱陣列也能加工出複雜設計的 3D 形狀 (如流線型或具有粗糙表面以增加紊流的結構)。這些結構能顯著提升熱交換表面積，並與冷卻液直接接觸，達成極高的散熱效率。

總結而言，超快雷射在 SiC 切割和減薄的應用，透過精密能量控制，超越傳統方法，提供高品質、低應力加工，推動先進封裝技術迭代。

5.2 玻璃基板的飛秒雷射TGV

飛秒雷射對玻璃基板的 TGV 加工，是一種精密微加工技術，是玻璃基板作為異質整合基板的核心技術。玻璃基板如 Borofloat 33、BK7 或 Eagle XG，具有高透明度和脆性，傳統

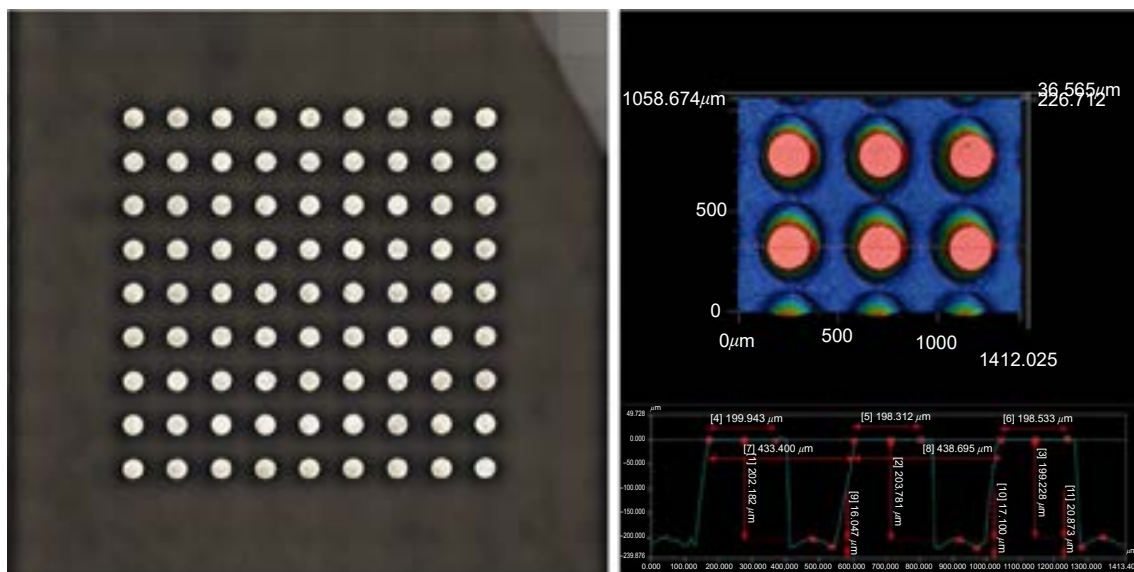


圖 5. (左) 針狀散熱陣列俯視照 (右) 針狀散熱陣列的 3D 結構量測，圓柱直徑和高度 200 μm 。(來源：鼎極科技)

加工方法易造成裂紋，而飛秒雷射以超短脈衝 (10–15 秒) 實現非熱加工，透過多光子吸收精確修改材料結構，避免熱影響區，確保孔洞品質優異。

選擇性雷射誘導蝕刻 (selective laser-induced etching, SLE) 是目前的主流技術，先以飛秒雷射以穿透方式掃描玻璃基板，透過非線性光學效應誘導玻璃局部結構變化 (例如改變 Si-O-Si 鍵角，形成更「鬆散」的非晶相或引入奈米級缺陷)，增強蝕刻選擇性，形成預定圖案的改質區 (modified zones)。可透過雷射參數精確定義孔徑 (e.g., 50–200 μm) 和深度 (達 1 mm)。改質區的蝕刻選擇性高 (達 1000:1)，其對化學劑 (如 HF 或 KOH 溶液) 敏感度遠高於未改質區域。

隨後，浸入蝕刻浴中，選擇性移除改質材料，形成平滑、無錐度或沙漏形孔洞。選擇性雷射蝕刻支援複雜 3D 結構，如傾斜孔或陣列，並可整合多層加工。優化脈衝序列 (如爆發模式) 可提升效率，減少二次沉積和裂紋風險。選擇性雷射誘導蝕刻無需使用光罩且相容多種玻璃。圖 5 為透過選擇性雷射誘導蝕刻製作出無錐度和沙漏形直通孔洞。孔洞的上孔與下孔蝕刻完直徑 $70 \pm 2 \mu\text{m}$ ，無錐度直通孔洞的中央孔洞直徑亦為 $70 \pm 2 \mu\text{m}$ ，而沙漏形孔洞的中央孔洞直徑 $40 \pm 2 \mu\text{m}$ 。圖 6 則展示選擇性雷射誘導蝕刻可製作出深寬比高達 26.5:1 的直通孔。

六、當前瓶頸與未來發展

超快雷射在 3D IC 先進封裝與異質整合中的應用日益重要，包括本文提及之 TGV 鑽孔，碳化矽基板加工之外，還有雷射去鍵合 (laser lift-off/debonding)、光子互連 (photonic wire bonding 或 3D 波導寫入) 等等，超快雷射的「冷加工」優勢有助於應對 3D IC 堆疊中的高密度互連、玻璃/矽異質材料處理、埋藏式波導等需求。

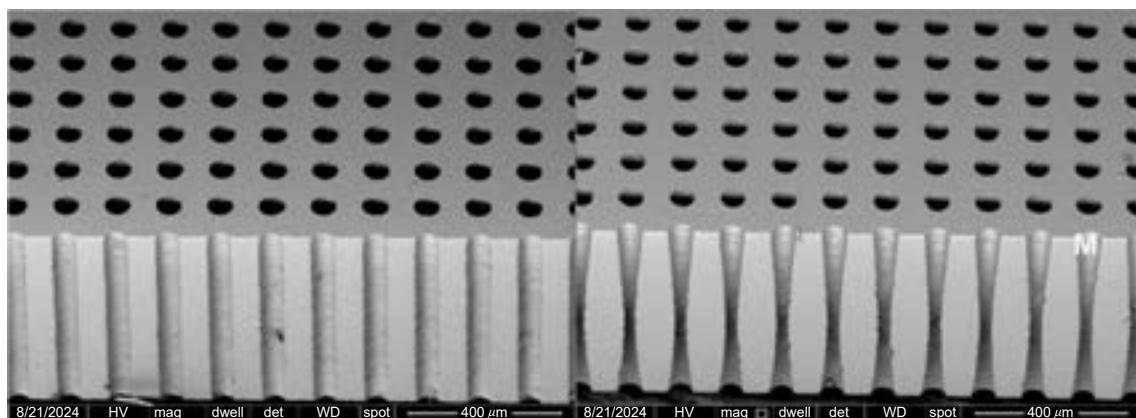


圖 6. 選擇性雷射誘導蝕刻在 Borofloat 33 玻璃上製作 TGV (左) 無錐度直通孔洞，直徑 $70 \pm 2 \mu\text{m}$ (右) 沙漏形孔洞，上孔與下孔直徑 $70 \pm 2 \mu\text{m}$ ，中央孔洞直徑 $40 \pm 2 \mu\text{m}$ 。(來源：鼎極科技)

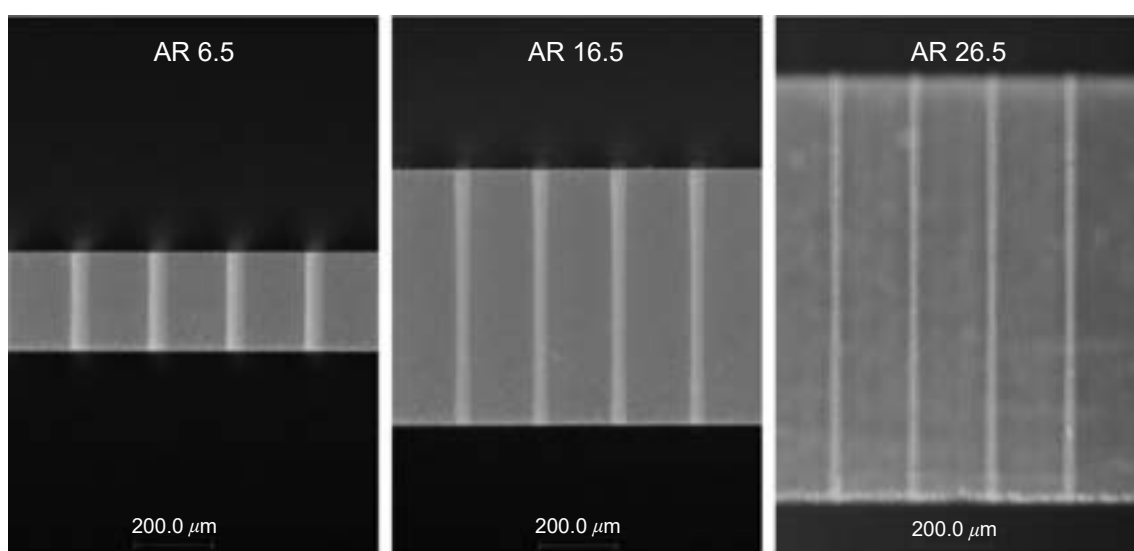


圖 7. 選擇性雷射誘導蝕刻在 Borofloat 33 玻璃上製作 TGV，TGV 深寬比由左至右為 6.5、16.5、26.5。(來源：鼎極科技)

然而，儘管超快雷射具備高精度、低熱損傷等優點，在 3D IC 先進封裝的量產與高密度整合中仍存在多項物理、技術與經濟層面的局限與瓶頸。以下針對物理限制以及其他關鍵挑戰進行說明。

6.1 雷射光斑尺寸的繞射極限 (diffraction limit) 與次微米加工難度

超快雷射的聚焦光斑尺寸 (spot size)，主要受波長 (λ) 與數值孔徑 (NA) 的物理限制，近似公式為：
$$d \approx \frac{1.22\lambda}{NA}$$

- 常見超快雷射波長 (如 1030 nm 基頻或倍頻後的 515 nm 綠光) 下，即使使用高 NA 物鏡，光斑通常難以穩定低於 $0.5 - 1 \mu\text{m}$ 。且倍頻技術雖使光斑理論上縮小一半，但也會導致功率損失提高並使系統複雜度增加。

- 在 3D IC 所需的高密度互連 (如 $< 10\ \mu\text{m}$ pitch 的 hybrid bonding 或 TGV、微凸塊) 中，若需接近 $1\ \mu\text{m}$ 或次微米精確加工 (如細線路圖案化、精密對準孔、sub- μm 波導)，單純聚焦會遇到瓶頸。繞射極限使得能量集中區域無法無限縮小，容易導致過曝或相互干涉。

6.2 加工速度與量產瓶頸

- 超快雷射單脈衝能量精準但平均功率相對較低，高重複率 (MHz-GHz) 雖可提升速度，但要避免因熱累積在高密度 3D 堆疊的多層材料中，產生意外 HAZ 或損傷。
- 3D IC 封裝涉及大面積晶圓 / 玻璃基板 (300 mm 等)，單點掃描式的加工方式是產能提升的主要障礙之一。
- 在 TGV 或微孔陣列加工中，雖然可實現高深寬比 (high aspect ratio) 無錐度孔，但整體產能仍低於量產需求。

6.3 材料相容性、多材料異質整合與熱／機械效應

- 3D IC 常涉及矽、玻璃、有機材料、銅柱、介電層等多種材料。雷射要在不同材料間進行選擇性加工仍具挑戰，可能產生微裂紋、側壁粗糙、殘留應力或分層。
- 在封裝使用的某些聚合物中，需搭配不同脈衝寬度的雷射或混合製程。
- Laser Lift-Off (LLO) 在超薄半導體層轉移或解合 (debonding) 應用中，涉及到光熱、衝擊波、氣穴等複雜機制，材料設計與光場調控是關鍵挑戰。
- 3D IC 本身有熱管理、翹曲、對位準精度、缺陷檢測等問題，雷射加工需與這些系統級限制配合。

以下針對上述的局限 (如光斑繞射極限、加工速度、材料相容性等) 提出未來發展方針：

6.4 突破光斑尺寸與次微米／奈米加工極限

雷射光斑受波長與 NA 的繞射極限約束，傳統聚焦難以穩定達到次微米等級，解決方案包括：

- 先進動態光束整形 (dynamic spatial beam shaping)：利用空間光調變器 (spatial light modulator, SLM)、液晶調變器或全息光學，實現平頂光或自適應光束輪廓，優化能量沉積、減少旁瓣，並提升有效解析度。
- 多光束平行加工 (multi-beam parallelization)：透過光柵、SLM 或數位微振鏡 (digital micromirror device, DMD) 產生多焦點陣列，同時加工多個結構，大幅提升吞吐量並緩解單點掃描的瓶頸。
- 更短波長與非線性效應結合：開發高功率 UV 飛秒系統 (例如 343 nm)，搭配多光子吸收或時空聚焦 (spatiotemporal focusing)，朝向 nanoscale 3D 結構 (如 sub-10 nm 特徵) 推進。結合選擇性雷射誘導蝕刻 (SLE / LIDE) 可進一步細化 TGV 側壁粗糙度與高深寬比結構。

6.5 提升加工速度與產能 (throughput)

- 混合脈衝：結合飛秒和皮秒/奈秒脈衝，利用飛秒的冷加工精準性搭配較皮秒或奈秒的高移除率。這可在維持低 HAZ 的同時，將切割或銑削速度提升 35—57% 以上。
- 多光束 + 高重複率系統：GHz 重複率結合平行光束與 pulse-on-demand 控制，適合大面積

玻璃晶圓或面板級加工 (fan-out panel level packaging, FOPLP)。

- 混合製程：雷射修改後接化學蝕刻、雷射輔助機械加工或電漿輔助雷射燒蝕都能顯著提高透明硬質材料的效率。

6.6 多材料整合加工

- 與半導體產線深度整合：系統級 codesign，協同原有半導體產線製程設備，AI 參數優化與數位孿生，針對 2D 材料、異質堆疊的選擇性加工進行整合與優化，減少微裂紋、殘留應力與分層現象。
- 更高功率的光源和模組化系統以及快速成長的專利與供應鏈，將加速從研發到量產轉移。

超快雷射在 3D IC 先進封裝與異質整合中的未來方向，正朝向突破現有物理與工程瓶頸、提升量產經濟性，並深度融入 AI 驅動的光電共封裝與玻璃基板平台發展。市場預測顯示，超快雷射市場 2026–2034 年 CAGR 高達 10–16%，主要動能來自半導體先進封裝的需求，產業報告將飛秒雷射搭配玻璃材質，視為 CPO、chiplet 與 heterogeneous integration 的核心路徑之一。飛秒雷射直接在玻璃內寫入低損耗 3D 光波導 (propagation loss < 0.1 dB/cm)，同時形成高精度 TGV，支持電—光共平台 (E/O co-integration)。這對 AI 時代的 CPO 至關重要，能將 optical I/O 移近 xPU，縮短互連距離、提升頻寬密度與訊號完整性。超快雷射還能應用在無膠光纖耦合的光子封裝，以及量子晶片相關微結構等等。

七、結論

3D IC 的發展已進入異質整合的深水區。SiC 的導入解決了高效能運算中的熱障礙，而玻璃基板則為未來大面積、高頻率的通訊與 AI 運算提供了物理基礎。超快雷射技術，特別是飛秒雷射，作為這兩種材料最理想的加工工具，已從實驗室研究轉向封裝產線。未來，如何結合人工智慧即時監控雷射加工品質，並進一步提升加工產能，將是決定 3D IC 能否持續進展的關鍵。

參考文獻

1. Huawei Wang, Pengfei Bai, He Cui, Xiaotong Zhang, Yifan Tang, Shaoyu Liang, Shixiao Li & Guofu Zhou, *Communications Engineering*, 4, 1 (2025).
2. Piotr Mackowiak, Kolja Erbacher; Michael Schiffer, Charles-Alix Manier, Michael Topper, Ha-Duong Ngo, Martin Schneider-Ramelow, Klaus-Dieter Lang, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 12 (3), 437 (2022).
3. Piotr Mackowiak, Julia-Marie Köszegi, Martin Schneider-Ramelow, Michael Schiffer, “TSiCV Based Silicon Carbide Interposer Technology,” *Systems Integration Conference and Exhibition*, March 28-30, (2023).
4. Piotr Mackowiak, Julia-Marie Köszegi, Martin Schneider-Ramelow,, “RF Modelling of for Through SiC Vias and Fabrication of SiC based Interposer,” *IEEE 25th Electronics Packaging Technology Conference*, December 05-08, (2023).
5. Shih-Chang KuHung-Chi LiTsung-Shu LinTsung-Yu ChenWensen Hung, “Semiconductor device methods of manufacture,” US10978373B2 (2021).
6. Kuo-Chiang TingSung-Feng YehTa Hao SungJian-Wei Hong, “3D IC with heat dissipation structure and warpage control,” US20250266318A1, (2025).
7. Rao Tummala, Bartlet DeProspo, Shreya Dwarakanath, Siddharth Ravichandran, “Glass Panel Packaging, as the Most Leading-Edge Packaging: Technologies and Applications,” *Pan Pacific Microelectronics Symposium*, January 31-February 3, (2020).
8. Siddharth Ravichandran, Vanessa Smet, Madhavan Swaminathan, Rao Tummala, “Demonstration of Glass-based 3D

- Package Architectures with Embedded Dies for High Performance Computing,” *Electronic Components and Technology Conference*, May 31-June 4, (2022).
9. Atom O. Watanabe, Tong-Hong Lin, Muhammad Ali, Yiteng Wang, Vanessa Smet, Pulugurtha Markondeya Raj, *IEEE Transactions on Microwave Theory and Techniques*, **68** (12), 5082 (2020).
10. Lars Brusberg, Aramais R. Zakharian, Jason R. Grenier, Barry J. Paddock, Daniel W. Levesque, Cliff G. Sutton, Robin M. Force, Lucas W. Yearly, Robert A. Bellman, Chad C. Terwilliger, Betsy J. Johnson, “Glass Substrate for Co-Packaged Optics,” *IMAPS Symposium*, October 3-6 (2022).
11. Jason R Grenier, Lars Brusberg, Kristopher A Wieland, Juergen Matthies, Chad C Terwilliger, *Advanced Optical Technologies*, **12**, 1244009 (2024).
12. Agnė Butkutė, Linas Jonušauskas, *Micromachines*, **12** (5), 499 (2021).
13. Jian Zhang, Zhichao Liu, Yuanhang Zhang, Feng Geng, Shengfei Wang, Fei Fan, Qinghua Zhang and Qiao Xu, *Micromachines*, **14** (10), 1960 (2023).

作者簡介

錢俊逸先生為國立清華大學奈米工程與微系統所博士，現為鼎極科技營運長。

Jiunn-Yih Chyan received his Ph.D. from the Institute of NanoEngineering and MicroSystems at National Tsing Hua University. He currently serves as the COO of DEUVtek Co., Ltd.

異質整合之先進封裝製程參數與 檢測量測方法

Process Parameters and Inspection/Metrology Methods for Heterogeneous Integration-oriented Advanced Packaging

洪堂欽

Tang-Chin Hung

AI、高效能運算 (high performance computing, HPC) 與高頻寬記憶體 (high bandwidth memory, HBM) 推升了高頻寬、低延遲與高功率密度晶片系統的需求，使 3D IC 異質整合先進封裝成為延續系統效能的重要技術路徑⁽¹⁻³⁾。本文以技術導向方式說明 3D IC 由 2.5D 中介層整合邁向 3D 垂直堆疊時，矽穿孔 (through-silicon via, TSV)、混合鍵合 (hybrid bonding)、晶圓薄化 (wafer thinning)、暫時性接合與剝離 (temporary bonding and debonding, TBDB)、濕製程清洗／蝕刻、再生晶圓與非破壞性檢測量測等關鍵技術的工程內涵。文中進一步建立熱阻、接面溫度、互連 RC 延遲、晶圓翹曲、剝離能、缺陷逃逸率與量測系統變異等可量化指標，串聯製程條件、材料選擇、量測回饋與整體晶片系統效能之關係。最後，本文整理全球與台灣在先進封裝設備、檢測量測與供應鏈協作上的發展現況，並提出國內自主關鍵技術、技術缺口、互補合作方向與未來檢測設備趨勢。

Driven by AI, high-performance computing (HPC), and high-bandwidth memory (HBM), 3D IC heterogeneous integration has become a key pathway for improving system performance beyond conventional device scaling⁽¹⁻³⁾. This article provides a technology-oriented overview of the engineering principles and development trends of TSVs, hybrid bonding, wafer thinning, temporary bonding/debonding, wet cleaning/etching, wafer reclaim, and nondestructive inspection/metrology. Quantitative metrics, including thermal resistance, junction temperature, RC delay, wafer warpage, interfacial debonding energy, defect escape rate, and gage repeatability and reproducibility, are used to link process parameters, material choices, metrology feedback, and overall chip-system performance. The article also summarizes global and domestic development status, autonomous technology advantages in Taiwan, key technology gaps, complementary collaboration opportunities, and future trends in inspection and metrology equipment.

一、前言

半導體效能提升正在由單純製程微縮，轉向以小晶片 (chiplet)、2.5D 中介層、3D 堆疊、扇外型晶圓／面板級封裝與共同封裝光學等技術構成的系統級整合。與 2D 平面配置相比，3D IC 可縮短晶片間互連距離、提高 I/O 密度並降低單位資料傳輸能耗；但同時也使熱管理、翹曲控制、堆疊可靠度與高深寬比 (aspect ratio, AR) 結構檢測成為量產關鍵^(1, 4, 5)。

台灣具備晶圓製造、封裝測試、材料、設備、載板與系統應用的完整生態系，近年亦透過 3D IC 先進封裝製造聯盟與國際論壇推動標準導入、跨領域協作與供應鏈韌性^(2, 6)。因此，本文不以單一企業角色為中心，而是從全球發展、國內優勢、自主技術、技術缺口與互補合作角度，解析 3D IC 異質整合先進封裝製程與檢測量測技術。

二、3D IC 異質整合先進封裝製程概述

2.1 從 2.5D 到 3D 的技術演進與系統效能需求

2.5D 封裝通常以矽中介層、重佈線層 (redistribution layer, RDL) 或玻璃／有機中介載板，將邏輯晶片、HBM 與 I/O 晶片橫向整合。此架構可有效提升晶片間頻寬並縮短部分訊號路徑，已廣泛應用於 AI 加速器、高效能運算與高頻寬記憶體模組。然而，隨著 AI 模型規模、記憶體頻寬與資料搬移量持續增加，單純依靠橫向擴展將面臨封裝面積擴大、互連長度增加、功耗 (power consumption) 上升及訊號延遲累積等限制。因此，半導體封裝技術正由 2.5D 橫向整合，逐步邁向 3D 垂直堆疊架構。3D IC 異質整合的核心概念，是將不同功能、不同製程節點的小晶片在垂直方向上堆疊，再透過垂直互連技術如矽導通孔、銅對銅混合鍵合或晶圓鍵合等手段實現互連。相較之下，3D IC 架構能顯著縮短晶片間的信號傳輸距離，降低功耗，並提升整體系統效能^(1, 4, 7)。

3D IC 的系統效能不能只用單一晶片運算能力衡量，而需同時考慮熱阻、接面溫度、互連 RC 延遲、供電完整性、翹曲與堆疊可靠度。這些參數會直接影響可用頻率、功耗、壽命、良率與總擁有成本。因此，3D IC 異質整合的技術價值，不僅在於提高晶片堆疊密度，更在於透過短距離互連、熱管理設計、應力控制與製程內檢測，達成高頻寬、低延遲、低功耗、高良率與高可靠度的系統級最佳化。這些性能需求也對應到後續章節所討論的濕製程設備、暫時性貼合／剝離技術、晶圓薄化、翹曲控制、非破壞性檢測與良率管理模型，形成從製程、量測到系統效能的完整技術脈絡。⁽²⁻⁴⁾

2.2 關鍵性能參數與系統效能之關聯

3D IC 異質整合的價值不僅在於晶片垂直堆疊，更在於透過短距離互連提升系統頻寬、降低訊號延遲與互連功耗。然而，隨著晶片堆疊層數增加與功率密度提升，熱管理、機械應力、互連電性與缺陷控制將成為影響整體晶片系統效能與可靠度的核心因素。

在熱管理方面，3D 堆疊使熱源更集中，且散熱路徑較傳統 2D 封裝更複雜。封裝熱阻與接面溫度直接影響晶片運作頻率、漏電流、材料疲勞與長期可靠度。當接面溫度升高時，晶片可能面臨降頻、熱失效或壽命縮短等問題，因此熱阻、界面接觸品質、熱介面材料 (thermal interface material, TIM) 與封裝結構設計，皆須與製程條件同步考量。

3D IC 熱管理與堆疊可靠度一

熱管理與接面溫度：3D 堆疊提高功率密度，若散熱路徑、TIM、矽中介層、TSV 熱通道與封裝結構未最佳化，接面溫度 T_j 上升將造成漏電增加、時序裕度下降與可靠度劣化。

$$R_{\theta JA} = \frac{T_j - T_a}{P} ; T = T_a + P \cdot R_{\theta JA}$$

其中， T_j 為晶片接面溫度， T_a 為環境溫度。3D 堆疊提高功率密度後，熱阻模型可用於評估散熱路徑、TIM 材料與封裝結構設計。

多層堆疊熱阻串並聯模型：

$$R_{th, total} \approx \sum_i \left[\frac{t_i}{k_i \cdot A_i} \right] + \sum_j R_{contact, j}$$

其中， t_i 、 k_i 、 A_i 分別為各材料層厚度、熱導率與導熱面積； $R_{contact}$ 為界面接觸熱阻。熱阻越低，代表熱能由晶片接面傳至環境的能力越佳，可支援較高功率密度或較低風扇／液冷負載；此式可說明異質材料堆疊中界面品質對散熱與可靠度的重要性。

在電性方面，TSV 與微凸塊的寄生電阻與寄生電容會影響 RC 延遲、訊號完整性與動態功耗。若 TSV 填孔不完整、阻障層或晶種層不連續，將導致互連阻抗上升，進而影響高頻訊號傳輸與系統能效。因此，TSV 蝕刻、電鍍填孔、化學機械研磨 (chemical-mechanical planarization, CMP) 與濕製程清洗，皆須透過量測指標進行製程監控。

TSV 與混合鍵合互連：TSV 電阻、電容與接觸電阻決定垂直互連延遲、功耗與訊號完整性；接合界面空洞、氧化殘留或共面性不足會提高接觸阻抗並降低可靠度。

TSV 互連電性與訊號完整性模型一

TSV 直流電阻：

$$R_{TSV} = \rho_{Cu} \cdot \frac{L}{A} = \frac{\rho_{Cu} \cdot L}{\pi \left(\frac{D}{2} \right)^2}$$

其中， ρ_{Cu} 為銅電阻率， L 為 TSV 深度， D 為孔徑。當深寬比 $AR = L/D$ 提高時， R_{TSV} 與製程缺陷、填銅空洞及晶種層連續性高度相關，可作為電鍍填孔與 CMP 後電性驗證指標。

TSV 等效電容與 RC 延遲：

$$C_{TSV} \approx \frac{2\pi\epsilon_{ox}L}{\ln \left[(r_{ox} + t_{ox}) / r_{Cu} \right]} , \tau_{RC} = R_{TSV} \cdot C_{TSV}$$

其中， C_{TSV} 受到氧化層厚度 t_{ox} 、介電常數 ϵ_{ox} 與 TSV 幾何尺寸影響； τ_{RC} 可用於評估 3D 堆疊中垂直互連的傳輸延遲與功耗。

垂直互連功耗：

$$P_{\text{dyn}} = \alpha \cdot C_{\text{eff}} \cdot V_D D^2 \cdot f$$

其中， α 為切換因子， C_{eff} 包含 TSV、微凸塊與 RDL 寄生電容；3D IC 縮短互連長度可降低 C_{eff} 與 P_{dyn} ，是異質整合提升系統能效的重要物理基礎。

高深寬比填孔能力：

$$AR = \frac{L}{D} ; V_{\text{fill}} \propto k_m \cdot C_{\text{Cu}}^{2+} \cdot \exp\left(\frac{-E_a}{RT}\right)$$

其中， AR 越高，質傳限制與孔底添加劑分佈越關鍵； V_{fill} 表徵填銅速率與溫度、銅離子濃度及活化能的關係，可連結濕製程設備之流場均勻性與填孔缺陷率。

銅電鍍厚度－法拉第定律 (Faraday's law)

$$h_{\text{Cu}} = \frac{\eta \cdot J \cdot t \cdot M_{\text{Cu}}}{n \cdot F \cdot \rho_{\text{Cu}}}$$

其中， η 為電流效率， J 為電流密度， t 為電鍍時間， M_{Cu} 為銅莫耳質量， n 為電子轉移數， F 為法拉第常數。此式可用於 TSV 填銅、銅柱高度與 RDL 厚度控制。

在機械可靠度方面，晶圓薄化雖有助於縮短垂直互連距離，但也會降低晶圓彎曲剛性，使破片、翹曲與應力集中風險增加。翹曲會影響曝光對準、微凸塊共面性、鍵合壓力分布與後續堆疊良率，因此暫時性貼合／剝離、材料熱膨脹係數匹配與翹曲量測，均為 3D IC 封裝可靠度控制的重要環節。

在良率管理方面，隱裂、暗崩、背崩、空洞、顆粒與殘膠等缺陷若未於製程中即時檢出，將在後續堆疊後造成更高成本的失效。因此，IR/NIR 隱裂檢測、3D AOI、X-ray 與缺陷地圖分析，應與濕製程、薄化、貼合與剝離等製程資料整合，形成製程－量測－資料回饋的閉迴路。由此可見，3D IC 製程中的各項性能參數並非單點指標，而是共同決定系統效能、良率與可靠度的關鍵工程變數。

綜合上述，在 3D IC 異質整合先進封裝中，以下幾個製程節點尤為關鍵：

矽導通孔製程：TSV 的製作涉及深反應離子蝕刻、絕緣層沉積、阻障層／晶種層沉積、電鍍填孔及 CMP 平坦化等多道製程。TSV 的深寬比不斷提升，對濕製程設備的均勻性與顆粒控制能力提出了嚴苛要求。

晶圓薄化與暫時性貼合：為實現垂直堆疊，晶圓需薄化至 50 μm 以下。在如此薄的晶片上進行製程，必須依靠暫時性貼合技術將晶圓暫時接合於承載晶圓上以提供支撐，待背面製程完成後再進行剝離與清洗⁽¹²⁾。

背面金屬化與凸塊製作：薄化後的晶圓背面需要進行金屬化處理並製作微凸塊，以實現晶片間的垂直互連。此階段的濕製程清洗與蝕刻對於凸塊的品質與可靠性至關重要。

2.3 製程與量測關係式與良率模型

於上述系統效能與可靠度需求，3D IC 異質整合與先進封裝的製程挑戰，並非僅來自單一設備性能，而是來自多個製程節點之間的耦合效應。當晶圓清洗、TSV 蝕刻、暫時性貼合、晶圓薄化、剝離清洗與非破壞性檢測串接成完整流程時，任何一個節點的微小變異，都可能在後續堆疊與封裝 (stacking and packaging) 階段被放大。因此，本文是以「製程、量測、資料回饋」的閉迴路觀點，說明濕製程設備與檢測量測設備在良率管理中的共同角色 (圖 1)。

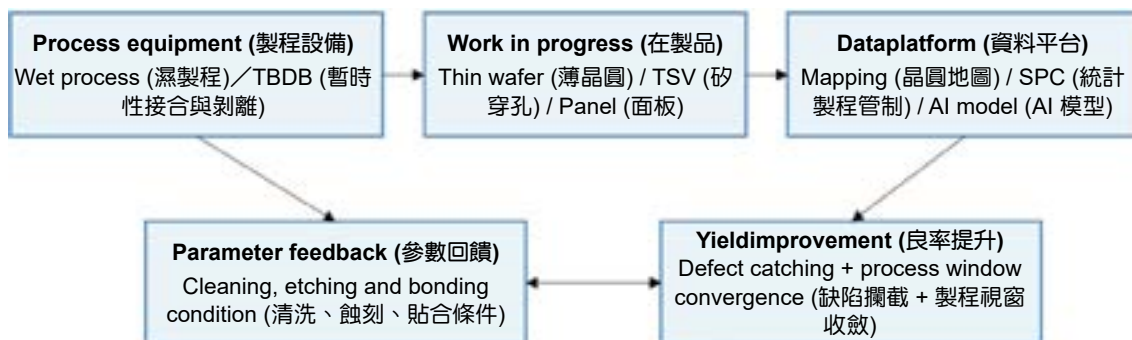


圖 1. 3D IC 先進封裝製程、檢測量測迴路架構。

若將第 i 個關鍵製程節點的良率表示為 Y_i ，並將檢測未能攔截而進入下一製程的缺陷逃逸率表示為 D_{escape} ，則堆疊後的有效良率可近似表示為：

$$Y_{\text{stack}} \approx \prod_i Y_i \times (1 - D_{\text{escape}})$$

此式說明，3D IC 堆疊層數愈多、製程節點愈長，單一節點良率的些微下降都會對最終良率造成乘積式影響。若製程初始缺陷密度為 D_0 ，檢測系統對關鍵缺陷的檢出率為 P_{detect} ，則缺陷逃逸率可簡化為：

$$D_{\text{escape}} = D_0 \times (1 - P_{\text{detect}})$$

因此，提高 P_{detect} 不僅是檢測設備本身的性能議題，更直接影響後續高成本堆疊製程的投入效率。

缺陷密度良率模型

$$Y = \exp(-D_0 \cdot A)$$

其中， D_0 為單位面積缺陷密度， A 為有效晶粒或封裝面積。對大面積中介層、扇出型面板級封裝 (fan-out panel-level packaging, FOPLP) 與玻璃基板而言，降低顆粒、刮傷、隱裂與翹曲缺陷密度是提升良率的核心。

首先，TSV 製程涉及深反應離子蝕刻、絕緣層沉積、阻障層／晶種層沉積、電鍍填孔與 CMP 平坦化。此階段直接影響垂直互連的電阻、電容、RC 延遲與訊號完整性，因此需要良好的蝕刻均勻性、填孔品質與顆粒控制能力。

其次，晶圓薄化與暫時性貼合／剝離是 3D 堆疊製程中的關鍵支撐技術。當晶圓厚度降至 50 μm 以下時，晶圓彎曲剛性大幅下降，必須透過暫時性接合於承載晶圓上，以降低破片、翹曲與搬運風險。此階段與薄膜應力、熱失配、剝離能窗口及殘膠清洗密切相關。

最後，非破壞性檢測與缺陷攔截是提高堆疊良率的重要機制。IR/NIR 隱裂檢測可檢出薄晶圓內部裂紋，3D AOI 可量測銅柱高度與孔深，X-ray 則可檢查內部空洞與接合缺陷。透過製程內檢測，可避免缺陷晶粒進入高成本堆疊流程。

綜合而言，典型 3D 晶圓製程流程可整理為：晶圓清洗與表面準備 → 黃光製程定義 TSV 位置 → 非等向性乾蝕刻製作 TSV → 化學氣相沉積 (chemical vapor deposition, CVD) 絕緣層沉積與物理氣相沉積 (physical vapor deposition, PVD) 阻障層／晶種層沉積 → 電鍍填孔 → 化學機械研磨 (chemical-mechanical planarization/polishing, CMP) 平坦化 → 正面線路製作 → 暫時性貼合 → 晶圓薄化 → 背面線路與凸塊 (bump) 製作 → 剝離與殘膠清洗 → IR/3D/X-ray 檢測 → 晶片堆疊與最終可靠度驗證。在整個製程中，濕製程清洗、蝕刻以及暫時性貼合與剝離等環節，對於最終產品的良率與可靠度具有決定性影響。

三、關鍵製程設備技術與工程指標

3.1 濕製程清洗與蝕刻技術

濕製程在 TSV、RDL、微凸塊、背面金屬化與面板級封裝中扮演基礎角色。全球發展趨勢由批次處理逐步擴展至單晶圓高均勻性處理、面板級大面積處理、低損傷超音波清洗、低用水／低化學品消耗與智慧化藥液監控。

國內優勢在於鄰近晶圓製造與封測產場域，可快速取得製程回饋並進行設備改版；技術缺口則包括高深寬比結構內部殘留物即時監控、奈米級顆粒檢出、藥液壽命模型與跨設備資料標準化。未來應結合感測器、數位分身與缺陷地圖，將濕製程由單點設備控制提升為資料驅動的良率控制平台。

為使濕製程設備之技術能力更符合科學儀器與量測導向的描述方式，可將設備性能拆解為均勻性、清洗效率、化學反應控制、產出量與製程穩定度等指標。其中，蝕刻均勻性可定義為：

$$U_{\text{etch}} = \frac{t_{\text{max}} - t_{\text{min}}}{2 \times t_{\text{mean}}} \times 100\%$$

其中， t_{max} 、 t_{min} 與 t_{mean} 分別代表晶圓或面板上量測厚度／蝕刻深度的最大值、最小值與平均值。 U_{etch} 越低，代表片內或板內蝕刻均勻性越佳，亦意味著化學藥液分佈、流場設計、噴灑角度、旋轉速度與溫度控制具有較佳的一致性。

清洗能力則可由顆粒移除效率表示：

$$\eta_{\text{clean}} = \frac{N_{\text{before}} - N_{\text{after}}}{N_{\text{before}}} \times 100\%$$

其中， N_{before} 與 N_{after} 分別為清洗前後之顆粒數。此指標可用於比較不同清洗配方、噴流能量、兆音波條件、乾燥機制與晶圓表面狀態對顆粒去除效果的影響。對 TSV 與微凸塊製程而言，顆粒殘留可能造成開路、短路、接合空洞或可靠度劣化，因此清洗效率與缺陷地圖應被納入製程監控 (如圖 2、表 1)。

此外，TSV 結構的電性可藉由幾何關係進行一階估算。若 TSV 填充材料為銅，其等效電阻可表示為：

$$R_{\text{TSV}} = \frac{\rho_{\text{Cu}} \times h}{\pi r^2}$$

其中， ρ_{Cu} 為銅電阻率， h 為 TSV 深度， r 為 TSV 半徑。當深寬比提高時，填孔完整性、側壁覆蓋率、空洞控制與後續濕製程清洗難度同步升高。TSV 近似電容亦可表示為：

$$C_{\text{TSV}} \approx \frac{2\pi\epsilon_{\text{ox}}h}{\ln(r_{\text{ox}}/r_{\text{Cu}})}$$

此式連結 TSV 絕緣層厚度、垂直互連長度與高頻訊號完整性，可用於說明濕製程、沉積與 CMP 平坦化等製程均勻性對最終電性表現的影響。

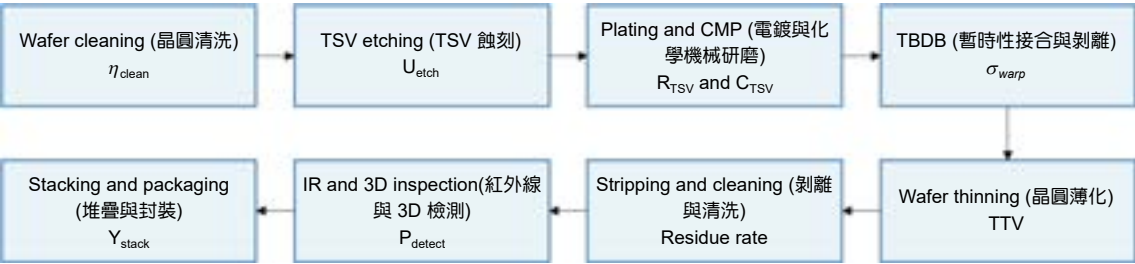


圖 2. 3D IC 先進封裝製程節點與可量化指標對應。

表 1. 濕製程設備關鍵性能指標與工程意義。

指標	關係式	對應設備／製程意義
蝕刻均勻性	$U_{\text{etch}} = \frac{t_{\text{max}} - t_{\text{min}}}{2 \times t_{\text{mean}}} \times 100\%$	濕蝕刻與清洗流場、溫度、藥液分佈控制。
顆粒移除效率	$\eta_{\text{clean}} = \frac{N_{\text{before}} - N_{\text{after}}}{N_{\text{before}}} \times 100\%$	清洗配方、噴流能量與乾燥條件最佳化。
TSV 等效電阻	$R_{\text{TSV}} = \frac{\rho_{\text{Cu}} \times h}{\pi r^2}$	TSV 幾何尺寸、填孔品質與互連阻抗。
TSV 近似電容	$C_{\text{TSV}} \approx \frac{2\pi\epsilon_{\text{ox}}h}{\ln(r_{\text{ox}}/r_{\text{Cu}})}$	絕緣層設計與高頻訊號完整性。
設備產出量	$T_{\text{throughput}} = \frac{N_{\text{batch}}}{t_{\text{load}} + t_{\text{process}} + t_{\text{unload}} + t_{\text{clean}}}$	批次／單晶圓／面板級設備產能與 CoO 評估。

3.2 晶圓薄化、暫時性接合/剝離與翹曲控制

暫時性接合／剝離 (temporary bonding/debonding, TBDB) 支撐薄晶圓完成背面研磨、蝕刻、金屬化與接合前製程，是 3D IC 製程中不可或缺的關鍵技術。隨著晶圓薄化至 $50\ \mu\text{m}$ 以下，薄晶圓在後續製程中容易發生破片、翹曲等問題，必須藉由暫時性貼合將晶圓暫時固定在承載晶圓上進行支撐，待製程完成後再以適當方式剝離並清洗；此技術的核心不是單純貼合，而是材料、熱歷程、界面能、翹曲力學與殘膠清洗的整合控制⁽¹²⁾。

第一，薄化會使晶圓彎曲剛性急遽下降，因此需要暫時性接合提供機械支撐；晶圓薄化、暫時性貼合/剝離與翹曲力學。

第二，接合材料需在研磨、濕製程與熱處理期間提供足夠界面能，避免滑移、翹曲與破片；薄晶圓彎曲剛性：

$$D_{\text{flex}} = E \cdot \frac{t_w^3}{12(1-\nu^2)}$$

其中， E 為楊氏模數 (Young's modulus)， ν 為蒲松比 (Poisson's ratio)， t_w 為晶圓厚度。當 t_w 由數百微米降至 $50\ \mu\text{m}$ 以下， D_{flex} 呈三次方下降，說明 TBDB 在薄晶圓搬運與背面製程中的必要性。

第三，剝離時又必須控制剝離能與剝離路徑，使殘膠、崩邊與隱裂降至最低；薄膜應力造成之晶圓翹曲 (stoney 近似)：

$$1/R = 6(1-\nu_s) \cdot \sigma_f \cdot \frac{t_f}{E_s \cdot t_s^2} ; \text{Warpage} \approx \frac{a^2}{2R}$$

其中， σ_f 與 t_f 為薄膜應力與厚度， E_s 、 ν_s 、 t_s 為基板材料參數， a 為量測半徑。此式可用於面板級封裝、玻璃基板與 RDL 堆疊後翹曲評估。

暫時性貼合界面剝離能：

$$G_c = \frac{P^2}{2bE'h} \text{ 或 } G_c \approx \frac{\int F \cdot d\delta}{A_{\text{interface}}}$$

其中， G_c 為界面臨界能量釋放率；需高於製程搬運與研磨時的破壞驅動力，但又必須低於剝離設備可穩定施加之能量區間，以達成低殘膠、低破片之 Debond 製程。

第四，薄膜應力與熱膨脹係數差異會轉化為翹曲，進而影響後續微凸塊或混合鍵合對位。異質材料熱膨脹係數不匹配會造成翹曲與局部應力集中，影響微凸塊／混合鍵合對位、底填流動與後續可靠度，熱失配應變與熱應力：

$$\varepsilon_T = (\alpha_1 - \alpha_2) \cdot \Delta T ; \sigma_T \approx E_{\text{eff}} \cdot \varepsilon_T$$

其中，不同材料如 Si、Cu、玻璃、PI 與暫時性膠材之熱膨脹係數不同，熱循環會導致翹曲、裂紋與界面剝離；此式可支撐材料/設備協同設計。

全球趨勢包含雷射剝離、熱滑移剝離、機械剝離、低殘膠材料、高溫相容暫時性膠材與大尺寸面板級翹曲抑制。國內技術優勢在於可結合材料供應商、設備商與封測量產線進行快速驗證；仍需補強之處包括薄晶圓破片模型、界面污染線上量測、面板級載具標準化與低碳清洗配方。

3.3 再生晶圓技術與優勢

再生晶圓 (wafer reclaim) 是以去膜、研磨／拋光、清洗、檢測與分級，使測試晶圓或監控晶圓回到可重複使用狀態的循環製程。其技術價值包括降低監控晶圓成本、減少晶圓耗用、縮短製程開發週期，並提供設備驗證與量測校正所需的穩定基準片^(1, 18)。重要製程指標：

1. 去膜與表面復原：需移除氧化層、氮化層、金屬膜、光阻或聚合物殘留，同時控制表面粗糙度與金屬污染。
2. 厚度與平坦度控制：TTV、Bow、Warp 與局部平坦度會影響後續黃光、薄化、接合與量測結果。
3. 清洗與顆粒控制：再生後晶圓需符合顆粒、金屬污染與有機殘留規格。
4. 檢測分級：透過光學、表面輪廓、翹曲與缺陷檢測建立可追溯品質履歷。

國內發展優勢在於晶圓廠與封裝廠需求密集，可將再生晶圓作為濕製程、薄化、TBDB 與檢測設備的共同驗證平台。建立再生晶圓規格標準、碳足跡資料與閉迴路品質履歷，將有助於提升國內設備開發效率與永續製造競爭力。

四、國內外技術發展、自主優勢與未來目標

全球先進封裝設備技術正朝向高密度互連、混合鍵合、面板級製程、玻璃基板、低翹曲材料與 AI 化檢測量測發展。國際設備供應鏈在高階曝光、電漿蝕刻、原子層沉積、先進量測與缺陷檢查方面仍具領先優勢；台灣則在量產場域、製程整合、封測協作與快速工程回饋方面具備強項。

國內自主關鍵技術可聚焦於濕製程清洗/蝕刻、晶圓薄化與暫時性接合/剝離、面板級濕製程、翹曲抑制、IR/NIR 隱裂檢測、3D AOI、X-Ray 與資料回饋平台。這些技術若能與材料、載具、封裝設計、可靠度測試及 AI 缺陷分類整合，將可補強國內在先進封裝設備自主化與供應鏈韌性上的關鍵能力。

未來目標宜由「單機性能提升」擴展為「製程、量測、資料、可靠度」整合：包含建立標準化資料格式、跨設備缺陷地圖、AI 模型驗證規範、低碳製程指標、面板級製程可靠度資料庫，以及支援 3D IC 量產的快速失效分析流程。

五、檢測量測技術與閉迴路良率管理

5.1 紅外線穿透檢測技術：先進封裝前段的品質防線

在半導體先進封裝製程中，晶圓完成薄化與切割後即進入結構最脆弱的階段。晶背研磨 (backside grinding) 與晶圓切割 (die saw) 雖為晶粒單粒化與厚度控制之必要步驟，卻不可避免地對其引入機械應力與熱應力，使晶圓表面與次表面產生微細損傷。這些損傷通常表現為

次表面裂縫 (subsurface cracks)、背崩 (backside chipping)、邊緣崩裂或其他隱性破損，其危險性在於難以透過傳統外觀目視識別，且可能在後續搬運、貼裝、壓合、加熱乃至終端使用過程中持續擴展，進而導致良率損失與長期可靠度失效。在車用電子、通訊晶片或高效能運算等高可靠度應用上，前段缺陷若未及時攔截，往往放大為高昂的報廢成本與品質風險，其影響遠超出封裝階段本身。

5.2 IR/NIR 隱裂檢測

薄晶圓、切割道、堆疊界面與晶片貼裝膜 (die attach film, DAF) 材料會使傳統可見光檢測受到限制。矽材料雖對可見光不透明，但對紅外線波段具良好穿透性，IR 或 SWIR 影像架構因而得以觀察晶圓內部的隱性損傷。IR/NIR 可利用矽在特定波段的穿透性，檢出內裂、暗崩、背崩與切割損傷。

IR 穿透檢測，比爾-朗伯定律 (Beer-Lambert law)：

$$I = I_0 \cdot \exp(-\alpha_{si} \cdot d)$$

其中， I_0 為入射光強， I 為穿透光強， α_{si} 為矽在特定 IR/NIR 波長下之吸收係數， d 為矽厚度。晶圓薄化後 d 下降，IR/NIR 穿透能力提高，有利於隱裂、暗崩與背崩檢出。

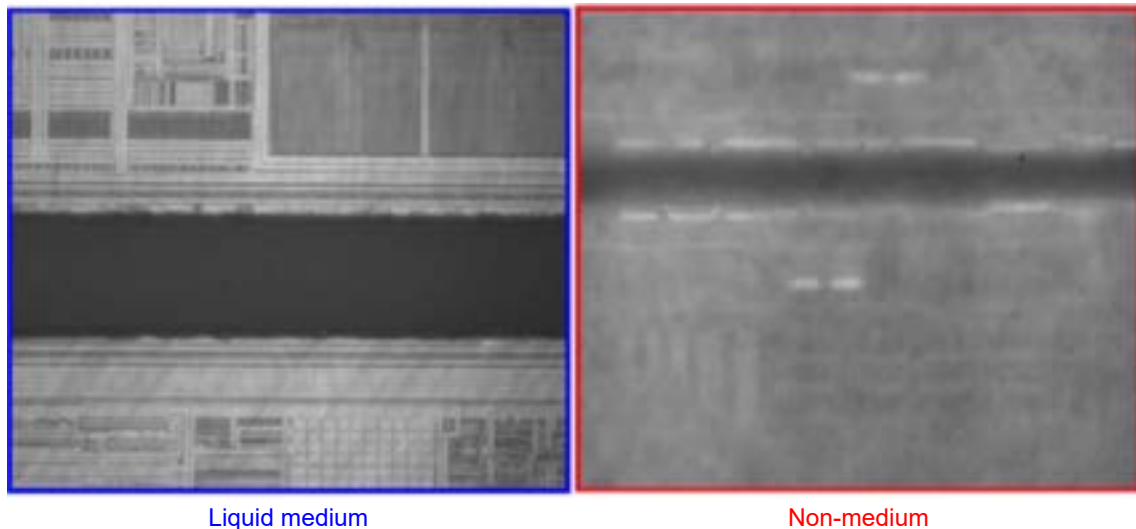


圖 3. 晶圓切割 (Die Saw) 後的背崩和隱崩檢測。

裂紋擴展風險－Paris Law：

$$\frac{da}{dN} = C \cdot (\Delta K)^m$$

其中， a 為裂紋長度， N 為熱循環或機械循環次數， ΔK 為應力強度因子範圍。IR/NIR 隱裂檢測可在裂紋尚未擴展至臨界尺寸前完成篩選，降低 3D 堆疊後失效率。

5.3 缺陷攔截與檢測量測模型

3D AOI 可量測銅柱高度、孔深、共面性與表面凹陷；X-Ray 可檢查內部空洞、接合不良與封裝內部異常；翹曲量測則對 FOPLP、玻璃基板與大面積封裝尤其重要。未來趨勢為多模態整合、AI 缺陷分類、線上量測、高速大面積掃描與量測不確定度管理。相關 TSV/TGV 檢測量測研究亦指出，未來將朝高速、準線上與 AI 輔助自動化方向發展^(8,9)。

在先進封裝中，檢測量測的核心價值可由「缺陷攔截率」與「缺陷逃逸率」描述。若某製程節點產生的初始缺陷密度為 D_0 ，檢測系統對該類缺陷的檢出率為 P_{detect} ，則進入後續製程的殘餘缺陷可表示為：

$$D_{\text{escape}} = D_0 \times (1 - P_{\text{detect}})$$

此關係式指出，當 P_{detect} 由 90% 提升至 99% 時，缺陷逃逸量將由 $0.1D_0$ 降至 $0.01D_0$ ，對高成本的 3D 堆疊與異質整合封裝具有顯著經濟效益。尤其在晶圓薄化、切割、堆疊與混合鍵合後，缺陷一旦進入後段，不僅檢出難度提高，也可能造成整顆封裝體報廢。

IR 隱裂檢測對薄晶圓與切割後晶粒特別重要，因矽材料對可見光不透明，傳統光學檢查難以辨識內部裂紋、暗崩與背崩。透過 IR/NIR 影像搭配自動判讀軟體，可在 Die Saw 後或進入堆疊前建立缺陷地圖，將不良晶粒排除於高成本封裝流程之外。

若將檢測導入前後的堆疊良率分別表示為 Y_{before} 與 Y_{after} ，則檢測導入效益可用良率提升倍率表示：

$$\text{Gain}_Y = \frac{Y_{\text{after}}}{Y_{\text{before}}}$$

此處的 Y_{after} 不僅取決於檢測硬體解析度，也與 AI 分類混淆、演算法誤判率、漏判率、缺陷分類能力、缺陷地圖與製程參數回饋速度有關。

AI 分類混淆矩陣指標：

$$\text{Precision} = \frac{\text{TP}}{\text{TP} + \text{FP}}, \text{Recall} = \frac{\text{TP}}{\text{TP} + \text{FN}}, F1 = \frac{2 \cdot \text{Precision} \cdot \text{Recall}}{\text{Precision} + \text{Recall}}$$

其中，TP、FP、FN 分別為真陽性、假陽性與假陰性。此式可用於評估 AI 缺陷分類模型在隱裂、空洞、銅柱高度異常與翹曲缺陷上的辨識能力。

檢測訊雜比與缺陷可檢出性：

$$\text{SNR} = \frac{|\mu_{\text{defect}} - \mu_{\text{bg}}|}{\sigma_{\text{bg}}}; \text{POD} = f(\text{SNR}, \text{defect size})$$

SNR 越高，缺陷與背景越容易被分離；檢測機率 (probability of detection, POD) 可作為 IR 隱裂檢查機、3D AOI 與 X-ray 檢測設備之能力評估 (如表 2)。

表 2. 檢測量測項目、缺陷型態與製程回饋關係。

量測項目	主要缺陷	可回饋之製程參數
IR/NIR 隱裂檢測	內裂、暗崩、背崩、切割損傷。	切割條件、薄化應力、貼合／剝離條件。
3D AOI	銅柱高度、孔深、表面凹陷、共面性異常。	電鍍、CMP、濕清洗與乾燥條件。
X-Ray 檢查	內部空洞、接合不良、封裝內部異常。	堆疊、回焊、底填與材料參數。
翹曲檢測	板彎、板翹、面板變形。	材料匹配、熱歷程、載具與翹曲抑制條件。

5.4 AI 智慧影像演算法：從缺陷判讀到製程優化的智慧升級

若說紅外線穿透檢測解決的是「隱性缺陷看得見」的問題，AI 智慧影像演算法處理的則是「看得見之後如何判得準、判得快」的挑戰。隨著先進封裝加速走向 3D 堆疊化、異質材料整合化與高密度互連化，檢測挑戰的層次亦隨之升級。

傳統 AOI 在平面外觀缺陷的檢測上雖已相對成熟，但面對覆晶接合對位偏移、HBM 堆疊空洞、RDL 斷路、銅柱側壁形貌異常、混合鍵合區污染點或封裝表面微細形變等複雜缺陷型態，固定門檻值與規則式判斷往往難以在準確率與效率之間取得平衡。將 AI 智慧檢測與機台建置整合為完整解決方案，且 AI 智慧檢測技術已成功導入半導體封測大廠，並持續延伸至不同製程與機種，具備實際量產環境的應用成熟度。

AI 智慧檢測四大核心價值：

核心價值	說明	效益
準確率提升	提高單點缺陷辨識準確率，精準分類缺陷種類、位置與分布規律。	減少漏判與誤判。
判讀加速	縮短判讀流程，融合影像資訊與缺陷分類邏輯。	降低人工複檢時間。
持續學習	透過模型持續學習與樣本累積，設備動態演進。	檢測能力持續優化。
製程回饋	檢測結果回饋至製程端，協助工程師快速定位異常。	提升可分析性。

六、全球與國內發展現況、技術缺口與互補合作

全球發展現況：AI/HPC 與 HBM 帶動 2.5D/3D 封裝、混合鍵合、玻璃基板與 FOPLP 需求。量測檢測方面，高深寬比 TSV/TGV、混合鍵合界面、微凸塊共面性、內部空洞、薄晶圓隱裂與翹曲，都是量產良率關鍵。市場研究亦顯示，先進封裝檢測與量測設備需求將隨 2.5D/3D、Fan-out 與 SiP 持續成長⁽¹⁰⁾。

國內發展現況與優勢：台灣具備完整半導體供應鏈、封測量產能力、材料與設備協作能量，並透過 3D IC 先進封裝製造聯盟推動標準化與生態系合作^(2,6)。

主要技術缺口：(1) 高深寬比結構內部缺陷的高速線上檢測；(2) 混合鍵合界面奈米級污染與空洞檢測；(3) 面板級翹曲與局部應力的即時控制；(4) AI 缺陷分類模型的跨產線泛化

能力；五、製程設備與檢測設備資料格式尚未完全標準化。

互補合作方向：建議以晶圓廠／封測廠定義量產痛點，設備商開發可量測與可控制的製程模組，材料商提供低翹曲與高可靠度材料，學研單位建立多物理場模型與 AI 檢測演算法，並以標準組織推動資料格式、檢測能力與可靠度驗證規範。

七、相關檢測設備之未來發展趨勢

1. 多模態檢測：整合 IR/NIR、可見光、3D 輪廓、X-Ray、聲學與電性量測，以降低單一訊號來源的誤判。此方向對應先進封裝檢測由單一影像判讀走向多物理訊號整合的趨勢^(11, 12)。
2. AI 輔助缺陷分類：由規則式判讀轉向深度學習與主動學習，但需建立可解釋性、模型漂移監控與跨材料泛化能力。
3. 線上／準線上量測：提高掃描速度與自動上下料，讓檢測結果能在下一製程前即時回饋。
4. 大面積與面板級量測：因應 FOPLP 與玻璃基板，需提升大尺寸平台的定位、平坦度補償與翹曲量測能力。
5. 資料閉迴路：檢測結果需與製程參數、設備履歷、材料批號、缺陷地圖與可靠度結果連結，形成良率學習資料庫。
6. 低碳與資源效率：檢測與製程設備將逐步納入能耗、用水、化學品與碳足跡指標。

八、結論

3D IC 異質整合先進封裝的競爭核心，已由單一製程能力轉向系統級效能、製程穩定性、檢測攔截率與資料回饋能力的整合。熱阻與接面溫度決定可用功率與可靠度；TSV 與混合鍵合品質決定頻寬、延遲與功耗；薄化、暫時性接合／剝離與翹曲控制決定堆疊可製造性；IR/NIR、3D AOI、X-Ray 與翹曲量測則決定缺陷能否在高成本堆疊前被攔截。

我國在先進封裝量產生態系、工程回饋速度與跨領域協作方面具備高度優勢。未來持續強化自主濕製程、TBDB、再生晶圓、檢測量測與 AI 資料平台，並補強高階量測、標準化資料與材料／設備共同開發能力，將有助於在全球 3D IC 異質整合供應鏈中建立更具韌性的自主技術基礎。

在國內供應鏈中，辛耘企業可提供濕製程設備、單晶圓清洗/蝕刻、面板級濕製程、暫時性貼合／剝離、再生晶圓與相關製程整合服務，並可結合檢測量測技術，協助客戶進行設備導入、製程驗證、參數最佳化與良率改善。未來若能持續強化 IR/NIR、3D AOI、X-ray、AI 判讀與 SPC 資料平台等技術，將有助於建立更完整的 Team Taiwan 先進封裝自主供應鏈。

參考文獻

1. Yole Intelligence, Advanced Packaging Market Forecast, (2025).
2. 先進封裝技術崛起 SEMICON Taiwan 2025 引領全球協作開啟系統級創新, SEMI, (2025). Please refer to the website: https://www.semi.org/zh/semicon_taiwan_2025_advanced_packaging.
3. Mordor Intelligence, 3D-IC Packaging Market Outlook, 2025.
4. John McMillan, "3D IC technology: comprehensive guide to enabling heterogeneous integration," Siemens EDA Blog, (2025). Please refer to the website: <https://blogs.sw.siemens.com/semiconductor-packaging/2025/05/19/3d-ic-guide-to-heterogeneous-integration/>

5. 張芊帆, 何茜, 田雨, 丰光銀, 3D IC 封裝技術中矽通孔研究進展綜述, 電子與信息學報, (2025)。
6. BusinessNext, 3D IC 先進封裝製造聯盟成立與台灣先進封裝生態系, (2025).
7. Chae Yeon Lee et al., *Electronic Materials Letters*, **21**, 395 (2025).
8. Kuan Lu et al., *ASME Journal of Manufacturing Science and Engineering*, **147** (12), 1 (2025).
9. Gugyeong Sung, “Advanced 3D Imaging Approach to TSV/TGV Metrology and Inspection Using Only Optical Microscopy,” *arXiv*, (2025).
10. QYResearch, Global Advanced Packaging Inspection and Metrology Equipment Market Research Report, (2025).
11. 呂建興, 從微缺陷到高深寬比: 半導體異質整合量檢測技術的革新, *IEK 產業情報網*, (2025). Please refer to the website: https://ieknet.iek.org.tw/iekrpt/rpt_more.aspx?actiontype=rpt&indu_idno=0&domain=77&rpt_idno=850233951
12. 借力 AI 與多元技術整合 先進封裝檢測突破良率瓶頸, 新電子科技雜誌, (2025). Please refer to the website: <https://www.mem.com.tw/%E5%80%9F%E5%8A%9Bai%E8%88%87%E5%A4%9A%E5%85%83%E6%8A%80%E8%A1%93%E6%95%B4%E5%90%88%E3%80%80%E5%85%88%E9%80%B2%E5%B0%81%E8%A3%9D%E6%AA%A2%E6%B8%AC%E7%AA%81%E7%A0%B4%E8%89%AF%E7%8E%87%E7%93%B6%E9%A0%B8/>

作者簡介

洪堂欽先生為國立中興大學物理所碩士，現為辛耘企業股份有限公司協理。

Tang-Chin Hung received his M.S. in the Department of Physics from National Chung Hsing University. He is currently an Assistant Vice President in Sciencetech Corporation Ltd.

先進封裝失效分析之核心挑戰與 整合檢測流程：從系統定位到 TKD 奈米晶體驗證

Advanced Packaging Failure Analysis: Core Challenges and Integrated Inspection Workflow from Localization to Nanoscale TKD Verification

邱珮如

Pei-Ju Chiu

隨著半導體製程逼近物理極限，2.5D/3D 異質整合技術成為延續摩爾定律、提升系統效能的關鍵路徑。然而，高密度互連與多層異質材料堆疊，使失效機制由單一晶片轉向複雜的封裝界面。本文系統性介紹一套整合電性定位 (EMMI/LIT)、非破壞結構透視 (Nano-CT/SAM) 與精密離子束剖面 (PFIB) 的完整分析流程，並重點探討穿透式背向繞射 (transmission kikuchi diffraction, TKD) 技術在驗證 100 nm 以下奈米晶銅 (nanocrystalline copper, nc-Cu) 鍵合品質中的決定性作用。透過跨尺度檢測技術的整合，能將宏觀電性失效精確追溯至微觀晶體動力學，為下世代混合鍵合 (hybrid bonding) 研發提供整合流程。

As semiconductor process scaling approaches physical limits, 2.5D/3D heterogeneous integration technologies have emerged as the critical path for extending Moore's Law and enhancing system performance. However, high-density interconnects and multi-layered heterogeneous material stacks have shifted failure mechanisms from single chips to complex packaging interfaces. This paper systematically introduces a comprehensive analytical workflow integrating electrical localization (EMMI/LIT), non-destructive structural inspection (Nano-CT/SAM), and precision ion beam cross-sectioning (PFIB). Furthermore, it highlights the decisive role of transmission kikuchi diffraction (TKD) technology in verifying the bonding quality of nanocrystalline copper (nc-Cu) under 100 nm. Through the integration of multi-scale inspection techniques, macro-level electrical failures can be accurately traced back to micro-level crystal dynamics, providing scientific process feedback for the development of next-generation Hybrid Bonding.

一、前言：為何先進封裝成為失效分析的新戰場

隨著半導體製程微縮逐步逼近物理極限，單純依賴前段晶圓製程以提升效能與降低功耗的策略已難以為繼。在此背景下，先進封裝技術快速崛起，成為延續摩爾定律與系統效能成長的關鍵路徑。透過異質整合，將不同製程節點、不同功能晶片以及多元材料整合於單一封裝中，不僅大幅提升運算密度與系統效能，也重塑了半導體產品的設計與製造模式。然而，這樣的高整合、高密度結構，同時也使封裝層級從原本的「保護角色」，轉變為影響可靠度與良率的核心關鍵。

相較於傳統封裝，先進封裝在結構尺度、材料組成與製程複雜度上皆呈現指數級成長，熱－機械應力集中、高密度互連缺陷、材料界面附著失效等問題更為頻繁且隱蔽。失效位置往往發生於微米甚至奈米尺度的封裝內部結構，僅憑電性量測或外觀檢查已難以精準定位。這使得失效分析的挑戰，從過去以晶片本體為主，逐步轉移至封裝結構與系統層級。

在此趨勢下，先進封裝不僅改變了半導體產品的製造流程，也重新定義了失效分析的方法論與工具需求。如何在不破壞樣品的前提下，掌握封裝內部結構、材料狀態與潛在缺陷，已成為產業與研究單位共同面對的新課題。先進封裝，正逐步成為失效分析領域中最具挑戰性、也最具價值的新戰場。

二、先進封裝的技術與架構

2.1 先進封裝的發展背景

隨著半導體製程節點持續朝向 7 nm、5 nm，甚至 3 nm 以下微縮，電晶體尺寸已逐步逼近物理極限，單純仰賴前段製程 (front-end) 線寬縮小以提升效能與降低功耗的技術路徑，正面臨前所未有的挑戰。一方面，先進製程所需的設備投資與製造成本急遽攀升，使單位電晶體成本持續下降的經濟效益逐漸趨緩；另一方面，製程步驟與結構複雜度的大幅增加，也使良率控制與長期可靠度管理的難度顯著提升。摩爾定律的延續，已不再能依賴製程微縮本身來實現。

在此背景下，透過封裝層級進行系統效能整合與功能擴展的先進封裝 (advanced packaging)，逐漸成為半導體產業關鍵的技術發展方向。相較於傳統封裝主要著重於晶片保護與電性連接，先進封裝進一步將封裝視為系統設計的一環，使效能提升的戰場由單一晶片層級，延伸至多晶片整合與系統級最佳化。

先進封裝的核心精神，在於突破單一晶片尺寸與製程節點的限制，透過多顆晶片 (die) 於封裝層級進行高密度整合，實現更高的運算效能、更低的功耗、更大的資料傳輸頻寬，以及更小的系統體積。藉由將邏輯晶片、記憶體晶片、類比元件，甚至被動元件進行異質整合，可依不同功能需求選用最合適的製程節點，在效能、成本與功耗之間取得最佳平衡。

整體而言，如圖 1，2.5D、3D 封裝以及 Fan-out／晶圓級封裝等技術，已被視為延續摩爾定律的重要實踐路徑，亦屬於「More than Moore」策略的具體體現。隨著高效能運算 (high performance computing, HPC)、人工智慧 (artificial intelligence, AI)、高速通訊、先進車用電子與資料中心應用的快速發展，先進封裝不僅改變了晶片設計與製造模式，也對後續製程控制、分析檢測與可靠度驗證提出更高層級的技術要求。

Memory packaging approaches evolving from leadframe to advanced packaging based on TSV and hybrid bonding

(Source: Memory Packaging 2021, November 2021)

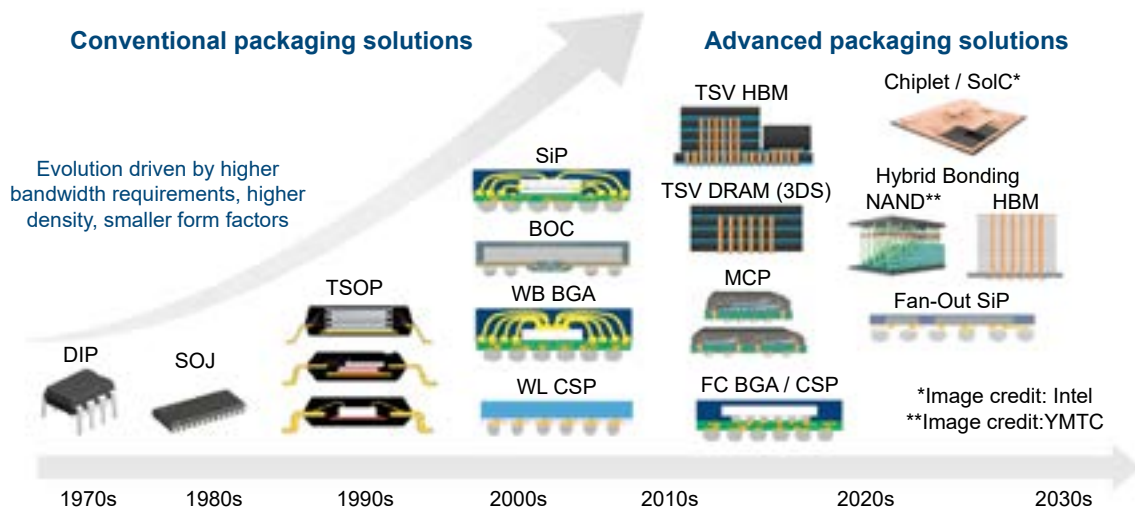


圖 1. 半導體效能提升路徑示意圖 (由製程微縮導向系統級整合，顯示先進封裝在延續摩爾定律中的角色)⁽¹⁾。

2.2 傳統封裝與先進封裝的差異

傳統封裝技術多以引線架 (leadframe) 或有機基板為基礎，透過打線 (wire bonding) 或覆晶封裝 (flip-chip) 方式，將晶片的輸入輸出 (I/O) 端點連接至封裝外部。此類封裝架構在製程成熟度、可靠性與成本控制方面具備明顯優勢，長期以來廣泛應用於消費性電子與一般運算產品。然而，隨著晶片效能與運算密度持續提升，其在 I/O 密度、訊號頻寬與散熱能力等方面的結構性限制逐漸浮現，已難以滿足高速運算與高功率應用的需求。

相較之下，先進封裝的設計核心著重於「短互連、高密度與異質整合」。透過微凸塊 (micro-bump)、再佈線層 (redistribution layer, RDL)，或混合鍵合 (hybrid bonding) 等先進互連技術，晶片之間的互連距離可由傳統封裝的毫米等級，大幅縮短至微米甚至次微米等級。此一特性可有效降低互連電阻與寄生電容 (RC delay)，減少訊號傳輸損耗，進而提升訊號完整性、頻寬表現與整體能效。

此外，先進封裝亦強調不同製程節點與不同功能晶片之間的整合彈性。例如，邏輯晶片可採用先進製程以提升效能，而記憶體、類比或 I/O 晶片則可選用成熟製程，以兼顧成本、良率與可靠度。此種異質整合 (heterogeneous Integration) 的設計思維，使系統架構不再受限於單一製程平台，顯著提升產品設計自由度與整體經濟效益。

如圖 2 所示，傳統封裝與先進封裝在設計目標與技術內涵上已呈現明顯差異。前者以封裝可靠度與成本為主要考量，後者則將封裝視為系統效能提升的關鍵技術之一。隨著高效能運算、人工智慧與高速通訊等應用持續推升系統整合需求，先進封裝已由輔助角色轉變為半導體產品競爭力的核心要素。



	Wire bond (1975)	Flip chip (1995)	Tcb bonding (2012)	HD fan out (2015)	Hybrid bonding (2018)
Architecture					
Contact type	Wire	Solder ball or copper pillar	Copper pillar	RDL or copper pillar	Copper to copper
Contact density	 5–10/mm ²	 25–400/mm ²	 156–625/mm ²	 500+/mm ²	 10K-1MM/mm ²
Substrate	Organic/leadframe	Organic/leadframe	Organic/silicon	None	None
Accuracy	20–10 μm	10–5 μm	5–1 μm	5–1 μm	0.5–0.1 μm
Energy/bit	10 pJ/bit	0.5 pJ/bit	0.1 pJ/bit	0.5 pJ/bit	< 0.5 pJ/bit

圖 2. 晶圓級封裝技術演進歷程⁽²⁾。

2.3 主要先進封裝技術類型

隨著系統整合需求與效能指標持續提升，先進封裝已發展出多種技術架構，如圖 3 所示，以因應不同應用情境在效能、成本與可靠度之間的取舍需求。其中，以 2.5D 封裝、3D 封裝，以及 Fan-out／晶圓級封裝，為目前最具代表性的三大技術類型。

2.3.1 2.5D 封裝架構

2.5D 封裝通常以矽中介層 (silicon interposer) 為核心，將多顆晶片以平面並排方式配置於中介層上，並透過高密度金屬佈線與矽穿孔 (through-silicon via, TSV) 實現高速訊號互連。此一架構在不進行晶片垂直堆疊的情況下，即可提供接近 3D 封裝的互連效能，兼顧高頻寬與設計彈性。

該類技術已廣泛應用於高頻寬記憶體 (high bandwidth memory, HBM) 與高效能運算晶片的整合，在效能提升、設計彈性與製程成熟度之間取得良好平衡，特別適合 AI 與 HPC 等對記憶體頻寬需求極高的應用。然而，矽中介層的製作成本、尺寸擴展限制，以及 TSV 製程的複雜性，仍是其進一步普及所需面對的主要挑戰。

2.3.2 3D 封裝與垂直堆疊

3D 封裝技術進一步將多顆晶片進行垂直堆疊，並透過 TSV 或混合鍵合 (hybrid bonding) 技術，實現晶片對晶片 (die-to-die) 的直接電性連接。相較於 2.5D 架構，3D 封裝可大幅縮短訊號傳輸路徑，顯著提升頻寬密度與系統整合度，並降低互連延遲與功耗。

此類架構特別適用於記憶體堆疊與邏輯－記憶體高度緊密整合的應用。然而，隨著堆疊層數增加，功率密度與熱通量顯著上升，使 3D 封裝在熱管理、機械應力控制與製程良率方面面臨更高挑戰，亦對材料選擇、製程整合能力與可靠度驗證提出更嚴苛的要求。

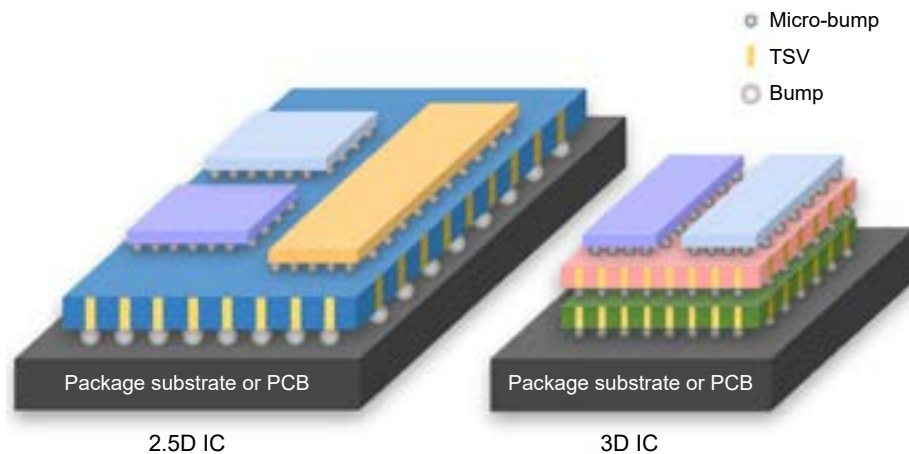


圖 3. 2.5D 與 3D 整合架構之結構對比示意圖。(左圖) 2.5D IC 封裝：晶片 (如 Logic SoC、Memory) 水平配置於矽中介層之上，透過高密度再佈線層實現高速互連。(右圖) 3D IC 封裝：採用垂直堆疊方式，大幅縮短訊號傳輸距離。此類高密度結構對失效定位與界面分析提出了更高層級的技術挑戰。

2.3.3 扇出型晶圓級封裝

如圖 4 所示，扇出型晶圓級封裝 (fan-out wafer level packaging, FOWLP) 透過重組晶圓與多層再佈線層製程，實現高密度互連而不依賴傳統有機基板。相較於以基板為核心的封裝架構，Fan-out 技術具備封裝厚度薄、I/O 擴展性佳，以及潛在成本優勢等特點，早期多應用於行動裝置與消費性電子產品。

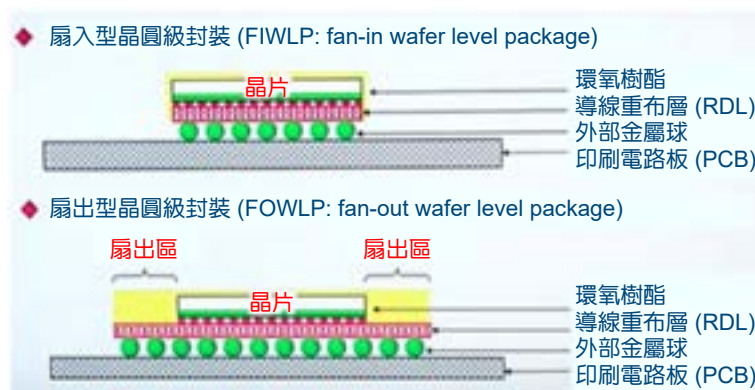


圖 4. 扇入型 (Fan-In) 與扇出型 (Fan-Out) 晶圓級封裝結構對比圖⁽³⁾。

近年來，隨著 RDL 製程解析度提升與多晶片整合需求增加，Fan-out 技術逐步延伸至高階應用，發展出多晶片 Fan-out 系統封裝 (fan-out system in package, fan-out SiP) 與面板級封裝 (panel level packaging, PLP)，成為介於傳統封裝與高階 2.5D/3D 封裝之間的重要技術選項^(4,5)。

三、先進封裝失效分析之整合流程與策略

由於先進封裝同時涉及高密度互連、多層材料堆疊與異質製程整合，其失效機制相較於傳統封裝更為多樣且複雜。整體而言，先進封裝的失效模式可概略歸納為下列四大類型，且不同失效型態在發生位置、尺度與形成機制上皆存在顯著差異，對應的分析策略與檢測工具亦不盡相同。

(一) 電性失效

電性失效主要表現為開路 (open)、短路 (short) 與漏電 (leakage) 等異常現象，常直接反映於產品功能失效或量測異常。其成因可能來自互連結構破壞、導體間距不足、介電層劣化，或局部材料缺陷所導致。由於電性異常往往是最早被觀察到的失效徵兆，但實際缺陷位置可能隱藏於封裝內部深層結構，使得後續精準定位成為分析上的關鍵挑戰。

(二) 結構與互連失效

隨著互連尺度持續微縮，再佈線層斷裂、穿矽導通孔裂縫，以及微凸塊 (micro-bump) 空洞、偏移或塌陷等問題日益常見。此類失效多與製程應力集中、材料性質不匹配或長期熱循環疲勞有關，且缺陷尺度通常落在微米甚至次微米等級，使其難以透過傳統破壞式分析手法完整掌握。

(三) 材料與界面劣化

材料與界面相關失效在先進封裝中扮演關鍵角色，包括金屬間化合物 (intermetallic compound, IMC) 異常成長、鍵合界面污染、界面附著力不足或混合鍵合不良等。由於先進封裝大量依賴多材料界面來實現高密度整合，任何微小的界面缺陷皆可能在後續熱應力或電性操作下被放大，最終演變為系統性失效。

(四) 熱與熱機械應力失效

高功率密度與多晶片堆疊使先進封裝面臨嚴峻的熱管理挑戰，熱疲勞、翹曲 (warpage) 以及局部熱失控等問題日益突出。熱－機械應力不僅可能直接導致結構破壞，也往往與其他失效型態交互影響，成為加速電性、結構與界面劣化的重要觸發因素。

綜合而言，先進封裝失效往往並非單一機制所致，而是多重物理效應交互作用的結果。這也使得失效分析必須結合多尺度、非破壞式與高解析度的檢測技術，才能有效對應不同失效型態的分析需求。

3.1 電性失效：從系統到封裝層級定位技術

在先進封裝晶片的失效分析流程中，精準的失效定位是後續結構觀察與材料分析能否成功的關鍵前提。由於先進封裝的訊號路徑往往跨越多顆晶片、再佈線層、中介層或垂直互連結構，單一量測手段已難以全面掌握失效位置，實務上需結合多種電性與光學定位技術，由系統層級逐步收斂至封裝內部的潛在缺陷區域。

目前常用的電性失效定位技術包括下列幾類：

- 發射顯微鏡 (emission microscopy, EMMI)／近紅外發光顯微 (near-infrared emission

Microscopy, nIR-EMMI)：透過偵測半導體元件在漏電、微短路或靜電放電 (electrostatic discharge, ESD) 事件下所釋放的微弱光子發射，以非破壞性方式精準定位異常發光點 (hot spots)。隨著晶片走向多層立體堆疊，傳統可見光波段易受金屬層阻擋；而近紅外光 (nIR) 因具備更佳的矽 (Si) 基材穿透能力，特別適用於厚封裝結構與晶片背面入射 (backside) 分析。實務上，此技術多搭配高靈敏度的銦鎵砷 (InGaAs) 感測器，能有效克服先進製程晶片的背景雜訊，大幅提升缺陷定位的精準度。

- 雷射光束電阻異常偵測 (optical beam induced resistance change, OBIRCH)：利用雷射局部加熱所引發的電阻變化，搭配電性量測訊號，定位高阻抗、接觸不良或間歇性失效問題。此技術對於傳統量測難以穩定重現的失效型態，具有相當高的實務價值。
- 光發射顯微鏡 (photon emission microscopy, PEM)：先進封裝內部整合了大量的異質晶片 (如邏輯晶片與 HBM)，其高速 I/O 互連區域與再佈線層在操作時面臨極高的電流密度。PEM 技術能有效排除封裝結構引起的複雜背景反射，針對高密度互連結構中的漏電路徑、過載 (overstress) 區域或介電層微小崩潰點，展現出優異的瞬態靈敏度與空間定位能力，協助工程師釐清高頻訊號傳輸時的電性失效。
- μ -IR 熱影像與鎖相熱成像 (lock-in thermography)：藉由量測局部溫升或週期性熱響應，觀察封裝內部的熱異常分佈，特別適用於高功耗運作條件下的 AI 與 HPC 晶片。此類技術能在不直接接觸樣品的情況下，快速縮小潛在失效範圍，作為後續結構分析的重要依據。

整體而言，電性失效定位技術在先進封裝分析中扮演「導航工具」的角色，協助分析人員在複雜的多層封裝結構中快速鎖定可疑區域。隨著封裝結構持續微縮與系統整合度提升，如何有效整合多種電性與光學定位手段，已成為先進封裝失效分析流程中不可或缺的核心能力。

3.2 結構與互連失效

非破壞結構分析：看見封裝內部世界

在完成失效定位之後，進入非破壞性結構分析 (nondestructive structural analysis, NDSA) 是先進封裝失效分析流程中不可或缺的關鍵步驟。由於先進封裝內部結構高度複雜，且缺陷往往位於多層堆疊或封裝深層位置，若未經充分的結構確認即進行切割或研磨，極易導致缺陷被破壞、遺失或誤判。透過非破壞分析技術，可在保持樣品完整性的前提下，掌握封裝內部的實際結構狀態，為後續精準剖面與材料分析建立可靠依據。

- X-ray (2D / 3D CT)：X-ray 檢測是先進封裝中最常用的非破壞分析工具之一，可快速觀察矽穿孔 (TSV)、焊點空洞、微凸塊缺陷與 RDL 走線異常等結構問題。由傳統 2D X-ray 到 3D 斷層掃描 (computed tomography, CT)，分析能力可由平面投影提升至三維結構重建，特別適合用於多層互連與堆疊結構的整體評估。圖 5 是 X-ray 3D 影像範例結果。
- SAM / C-SAM (超音波掃描式顯微)：超音波顯微鏡 (scanning acoustic microscope, SAM) 在 IC 構裝可靠度分析中具備高度實用性，特別是在非破壞檢測封裝內部界面缺陷方面展現出關鍵價值。透過高頻超音波掃描與聲阻抗差異判讀，可有效辨識封裝內部的分層、空洞與裂縫等失效徵象，為構裝可靠度評估提供一項不需破壞樣品的分析手段。

封裝內不同材料介面 (如晶片、黏著層與封裝樹脂) 在經歷溫度循環、濕熱或高溫儲存等可靠度試驗後，極易產生界面型缺陷，而這類缺陷正是造成封裝失效的主要根源。相較於需進行截面破壞的傳統分析方式，超音波顯微鏡能在試驗前後進行快速掃描與比對，掌握缺陷生成與擴展行為，因而被定位為可靠度試驗中關鍵的前段篩選與品質監控工具。

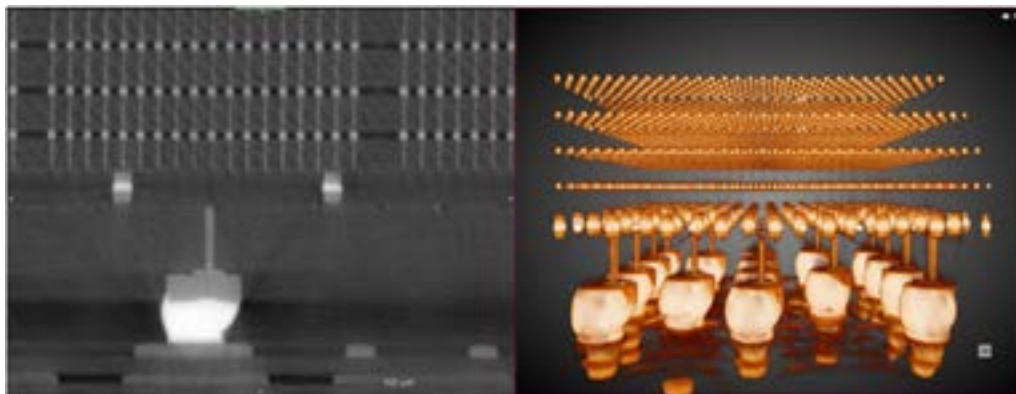


圖 5. 先進封裝之 X-ray 3D 斷層掃描 (CT) 影像。

進入現代先進封裝階段，封裝技術已由傳統引線架形式，演進至 Flip-Chip、晶圓級封裝 (wafer-level packaging, WLP) 以及 2.5D 異質整合架構。此類封裝型態普遍具有高 I/O 密度、薄型化結構與多材料堆疊特性，使封裝內部界面數量顯著增加，且熱機械應力更為集中。特別是在微凸塊、再佈線層、Underfill 與矽中介層 (interposer) 等關鍵結構中，任何微小的界面分層或空洞皆可能在後續可靠度試驗中快速擴展，進而影響電性與結構完整性。

在此背景下，超音波顯微鏡所奠定的非破壞性界面檢測概念，不僅未隨封裝技術演進而被取代，反而成為現代先進封裝可靠度分析中更為關鍵的基礎工具。透過高解析度 C-scan 與多深度成像能力，超音波顯微鏡可有效應用於 Flip-Chip Underfill 完整性評估、WLP 封裝層間分層檢測，以及 2.5D 封裝中晶片－中介層界面的可靠度監控，並與 X-ray、截面分析等技術形成互補，構築完整的先進封裝分析與失效預警體系。

3.3 材料與界面劣化－揭示界面與微結構的關鍵證據

先進封裝失效分析中，結構異常往往只是表象，真正的根因多隱藏於材料與界面的微觀層級。因此，材料與界面分析是將「失效現象」轉化為「物理機制」的關鍵階段，也是判定根本原因 (root cause) 的決勝環節。

3.3.1 機械研磨 (mechanical cross section)

機械研磨剖面常被作為先進封裝分析中精密量測前的首要結構檢視手段。圖 6 是針對 NVIDIA A100 晶片的研磨結果，藉由對該研磨面的影像觀察，能清楚了解 CoWoS-S 架構的整體輪廓。然而，此技術的解析度與界面完整性高度依賴研磨條件的精密控制，對於奈米尺度的微細缺陷與早期界面劣化的判讀，能力仍具侷限。

在多層薄膜與異質材料高度整合的先進封裝結構中，截面品質已成為影響分析可信度的關鍵因素。然而在奈米尺度薄層與多材料介面並存的情況下，若處理不當，容易產生層間拖曳、塑性變形或分層等問題。機械研磨雖屬物理性材料去除技術，仍是截面分析流程中不可或缺的前段步驟，其核心價值在於能有效完成大面積材料去除與結構定位，為後續高解析分析奠定穩定基礎。透過與低能量離子束精修等技術的整合應用，機械研磨不僅可提升截面平整度，更能降低分析假象風險，進而確保先進封裝中薄層結構與介面失效判讀的可靠性。

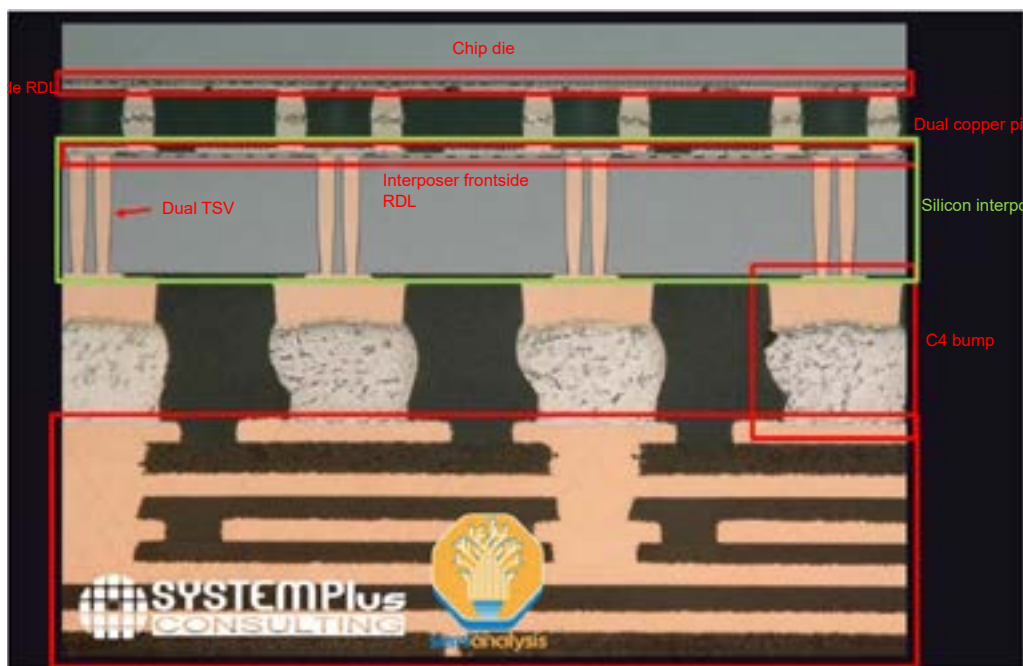


圖 6. NVIDIA A100 先進封裝架構截面圖⁽⁶⁾。該架構採用 CoWoS-S 技術，清晰呈現矽中介層 (Silicon Interposer) 內的高密度 TSV 與多層 RDL 互連結構。

3.3.2 離子束研磨 (ion beam polishing / FIB)

聚焦式離子束技術可進行高精度且具高度重複性的局部剖面製作，特別適用於高深寬比 TSV、厚型先進封裝結構，以及關鍵材料界面的精準切割與失效定位。透過與掃描式電子顯微鏡整合的 FIB-SEM 系統，可在剖面加工過程中同步取得高解析形貌與結構資訊，大幅提升先進封裝失效分析的效率與準確度。另一方面，Plasma FIB 採用高電流電漿離子源，在大面積材料去除效率上具有顯著優勢，特別適合應用於先進封裝中尺度較大或厚度較深之結構剖析需求，彌補傳統 FIB 在加工效率上的限制。

相較於機械研磨著重於整體輪廓與大面積定位，離子束研磨則是先進封裝分析中不可或缺的高解析截面製備技術，特別適用於奈米尺度薄層與關鍵界面的精細觀察。表 1 是機械研磨與 FIB 離子束製備的技術比較結果。在多層薄膜與異質材料高度整合的封裝結構中，如微凸塊、再佈線層與晶片—中介層界面，其結構特徵尺寸已趨近甚至低於傳統機械加工的物理極限；因此，離子束研磨遂成為精確還原微觀結構、深層解析潛在失效機制的關鍵技術。

離子束研磨能以高度可控的方式移除材料，獲得平整且解析度極高的截面，有助於辨識奈米薄層厚度變化、界面連續性及早期失效徵象。然而，離子束製程本身仍可能引入離子損傷、再沉積效應與局部熱影響，若未妥善控制，反而可能造成結構假象。因此，在先進封裝實務中，離子束研磨多被定位為後段精修與關鍵區域分析工具，並與前段機械研磨相互搭配，以兼顧結構定位效率與奈米尺度解析需求。透過此種分工整合的截面製備流程，方能在複雜先進封裝結構中，建立兼具效率與分析可信度的失效分析基礎。

表 1. 機械研磨與 FIB 離子束製備比較。

機械研磨 (Mechanical Cross Section)		離子束製備 (Ion beam polishing / FIB)
解析度	中等 (μm 等級) 呈現整體封裝層級與結構輪廓	極高 (nm 等級) 適合奈米薄層、關鍵材料界面
製備速度	快速 適合大面積材料初步去除	傳統 FIB：較慢 (高精度) Plasma FIB：中至快 (高去除率)
材料去除能力	大面積、非選擇性	傳統 FIB：小區域、精準 Plasma FIB：大面積、深結構
結構真實性風險	中等 可能產生層間拖曳、塑性變形、假性分層	中等 可能有離子損傷、再沉積、局部熱效應 (與束能控制相關)
適用結構尺度	封裝整體結構、晶片堆疊、層級分布	奈米薄層、micro-bump、RDL、TSV、晶片／中介層界面
高深寬比結構能力	受限	優異 特別適用於高深寬比 TSV 與厚型先進封裝
失效定位能力	結構層級判讀	高精度、具重複性之局部剖面製作與失效定位
分析角色定位	前段截面製備與結構定位工具	後段高解析與精準失效分析核心技術 PlasmaFIB：厚結構、大尺度剖析
先進封裝應用實例	Flip-chip/WLP 封裝層級確認 2.5D 結構整體輪廓	TSV 剖面、micro-bump 界面 2.5D/3D 異質整合失效定位

3.3.3 穿透式電子顯微鏡／掃描式穿透電子顯微鏡：原子尺度根因解析的關鍵證據

穿透式電子顯微鏡 (transmission electron microscope, TEM) 與掃描式穿透電子顯微鏡 (scanning transmission electron microscope, STEM) 具備奈米乃至原子尺度的結構解析能力，是先進封裝界面與材料分析中最具決定性的工具之一。其高解析成像結合元素分析技術 (如能量色散光譜、電子能量損失譜)，能精確揭示混合鍵合界面、超薄介電層與奈米級缺陷結構的微觀特徵，深入驗證材料擴散行為、界面反應機制，以及晶格不連續或空洞生成等深層失效現象。

相較於僅能呈現形貌的顯微技術，TEM/STEM 可同時提供結構與化學組成資訊，使失效現象得以轉化為可量化、可驗證的物理證據。因此，在先進封裝高階失效分析流程中，TEM 分析結果往往被視為判定根本原因的最終關鍵依據。透過多尺度顯微技術的交互驗證，方能完整重建失效形成路徑，並為製程優化與可靠度設計提供具體科學基礎。

3.3.4 FIB-TEM 整合：精準定位與原子級驗證的標準流程

在實務應用上，TEM 分析幾乎皆需搭配聚焦離子束 (focused ion beam, FIB) 進行定點截面製備。隨著 3D IC 與高密度互連架構的發展，缺陷常分佈於 TSV 底部、RDL 轉角、微凸塊界面或鈍化層邊界等奈米尺度區域。這些關鍵位置不僅結構複雜，且缺陷尺寸極小，傳統機械研磨難以準確定位並保留完整界面形貌。

FIB 技術可依據電性定位結果進行精準切割，製備厚度僅數十奈米的薄片樣品，確保缺陷核心區域完整保留且不受二次破壞。典型分析流程通常包括：電性失效定位 (如發射顯微鏡 (emission microscopy, EMMI) / OBIRCH)、X-ray 或 CT 影像縮小範圍、FIB 定點取樣，

以及後續 TEM/STEM 的原子級結構與元素分析。此一 FIB-TEM 整合流程已成為 3D IC、HPC 及 AI 高階封裝失效解析的標準方法。

透過該流程，可有效揭示界面奈米空洞、晶粒異常成長、元素偏聚與擴散行為等關鍵失效機制，將宏觀失效現象精準對應至微觀物理成因，為現代先進封裝可靠度研究提供最具說服力的技術證據。

在完成結構剖面與顯微影像觀察後，雖已能掌握缺陷位置與形貌特徵，但單純的結構影像往往仍不足以完整解釋失效機制。許多先進封裝失效並非源自明顯幾何缺陷，而是來自材料層級的變化，例如晶粒結構、元素擴散、界面反應或應力誘發的微觀組織轉變。因此，材料分析成為確認根本原因的重要關鍵步驟。

以近年廣泛應用於先進邏輯與高頻應用的 Hybrid Bonding 與 Cu-Cu 直接鍵合為例，這類技術強調金屬間的原子級接觸與擴散接合，其可靠度高度依賴界面晶體結構與材料品質。即使在結構影像中未觀察到明顯空洞或裂縫，若界面存在晶粒取向不連續、再結晶不完整或應力誘發的晶界弱化現象，仍可能在後續熱循環或操作條件下引發電性失效或機械破壞。因此，必須進一步結合材料分析技術，才能釐清真正的失效根因。

整體而言，材料分析是將「結構現象」進一步轉化為「材料機制」的關鍵階段。透過晶體結構、元素分佈與化學狀態的多面向證據整合，才能完整解釋先進封裝中的複雜失效行為。

3.3.5 電子背向散射繞射分析

電子背向散射繞射 (electron backscatter diffraction, EBSD) 是一種結合於掃描式電子顯微鏡 (SEM) 中的晶體結構分析技術，可用於量測材料的晶粒尺寸、晶粒取向、晶界分佈與再結晶狀態。在先進封裝的 Cu-Cu 鍵合界面分析中，EBSD 能清楚呈現兩側銅晶粒的取向關係，並判斷是否形成連續的晶體結構。

若鍵合界面存在高角度晶界、晶粒成長不均或殘留變形結構，將可能形成電阻較高或機械強度較弱的區域，進而成為潛在失效源。透過 EBSD 的晶體取向映射 (orientation mapping)，可直接觀察界面再結晶情形與晶粒跨界面成長現象，為判定鍵合品質提供具體證據。

3.3.6 元素與化學分析 (EDS / EELS / AES)

除了晶體結構外，界面元素分佈與化學狀態亦是影響可靠度的重要因素。常見的材料分析技術包括：

- 能量色散光譜 (energy dispersive spectroscopy, EDS)：結合 SEM 或 TEM，可進行元素定性與半定量分析，用於檢測界面污染、異常元素擴散或金屬間化合物生成。
- 電子能量損失譜 (electron energy loss spectroscopy, EELS)：搭配 TEM 使用，可分析元素鍵結狀態與化學環境，適用於超薄介電層或奈米界面反應研究。
- 歐傑電子能譜 (Auger electron spectroscopy, AES)：具備極高表面敏感度，可分析數奈米厚度的界面污染、氧化層或有機殘留，常用於鍵合失效的表面機制解析。

透過晶體結構、元素分佈與化學狀態的多面向證據整合，才能完整解釋先進封裝中複雜的失效行為，並為製程改善與可靠度設計提供科學依據。

表 2 是先進封裝應用的各種失效分析技術說明。在 Hybrid Bonding 與 Cu-Cu 直接鍵合等新一代互連技術中，材料層級的界面品質往往決定最終產品的可靠度表現。因此，結構觀察與材料分析的整合，已成為先進封裝失效分析流程中不可或缺的核心環節。

表 2. 先進封裝失效分析技術與應用特性總表。

分析層級	失效型態	推薦分析工具	物理機制／偵測原理	關鍵輸出資訊
1. 電性定位	開路 (Open)	nIR-EMMI	偵測載子複合產生的近紅外微弱發光	異常發光點 (Hot spot) 位置
	短路 (Short)			
	漏電 (Lcakage)			
	高阻抗／接觸不良	OBIRCH	雷射局部加熱引起的電阻變化變量	電流異常分布圖
2. 非破壞結構	熱失效／功耗異常	Lock-in thermography	週期性熱輻射信號偵測	封裝內部熱源分布
	焊點空洞／TSV 斷裂	3.5D X-ray (CT)	X 射線穿透不同密度材料的衰減差異	三維結構重建影像
	界面分層／裂縫	C-SAM (超音波)	高頻聲波在不同材料界面的反射與阻抗	界面分層 (Delamination) 區域
3. 截面製備	結構輪廓觀察	機械研磨	物理磨削去除大面積材料	毫米至微米級全域影像
	高深寬比／局部精修	Plasma FIB / FIB	電漿或鎢離子束定點物理轟擊	奈米級平整觀測截面
4. 微觀物理分析	奈米缺陷／擴散層	HR-TEM / STEM	高能電子穿透樣品產生繞射與散射	原子級形貌與晶格取向
	元素偏聚／污染	EDS / EELS	激發特徵 X 射線或電子能量損失譜	元素成分定性與定量分布
	鍵合品質／應力	EBSD	電子背向散射繞射產生的菊池線圖	晶粒取向 (IPF) 與再結晶狀態
5. 熱機械分析	封裝翹曲 (Warpage)	Shadow moire	利用光柵干擾條紋，量測樣品在受熱過程中的位移變化。	隨溫度變化的翹曲曲線圖 (Warpage profile)

3.4 熱與熱機械應力失效分析：高功耗時代的關鍵課題

在高效能運算與人工智慧應用快速發展的推動下，封裝功耗密度與熱通量持續攀升，使熱機械可靠度成為先進封裝設計中的核心課題。玻璃基板及玻璃通孔互連 (through-glass via, TGV) 技術，因其熱膨脹係數 (coefficient of thermal expansion, CTE) 接近矽、尺寸穩定性佳與高頻訊號損耗低等優勢，被視為次世代高密度封裝載板的重要候選材料。然而，其熱機械可靠性仍是導入量產的關鍵挑戰。

近期綜述指出，玻璃材料的脆性本質以及其與金屬互連結構 (如銅填孔與 RDL) 之間的 CTE 差異，會在製程熱載入 (如電鍍退火、回焊) 與環境溫循條件下產生顯著的應力集中，進而導致基板翹曲、界面剝離與裂紋萌生等熱失效模式。相較於有機載板，玻璃缺乏塑性緩衝能力，一旦局部應力超過斷裂強度，即可能發生脆性破壞。

對於 TGV 結構而言，其失效機制更具複雜性。熱處理與溫度循環會造成銅填孔與玻璃基材間的應力不匹配，不僅可能引發玻璃側壁裂紋擴展，亦可能導致界面滑移、銅突出 (Cu protrusion) 或微裂縫形成。相關研究強調，TGV 線密度、孔徑尺寸與長寬比 (aspect ratio) 等幾何設計參數，皆會顯著影響應力分佈與臨界破壞條件，其安全操作範圍須透過熱－機耦合模擬與實驗驗證進行量化評估⁽⁷⁾。

因此，在高功耗與高熱通量條件下，熱失效與可靠度分析已從單純的測試驗證，進一步轉向設計前期的預測與優化。透過有限元素分析 (finite element analysis, FEA) 結合材料力學

參數與實測數據，可在設計階段評估熱載入過程中的應力演化，避免結構應力超越玻璃與界面材料的破裂門檻。此類跨尺度熱－機整合分析方法，已成為先進封裝可靠度驗證與製程優化流程中的關鍵環節，也是支撐高功耗世代封裝技術持續演進的重要基礎。

3.5 實施案例：混合鍵合與高密度互連之跨尺度失效分析

隨著高效能運算晶片對頻寬的需求激增，2.5D 矽中介層技術與混合鍵合已成為主流整合方案。然而，其複雜的多層材料堆疊與微縮的互連尺度，對失效分析 (failure analysis, FA) 提出了極高挑戰。本案例透過先進儀器，針對複雜封裝結構進行精準診斷與界面品質驗證。

案例一、封裝層級之結構導航與風險定位

在處理如資料中心之大型 2.5D 封裝時，首先須掌握其複雜的層次結構。樣品由上至下包含處理器晶片、再佈線層、矽中介層以及連接至載板的 C4 錫球⁽⁸⁾。

- 雙穿矽通孔 (dual TSV)：位於矽中介層內部，負責垂直訊號傳輸。此處為應力集中區，易發生側壁裂紋或電鍍空洞。
- 前端再佈線層：具備極高的線路密度，任何製程殘留物皆可能導致微短路或漏電失效。
- 關鍵分析路徑：若電性測試發現訊號異常，可先以 nIR-EMMI 進行背面定位，再結合 3D X-ray (CT)，對該佈線層進行非破壞式立體重建，確認是否存在斷裂或塌陷、如圖 7 所示。



圖 7. 先進封裝佈線層透過 3D X-ray 的斷裂缺陷定位。

案例二、微觀界面：奈米晶銅 (Nanocrystalline Copper, nc-Cu) 接合之晶體驗證

隨著先進封裝進入次微米級互連範疇，混合鍵合 (hybrid bonding) 技術的良率關鍵，在於接合界面處的原子擴散品質。本案例之圖 8 採用國立陽明交通大學材料科學與工程學系陳智教授實驗室所提供之奈米晶銅 (nc-Cu) 試樣進行晶體結構驗證。由於 nc-Cu 的初始晶粒尺寸普遍低於 100 nm，具備極高的晶界能，因而能展現優異的低溫界面接合潛力。然而，面對此類超細微結構，傳統電子背向散射繞射的空間解析度已達物理極限，難以精準判讀，因而必須導入透射菊池繞射 (TKD) 技術進行奈米級分析。

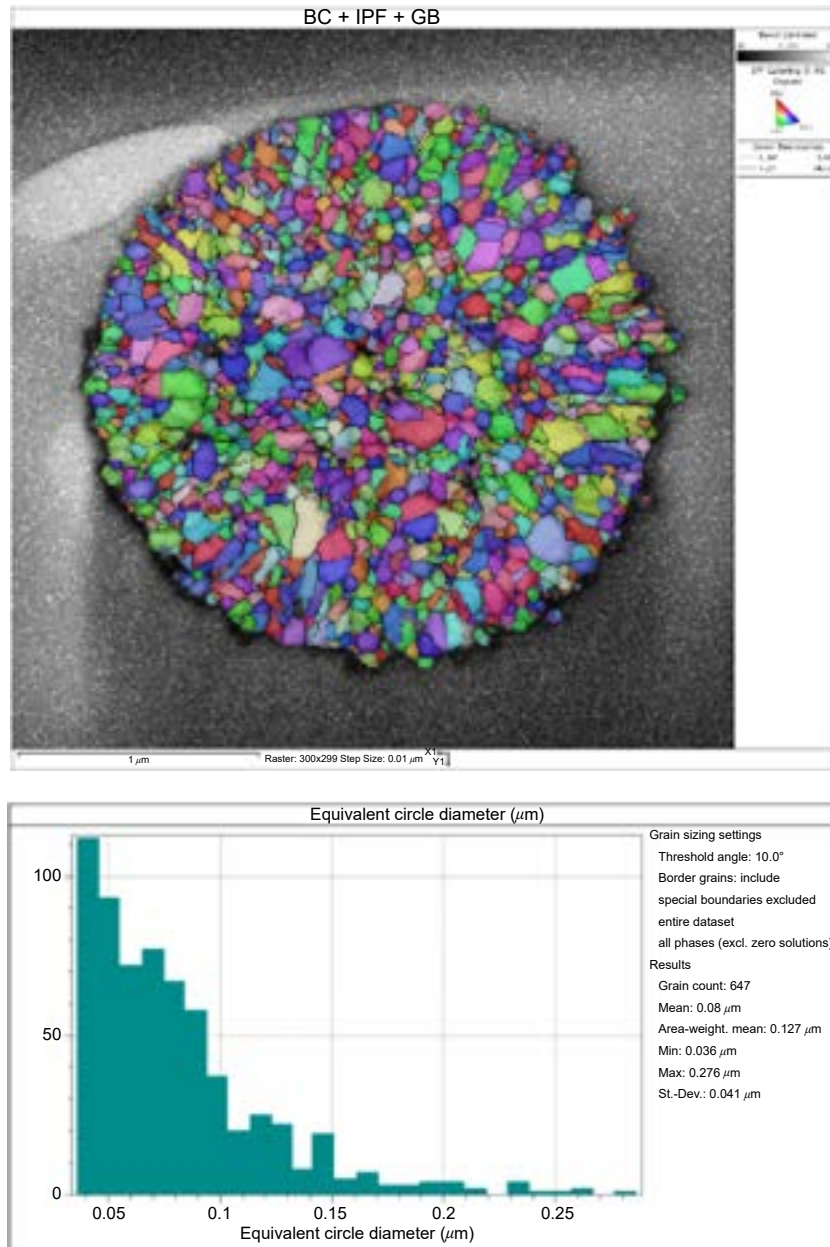


圖 8. 奈米晶銅 (nc-Cu) 接合界面之 TKD 晶粒映射 (Grain Mapping) 分析圖。該技術成功克服傳統 EBSD 之應變干擾與解析度限制，精準重現奈米級晶粒組織與取向分佈。

2.1 TKD 奈米級晶粒映射分析：突破物理極限的解析技術

在 nc-Cu 界面解析中，傳統 EBSD 面臨解析度與訊號干擾的限制。相較之下，TKD 技術藉由創新的鑑定幾何架構與試樣製備方式，展現出兩大核心物理優勢⁽⁹⁾。

- 空間解析度跨世代提升：傳統 EBSD 的空間解析度通常受限於 100 nm 左右；而 TKD 技術則可將其大幅推進至 10–20 nm，成功突破塊材量測的傳統物理限制。
- 降低交互作用體干擾：在傳統 EBSD 量測中，高能電子束入射塊材表面後會形成龐大的交互作用體 (interaction volume)，導致相鄰晶粒的訊號產生重疊混雜。TKD 則改採聚焦離子束 (FIB) 製備厚度僅約 50–100 nm 的薄片試樣，使電子束在激發大規模散射前便直接穿

透試樣，從而將交互作用體積縮減至極致。如圖 8 所示範例，此項突破能確保所獲取的菊池圖 (Kikuchi patterns) 具備高對比度與高空間特異性，即便是接合界面處極微弱的局部晶格扭曲 (lattice distortion)，亦能被精準捕捉。

四、結論：跨尺度整合檢測是先進封裝量產的基石

隨著先進封裝技術邁向異質整合、三維堆疊與高功耗應用，封裝已不再只是晶片的保護結構，而是決定系統效能與可靠度的核心平台。從設計驗證、製程開發到量產導入，每一個階段都潛藏不同形式的失效風險。若缺乏系統化的失效分析機制，任何微小的材料缺陷或界面異常，都可能在量產後被放大，進而影響產品良率與長期可靠度。因此，失效分析不僅是問題發生後的補救手段，更是支撐先進封裝穩定量產的關鍵基石。

面對微縮化與立體化的結構挑戰，建立一條從非破壞性檢測、精密剖面製備、奈米尺度顯微觀察，到晶體結構與材料化學分析的「跨尺度、跨技術整合檢測流程」，已成為半導體研發與失效分析鏈中不可或缺的關鍵。透過非破壞性物理定位、聚焦離子束精密加工與電子顯微鏡微觀特徵分析的有機結合，分析技術能突破過往單一儀器的檢測盲點，展現宏觀到微觀的系統化解析能量。

這種跨領域的整合分析能力，能協助產業在面對高度複雜的異質介面時，快速定位問題、釐清失效機制，並提出具體的製程改善方向。唯有在產品開發與量產各階段，持續導入專業的失效分析與材料研究能量，才能確保先進封裝技術在高效能與高可靠度之間取得最佳平衡，進而驅動下一代半導體系統整合技術的穩定演進。

參考文獻

1. Yole Développement, “Memory Packaging 2021 Report,” Yole Group, 2021, 轉引自 Ample Solutions 技術專欄, please refer to the website: <https://ampleglobal.com/sourcing-and-supply-chain-strategies/understanding-advanced-packaging-why-foundries-are-investing-heavily/>
2. BE Semiconductor Industries N.V. (Besi), “Investor Relations Presentation: Moore's Law Helps Drive Growth of Wafer Level Assembly,” please refer to the website: <https://uanalyze.com.tw/articles/918626067>
3. 優分析產業研究部, 「晶圓級封裝技術: Fan-In 與 Fan-Out 的架構差異」, 優分析, please refer to the website: <https://uanalyze.com.tw/articles/526485281>
4. 材料世界網, 「先進封裝技術發展趨勢與失效分析挑戰」, 材料世界網技術專欄, please refer to the website: <https://www.materialsnet.com.tw/DocView.aspx?id=1238>
5. S. J. Wang, L. T. Lin, and C. H. Chen, “Advanced Materials and Structural Characterization for Next-Generation Semiconductor Packaging,” *Nanomaterials*, vol. 15, no. 11, p. 840, 2025, <https://www.mdpi.com/2079-4991/15/11/840>
6. System Plus Consulting (Yole Group), “NVIDIA A100 Ampere GPU Reverse Engineering and Cost Analysis Report,” Yole Group, please refer to the website: <https://www.yolegroup.com>.
7. Yangyang Lai, Ke Pan and Seungbae Park, *Microelectronics Reliability*, **161**, 115477 (2024).
8. C. H. Tung, et al., (TSMC), “Wafer-level system integration of the fifth generation CoWoS®-S with high performance Si interposer at 2500 mm²,” 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), 2021, pp. 1-6. <https://ieeexplore.ieee.org/document/9501649>
9. Patrick W. Trimby *et al.*, *Acta Materialia*, **62**, 69 (2014).

作者簡介

邱珮如女士現為閎康科技股份有限公司研發中心專案管理副理。

Pei-Ju Chiu is currently a Deputy Project Manager at R&D Center of Materials Analysis Technology Inc. (MA-tek).

先進封裝熱界面材料的發展現況與趨勢

Development Status and Trends of Thermal Interface Materials for Advanced Packaging

陳俊豪、鄭淑慧

Chun-Hao Chen, Shu-Hui Tay

隨著 AI 運算平台之功耗、記憶體頻寬與封裝整合密度持續提升，熱管理成為影響先進封裝效能與可靠度的核心議題。本文針對先進封裝熱界面材料之發展現況與趨勢進行綜述，首先說明 TIM1、TIM2 與 TIM1.5 架構在熱傳路徑、界面熱阻與封裝散熱設計上的差異；其次回顧導熱膏、導熱墊片、高分子複合材料與相變材料等傳統型 TIM，說明其在熱導率與長期可靠度上的限制。隨後介紹低熔點鉛錫合金、鎳基液態金屬、預成形鎳金屬片等金屬型 TIM，此類材料具備較高本質熱導率並能與晶片金屬化層形成連續金屬熱傳通道，是 AI 先進封裝中具潛力的候選材料。本文進一步以 In32.5Bi16.5Sn/Cu 與鎳基 TIM 系統作為實際案例，探討介面演化與熱阻變化之關係，說明此類金屬型 TIM 的實際散熱表現不僅取決於材料本體熱導率，亦受到界面反應、介金屬化合物生成、元素擴散與金屬化層穩定性影響，文章結尾並展望高導熱填料、燒結銀銅等新型 TIM 於未來 AI 封裝散熱中的應用潛力。

As the power consumption, memory bandwidth, and packaging integration density of AI computing platforms continue to increase, thermal management has become a critical issue affecting the performance and reliability of advanced packaging. This review summarizes the current status and emerging trends of thermal interface materials (TIMs) for advanced packaging. First, the differences among TIM1, TIM2, and TIM1.5 architectures are discussed in terms of heat-transfer paths, interfacial thermal resistance, and package-level thermal design. Conventional TIMs, including thermal greases, thermal pads, polymer-based composite TIMs, and phase-change materials, are then reviewed, with emphasis on their limitations in thermal conductivity and long-term reliability. Subsequently, metal-based TIMs, such as low-melting-point solder alloys, Ga-based liquid metals, and preformed indium interlayers, are introduced. These materials possess higher intrinsic thermal conductivity and can form continuous metallic heat-transfer pathways with chip metallization layers, making them promising candidates for AI advanced packaging. Representative case studies of the In32.5Bi16.5Sn/Cu system and In-based TIMs are further discussed to clarify the relationship between interfacial evolution and thermal resistance. These examples demonstrate that the practical thermal performance of metal-based TIMs is governed not only by their bulk thermal conductivity, but also by interfacial reactions, intermetallic compound formation, elemental diffusion, and metallization stability. Finally, the potential applications of emerging TIMs, including high-thermal-conductivity fillers and sintered Ag/Cu materials, in future AI packaging thermal management are discussed.

一、前言

隨著摩爾定律所主導之電晶體微縮持續推進，半導體元件已朝向更高整合度、更高運算能力與更高功能密度快速演進。然而效能提升的同時亦伴隨功率密度與發熱量的顯著增加，使熱管理逐漸成為限制先進電子系統發展的關鍵瓶頸之一。尤其自 2022 年以來，生成式人工智慧 (artificial intelligence, AI) 與大型語言模型 (large language model, LLM) 相關應用快速發展，顯著推升對高效能 AI 運算硬體的需求。在此趨勢下，負責大規模智慧運算之 AI 加速器已成為當前最具代表性的高功率密度晶片平台。隨著新世代 AI 運算平台之功耗、記憶體頻寬需求與機櫃層級能源消耗持續提升，其系統效能已愈來愈取決於是否能有效地將高度集成的 AI 運算封裝所產生之熱量快速導出。因此，先進封裝中的熱管理已成為直接影響運算密度、持續操作頻率、元件長期可靠度與整體系統效率的核心議題。

熱管理議題與 AI 運算晶片之先進封裝技術演進密不可分。現今高效能 AI 晶片多透過 2.5D 或 3D 先進封裝技術，將邏輯晶粒、高頻寬記憶體 (high bandwidth memory, HBM) 與矽中介層 (interposer) 整合於同一封裝中，形成高度集成之高功率密度異質整合平台。此類封裝架構一方面使運算晶片得以在有限空間內整合更高的運算能力與記憶體頻寬，另一方面亦使熱源分布呈現高度空間不均勻性，且常集中於運算核心、記憶體介面及其他高活動區域，使熱傳路徑更趨複雜。與此同時，由 GPU、HBM 與中介層共同構成之大面積異質整合封裝平台，其整體尺度亦持續擴大，進一步提高各界面之熱管理難度與熱阻控制要求。

在此背景下，熱界面材料 (thermal interface materials, TIMs) 已成為先進封裝熱管理中最具優化潛力的核心技術。對高功率 AI 封裝而言，若欲維持元件操作效能與封裝可靠度，熱量自晶片傳遞至熱擴散結構、散熱器或均溫板之過程必須具備高熱傳效率。然而，即使這些配對表面經過精密加工，晶片側與晶片上蓋、均溫板或散熱器表面仍不可避免存在微觀粗糙度與波動起伏，使界面間存在空隙；這些微小空隙往往會困住空氣，進而形成顯著的熱傳路徑屏障。TIM 的主要功能即在於填補界面間隙、提升有效接觸面積，並建立更連續之熱傳路徑，使熱能得以更有效率地由半導體封裝傳遞至冷卻結構。對 AI 運算平台而言，由於其封裝熱負載高、局部熱點明顯，且接面溫度容限有限，即使界面熱阻僅有小幅增加，也可能造成顯著溫升、效能下降與壽命縮短；特別是在大面積異質整合封裝平台中，界面熱阻的控制變得更加敏感，使 TIM 的材料選擇、界面設計與結構配置成為先進封裝散熱設計中的關鍵議題。

基於上述背景，本文針對先進封裝中熱界面材料之發展現況與未來方向進行綜述，並以 AI 運算晶片封裝之散熱需求作為主要應用背景。本文首先介紹 TIM1、TIM2 與 TIM1.5 等不同熱界面架構及其在先進封裝中的熱傳意義；其次回顧傳統熱界面材料之主要類型與特性，並進一步探討金屬型 TIM 及其在先進封裝中的應用潛力；其後，針對金屬型 TIM 的界面反應與可靠度議題進行分析；最後展望未來具潛力之熱界面材料與先進熱管理技術發展方向。藉由上述整理，本文期望建立由封裝架構、材料技術、可靠度到未來發展之完整脈絡，以作為高效能運算與人工智慧先進封裝熱管理研究之參考。

二、先進封裝之熱界面架構：TIM1、TIM2 與 TIM1.5

在電子封裝散熱設計中，熱界面材料通常依其所在位置與熱傳功能區分為 TIM1 與 TIM2。如圖 1 所示，傳統封裝架構中，TIM1 係指位於晶粒 (die) 與上方熱擴散結構之間的

熱界面層，通常設置於晶片與上蓋 (lid) 或整合式熱擴散板 (integrated heat spreader, IHS) 之間；而 TIM2 則位於 lid 與外部散熱器、散熱鰭片 (heat sink) 或水冷板 (cold plate) 之間，作為封裝與外部散熱模組之間的熱傳界面。此種雙層熱界面架構已廣泛應用於中央處理器 (central processing unit, CPU)、GPU 與其他高功率元件封裝中，並長期作為封裝熱管理之基本設計方式。TIM1 與 TIM2 雖同屬熱界面材料，但其所面對之操作條件與性能要求並不完全相同。TIM1 最接近主要熱源，直接位於高熱流密度的晶粒與熱擴散結構之間；在此位置上，即使僅有微小的界面缺陷或空孔，也可能造成界面溫度顯著上升，直接影響元件效能與可靠度。因此，TIM1 通常更強調高熱導率、低界面熱阻、良好潤濕性或服貼性，以及在熱循環條件下維持穩定界面品質的能力。相較之下，TIM2 位於 lid 與外部散熱結構之間，其主要功能在於補償較大尺度的散熱器表面不平整與裝配公差，並維持封裝與散熱器之間穩定的熱接觸。因此，TIM2 雖同樣要求足夠的導熱能力，但通常更重視厚度補償能力與組裝便利性。

然而，隨著 AI 運算晶片功耗持續提高，以及異質整合封裝面積持續擴大，傳統 TIM1/TIM2 架構的限制也愈發明顯。從熱傳觀點來看，每增加一層界面，便可能引入額外的界面熱阻；每增加一層中介材料，亦會增加熱傳路徑長度並放大局部接觸不良所帶來的熱阻損失。此外，TIM 層本身的接合層厚度 (bond-line thickness, BLT) 亦是影響總熱阻的關鍵因素，因為 TIM 的厚度方向熱阻與 BLT 成正比；當 BLT 增加或厚度分布不均時，即使材料本體熱導率相同，整體熱阻仍可能明顯上升⁽¹⁾。當封裝的總熱負載持續上升、局部熱點更加集中時，這些原本可接受的界面熱阻與整體 BLT 帶來的熱阻上升，便可能成為限制整體散熱效能的重要瓶頸。特別是在大面積封裝中，TIM1 與 TIM2 各自的 BLT 控制、界面均勻性及材料老化行為，皆可能進一步影響總熱阻與長期可靠度。

因此，近年來 TIM1.5 架構逐漸受到高度關注，如圖 1(b)。相較於傳統 TIM1/TIM2 雙層熱界面架構，TIM1.5 的核心概念在於簡化熱傳路徑並減少晶片熱源到散熱器中間的界面數目，使熱量得以更直接地由晶粒傳遞至冷卻模組⁽²⁾。傳統 TIM1/TIM2 架構的優點在於設計成熟、製程穩定，且可針對不同界面位置選擇不同類型的材料。然而其缺點亦相對明顯，即熱量需依序穿越 TIM1、晶片上蓋、TIM2、散熱器等多層結構，任何一層界面之熱阻增加皆可能導致整體熱傳效率下降。相較之下，TIM1.5 透過減少中間熱傳層級，可有效降低總熱阻並改善高熱流密度條件下的散熱表現，因此特別適合應用於高功率密度的 AI 封裝。然而，TIM1.5 的挑戰在於其對材料本身與界面品質要求更高，必須同時具備低界面熱阻、良好服貼性、大面積接觸穩定性與長期可靠度，否則局部空洞、接觸不良或熱循環劣化將更容易直接影響整體封裝散熱效能。



圖 1. (a) TIM1/TIM2 架構 (b) TIM1.5 架構。

三、傳統熱界面材料的類型與特性

熱界面材料長期扮演降低界面熱阻與改善熱接觸品質的重要角色。由於晶粒、lid、熱擴散板與散熱器等接觸表面即使經過精密加工，仍不可避免存在微觀粗糙度、局部不平整與組裝公差，因此若僅依靠固體表面直接接觸，往往會在界面間殘留空氣而形成顯著熱障。基於材料形態、組成與熱傳機制的不同，傳統 TIM 主要可分為導熱膏 (thermal grease)、導熱墊片 (thermal pad) 與相變材料 (phase-change materials, PCMs) 等幾類。傳統 TIM 的材料本體熱導率多約落在 $1-10 \text{ W/mK}$ 的範圍內，少數經高填料設計之高性能配方可略高於此區間；然而，其實際散熱表現仍高度取決於界面熱阻、材料厚度與接觸品質。此類材料普遍具有製程成熟、成本相對較低與應用彈性高等優點，因此至今仍廣泛應用於各類電子產品與封裝系統中。然而，隨著高功率密度 AI 封裝、異質整合平台與液冷架構的快速發展，傳統 TIM 在熱導率、界面熱阻與長期可靠度等方面的限制也逐漸浮現，因而有必要對其主要類型與材料特性進行系統性整理與討論。

3.1 導熱膏

導熱膏是最具代表性的傳統熱界面材料之一，其通常由高分子或矽油類基材中分散導熱填料所構成。常見的導熱填料包括氧化鋁、氧化鋅、氮化硼、石墨或其他陶瓷與碳系材料。導熱膏最大的優勢在於其具有良好的流動性與填隙能力，能有效填補晶片與散熱器之間因表面粗糙度、翹曲或局部不平整所造成的微小空隙，進而提升實際接觸面積並降低界面熱阻。此外，導熱膏通常塗佈方便、材料取得容易，且可在相對較低成本下提供穩定的熱接觸效果，因此長期被廣泛應用於 CPU、GPU、功率元件及各類電子散熱模組中。

就熱導率而言，導熱膏的材料本體熱導率通常約落在 $1-10 \text{ W/mK}^{(3-5)}$ 。然而導熱膏的熱傳表現本質上仍受限於其基材與導熱填料所構成之複合結構。雖然藉由提高填料比例可在一定程度上提升熱導率，但填料含量過高往往會造成材料黏度顯著上升，進而增加塗佈難度，並可能導致填料分散不均或局部團聚，反而影響界面品質。除此之外，導熱膏最主要的限制之一在於長期可靠度問題。在熱循環與長時間高溫操作條件下，導熱膏可能出現泵出效應 (pumping effect)、基材揮發乾裂、填料偏析與老化等現象，進而降低有效接觸面積並導致界面熱阻升高^(1, 2, 6)。對高熱流密度與長時間運作之 AI 封裝而言，這些問題尤為敏感，因此雖然導熱膏仍具備製程簡便與良好填隙性的優勢，但其在高功率先進封裝中的應用也逐漸受到材料穩定性與熱傳性能上限之限制。

3.2 導熱墊片

導熱墊片通常為預成形之固態或半固態片材，其多以矽膠、彈性體或其他聚合物基材為主，並摻入陶瓷或其他導熱填料以提升熱傳性能。相較於導熱膏，導熱墊片具有厚度可控、操作簡便、組裝一致性佳及不易流動等優點，因此特別適合應用於存在較大組裝公差、需跨越較大高度差，或需兼顧可重工性與自動化組裝的散熱場景。在實務應用中，導熱墊片常見於功率模組、記憶體模組、電源元件、車用電子與各類散熱器與元件之間的界面填補。

就熱導率而言，導熱墊片的材料本體熱導率通常約落在 $1-3 \text{ W/mK}^{(4)}$ ，部分特殊高規格產品則可略高於此範圍。導熱墊片的實際熱傳表現不僅受材料本體熱導率影響，也與其厚度、壓縮性及界面接觸狀態密切相關。由於導熱墊片常用於填補較大縫隙，其厚度通常高

於導熱膏或薄型金屬 TIM，因此即使材料本體熱導率不低，其總熱阻仍可能因厚度效應而顯著增加。

此外，導熱墊片雖具備一定程度的機械順應性，可用以吸收表面不平整與組裝公差，但在高熱流密度與大面積先進封裝應用中，當封裝表面存在局部翹曲、壓力分布不均或界面接觸不足時，導熱墊片因無法如流動型材料般充分填補微尺度空隙，較易造成局部熱接觸不良並導致界面熱阻升高。因此，此類材料雖適用於一般電子散熱模組間隙填補，但對於高功率 AI 封裝中追求極低熱阻之先進熱管理需求而言，其適用性相對有限。

3.3 高分子複合材料

高分子複合熱界面材料 (polymer-based composite TIMs) 為傳統 TIM 中相當重要的一類，其通常以聚合物基材作為連續相，並摻入導熱填料以提升整體熱傳性能。常見基材包括矽膠、環氧樹脂、聚醯亞胺與其他高分子材料，而導熱填料則可為氧化鋁、氧化鋅、氮化硼、氮化鋁、石墨、碳纖維或其他陶瓷與碳系材料。與單純導熱膏相比，高分子複合材料通常具有較高的材料可設計性，可透過調整填料種類、粒徑、形狀、填充比例及其在基材中的分布狀態，來兼顧導熱性能、機械強度、電絕緣性與界面順應性。因此，此類材料長期以來在電子封裝、功率模組、LED、車用電子及各類散熱模組中皆具有廣泛應用。

就熱導率而言，高分子複合材料的材料本體熱導率通常約落在 $1-10 \text{ W/mK}$ ⁽⁶⁾，部分商用或研究型配方透過高填料含量、填料取向控制或三維導熱網路設計之材料，則可進一步達到約 $15-20 \text{ W/mK}$ 以上。然而，此類材料的熱傳性能提升通常並非線性，因為導熱能力除取決於填料本身之熱導率外，亦受限於填料之間是否能形成連續導熱網路，以及填料與高分子基材之間的界面熱阻。換言之，即使導入高熱導率填料，若其在基材中分散不均、產生團聚，或未能形成有效連通之熱傳通道，則整體熱導率提升仍可能有限。

高分子複合材料的優勢在於兼具一定程度的界面服貼性與機械順應性，並可依應用需求調整材料配方，因此在需要同時兼顧導熱、絕緣與可製造性的應用中具有相當高的彈性。然而，其限制亦相當明顯。首先，若欲顯著提升熱導率，通常需提高填料含量，但高填料比例往往會導致材料黏度上升、加工性下降，甚至影響塗佈與界面均勻性。其次，填料與基材之間的界面熱阻，以及材料在長期熱循環或高溫操作下可能產生的界面退化、龜裂與性能衰退，也都可能限制其在高功率密度封裝中的應用。儘管高分子複合材料仍具備良好工程調整空間，但在追求極低熱阻與大面積界面穩定性的條件下，其熱傳性能與長期可靠度仍存在一定上限，這也驅使後續研究逐漸朝向更高效能的金屬型 TIM 發展。

3.4 相變材料

相變材料為另一類重要的傳統熱界面材料，其主要特徵在於材料可於特定溫度範圍內由固態轉為軟化狀態，或發生固－液相轉變，藉此在元件操作溫度下提升界面潤濕性與服貼性。相較於導熱膏在室溫下即呈膏狀，PCMs 通常在室溫下具有較佳的形狀穩定性與操作便利性，而當溫度升高至其相變區間時，材料會軟化並填補界面間之微小空隙，進而降低接觸熱阻。因此，此類材料可視為兼具固態材料組裝穩定性與流動型材料界面填充能力之折衷方案，長期應用於處理器封裝、功率模組及散熱模組等場合。

PCM 多以石蠟類、有機蠟、聚合物基材或其他可控制相轉變溫度之配方為主，並常搭配陶瓷或碳系填料以提升導熱性能。其材料本體熱導率通常約落在 $0.1-10.5 \text{ W/mK}$ ⁽⁴⁾，整體

數值雖仍屬傳統 TIM 範疇，但由於其可在操作溫度下改善界面接觸，因此實際應用中往往能有效降低由表面粗糙度與接觸不完全所造成的熱阻，因此相變材料在某些應用中相較於一般導熱墊片更具優勢。然而相變材料的熱導率通常仍低於金屬型 TIM，其材料本身的熱傳表現亦常受填料分布、相變溫度區間與基材穩定性所影響。某些相變材料在高熱流密度與極低熱阻需求之先進封裝應用中，若操作條件超出其最適相變區間，則其優勢可能無法充分發揮。因此，相變材料雖在傳統電子封裝中仍具相當實用性，但在高功率 AI 封裝與更嚴苛熱管理需求下，其應用仍可能受到材料本體熱導率與長期穩定性之限制。

傳統熱界面材料之共同優勢在於製程成熟、材料取得容易、成本相對可控，且多數具備良好的填隙能力與一定程度的界面順應性；然而隨著高效能 AI 封裝要求系統需具備更高散熱能力，傳統材料本體熱導率、界面熱阻控制與長期可靠度方面的限制開始浮現。也正因如此，近年來高效能熱管理技術的研究重心，已逐步由傳統高分子型 TIM 轉向具更高熱導率與更低界面熱阻潛力之金屬型 TIM，以因應下一世代 AI 先進封裝對散熱性能與界面穩定性的需求。

四、金屬型熱界面材料的發展與特性

相較於傳統熱界面材料，金屬型熱界面材料 (metal-based TIMs) 因具備較高本質熱導率、較低界面熱阻潛力，以及形成金屬熱傳通道之能力，而逐漸成為 AI 運算封裝中重要的發展方向⁽⁷⁻⁸⁾，具備高導熱能力與更緊密界面接觸之金屬型 TIM，已成為當前先進散熱設計中備受關注的材料系統之一。

金屬型 TIM 的優勢並非僅建立於較高的本體熱導率之上，其真正價值在於金屬型 TIM 能與晶片背金屬層和散熱片表面金屬建立接近連續金屬接觸之熱通道，因此特別適用於高熱流密度、薄型 BLT 與低熱阻需求明確之 AI 運算平台封裝的應用場景。不過，金屬型 TIM 亦伴隨導電性、介金屬化合物 (intermetallic compounds, IMCs) 生成、界面擴散、氧化與長期可靠度等議題。

4.1 低熔點鉍錫合金 TIM

低熔點鉍錫合金 TIM 為金屬型熱界面材料中最具代表性的一類，其基本概念在於利用熔點相對較低之金屬合金作為熱介面層，使材料可於較低接合溫度下熔融或軟化，進而在界面間形成較連續之金屬熱傳通道並降低界面熱阻。此處所討論之低熔點鉍錫合金，係以其作為 TIM 之應用為主，而非廣義上作為永久接合層之固晶材料。常見之低熔點鉍錫合金 TIM 系統包括 Bi-Sn、In-Sn、In-Bi-Sn 及其他含銻、錫、鉍之多元低熔點合金，其中 Bi-Sn 共晶系統之熔點約為 138–139 °C，Sn-In 共晶系統之熔點約為 118 °C，而 In-Bi-Sn 類的三元合金則可依成分不同進一步降低至約 60–100 °C 範圍。

就材料本體熱導率而言，Bi-Sn 型低熔點合金通常約落在 20–30 W/mK⁽⁹⁾，In-Sn 共晶合金 In-48Sn 之熱導率則約為 34 W/m·K⁽¹⁰⁻¹¹⁾，而含銻比例較高之合金系統，例如 In-5Ag 與 In-45Ag 之熱導率分別約為 78 與 57 W/m·K⁽¹²⁾，而純銻之熱導率可達約 86 W/m·K。低熔點鉍錫合金 TIM 顯然具備更高之材料本體導熱優勢。更重要的是，此類材料在封裝組裝過程中可於其熔點附近或高於其熔點的條件下發生熔融，藉由潤濕上下接觸表面並流入微尺度界面空隙，有助於填補孔隙、提升實際接觸面積，進而形成較低熱阻之金屬導熱界面。低熔點鉍

錫合金 TIM 的主要優勢在於其可兼顧相對較高之熱導能力、較低製程溫度與金屬界面接觸特性。對 AI 運算平台的先進封裝而言，較低的接合溫度有助於降低整體熱預算，避免高溫製程對晶片、封裝材料或其他界面造成不利影響；而金屬型熱傳路徑的形成，則使其在高熱流密度條件下較傳統高分子型 TIM 更具潛力。

4.2 鎵基液態金屬TIM

鎵基液態金屬 TIM 為金屬型熱界面材料中另一類重要且具代表性的系統，其主要特色在於材料可於室溫附近維持液態，因而同時兼具金屬材料較高熱導率與液態材料優異的界面服貼能力。相較於低熔點鉍錫合金需在組裝過程中加熱熔融後填補界面空隙，鎵基液態金屬可直接於操作或組裝條件下潤濕接觸表面，並在極薄 BLT 條件下形成連續之金屬熱傳通道，因此特別適用於追求極低界面熱阻與高熱流密度散熱需求之 AI 運算封裝場景。

常見之鎵基液態金屬系統包括共晶 Ga-In 與 Ga-In-Sn (如 Galinstan) 等組成，其中 Ga-In 類材料之熱導率文獻常見約為 $25-30 \text{ W/m}\cdot\text{K}^{(13)}$ ，而 Ga-In-Sn 類系統則依成分與量測條件不同，多約落在 $23.9-38 \text{ W/m}\cdot\text{K}^{(14)}$ ，部分商用液態金屬 TIM 產品則可呈現更高之熱導率數值。相較於傳統高分子型 TIM，鎵基液態金屬具有更高之材料本體導熱能力，其液態金屬的特性能有效降低微尺度接觸空隙所造成的界面熱阻，因此在實際應用中常展現出優於傳統 TIM 的熱傳表現。

鎵基液態金屬 TIM 的主要優勢在於其同時具備金屬材料的導熱能力與液態材料的界面服貼性。由於其具有良好的流動性與潤濕能力，可在較低接觸壓力下填補表面粗糙度、微小孔隙與局部不平整區域，進而提升有效接觸面積並降低界面熱阻。此外，鎵基液態金屬具有極低蒸氣壓，不易揮發，且可在薄型 bond line 設計下維持連續接觸，因此在高熱流密度、局部熱點明顯且接面溫度容限有限之 AI 運算封裝中，具有相當高的應用潛力。

然而，鎵基液態金屬的導入亦伴隨明顯挑戰。由於鎵基液態金屬表面容易形成氧化層，該氧化層可能改變其流動性與界面潤濕行為，進而影響界面均勻性與長期穩定性。其次，鎵對多種金屬材料具有高度反應性，可能導致腐蝕、脆化或界面失效，因此在實際封裝中通常需要透過適當的表面金屬化層或擴散阻障層 (diffusion barrier layer) 設計，避免其與不相容金屬 (例如：鋁) 直接接觸。再者，由於液態金屬本身具高流動性，長時間操作下的滲漏控制、形貌穩定性，以及封裝阻絕壩結構設計，皆為實際導入時必須考量的重要問題。由此可見，鎵基液態金屬 TIM 雖在低界面熱阻與高熱傳效率方面具備高度潛力，但其實際應用成效仍取決於表面工程、封裝相容性與長期可靠度控制。

4.3 金屬箔材與預成形金屬中間層

金屬箔材 (metal foils) 與預成形金屬片 (metal preform) 亦為金屬型熱界面材料中相當重要的一類。此類材料通常以純銦 (In) 或銦基合金 (In-Ag、In-Cu) 為代表，可製成薄片或預成形片材等形式，於封裝組裝過程中夾置於兩接觸表面之間，再藉由施壓、加熱或其共同作用，使材料與上下界面充分貼合，進而形成連續且低熱阻之金屬熱傳通道。相較於需在界面中流動的液態材料，軟金屬箔材與預成形金屬中間層具備較佳的形狀穩定性與厚度可控性；相較於傳統高分子型 TIM，可提供更高的本體熱導率與更低的界面熱阻，因此在高熱流密度與大面積封裝應用中具有相當高的吸引力。

此類材料中最具代表性者為純銦預成型片 (In preform)。純銦之熱導率約為 86 W/mK，且其熔點約為 157 °C，材料本身具備低降伏強度與良好延展性，因此可在封裝組裝過程中透過施壓塑性變形，或於接近其熔點之製程條件下進一步提升界面服貼能力，藉以填補晶片與散熱器表面局部不平整與裝配公差所造成之微尺度空隙，形成低熱阻之熱傳路徑。相較於液態金屬，銦箔材因具片狀形態，在與晶片及散熱器的組裝過程中較易控制材料厚度、位置與接觸面積，且較無滲漏風險，因此銦預成型片已被許多高效能 AI 運算平台所採用。然而，由於銦與封裝中常見的金屬如銅、銀、金等元素擴散速率較高，其與晶片背面金屬化層及散熱器表面鍍層金屬之界面反應仍須審慎設計，以避免過度擴散與介金屬化合物生成對長期可靠度造成不利影響。

整體而言，金屬型 TIM 相較於傳統高分子型 TIM 雖展現出更高熱導率與更低界面熱阻潛力，但金屬型 TIM 必須進一步延伸至其界面微結構演化與長期可靠度之分析。

五、金屬型 TIM 的界面反應與熱阻

如前段所述，金屬型 TIM 雖具備較高之材料本體熱導率與形成低界面熱阻金屬熱傳通道之潛力，但實際散熱表現並不僅取決於材料本身之熱導能力，更受界面金屬反應與後續微結構演化所影響。因此對金屬型 TIM 的評估不應僅停留於材料本體熱導率或初始接合品質之比較，而必須進一步探討其在接合與後續使用過程中之界面金屬演化，及其對熱阻與長期穩定性之影響。基於此，本章將以本團隊過去兩個代表性應用研究案例作為例子，分別說明低熔點 In-Bi-Sn 合金 TIM 與銦基 TIM 系統中界面金屬演化對熱阻與界面反應表現的重要性。

5.1 低熔點 In_{32.5}Bi_{16.5}Sn/Cu 系統之界面演化與熱阻變化

低熔點合金 TIM 可視為金屬型熱界面材料中相當具代表性的應用案例，本研究中所採用之 In_{32.5}Bi_{16.5}Sn 合金，其成分選擇是對應於商用低熔點合金 Indalloy[®]19/Field's metal，即 51 wt.% In、32.5 wt.% Bi 與 16.5 wt.% Sn 之 In-Bi-Sn 共晶系統合金；此合金熔點約為 60 °C，屬於典型之低熔點合金，原先多應用於低溫固定、光學鏡片加工與相關精密製程中，藉由其低熔點特性於低溫下提供可逆或可移除之金屬固定功能。由於此類合金在室溫下可維持固態形態，並可於相對較低溫度下熔融，因而亦具備作為 TIM 之應用潛力。對熱界面材料而言，In_{32.5}Bi_{16.5}Sn 可在低溫接合條件下熔融並潤濕晶片背金屬層與散熱器之金屬表面，有助於填補界面微小空隙、提升實際接觸面積，並形成連續金屬熱傳通道。因此，本研究選用此一商用低熔點 In-Bi-Sn 合金與 Cu 構成 Cu/In-32.5Bi-16.5Sn/Cu 三明治結構，作為探討低熔點金屬 TIM 與 Cu 散熱結構間界面反應、介金屬化合物生成及熱阻演化行為之代表性模型系統⁽¹⁵⁾。如圖 2 所示，將 3×3 cm² 的 In_{32.5}Bi_{16.5}Sn 與 Cu 片材組成三明治結構，於 150 °C 下接合 3 min，並於室溫冷卻後觀察其微觀組織與界面形貌。顯微結構分析顯示，In_{32.5}Bi_{16.5}Sn 低熔點合金於冷卻後形成由 BiIn₂、SnIn 及 InSn 等組成之金相；同時，由於此類低熔點合金具有較低之接合溫度與良好潤濕能力，其與 Cu 片材之接合界面可形成連續之 Cu-In-Sn IMC 層。在後續的 80 °C 等溫老化條件下，該系統的主要界面變化無明顯裂縫生成，In_{32.5}Bi_{16.5}Sn 與銅片間交互擴散生成之 IMC 反應層持續增厚，且隨著老化時間增加，整體熱阻的上升趨勢與 IMC 增厚趨勢具有一致性，如圖 3 所示。此結果說明即使界面

在顯微結構上仍維持表面完整，熱性能仍可能因界面反應層之演化而逐步劣化。因此對金屬型 TIM 而言，低熱阻界面的初始建立並不代表其在長期服役條件下能維持相同散熱效能；若界面反應持續進行並導致 IMC 過度增厚，則整體熱阻仍可能顯著上升。因此，對金屬 TIM 的材料設計與製程評估，不應僅考慮其熔點、初始導熱能力與接合性，更應同步關注其在後續老化條件下的界面反應動力學與熱阻穩定性。

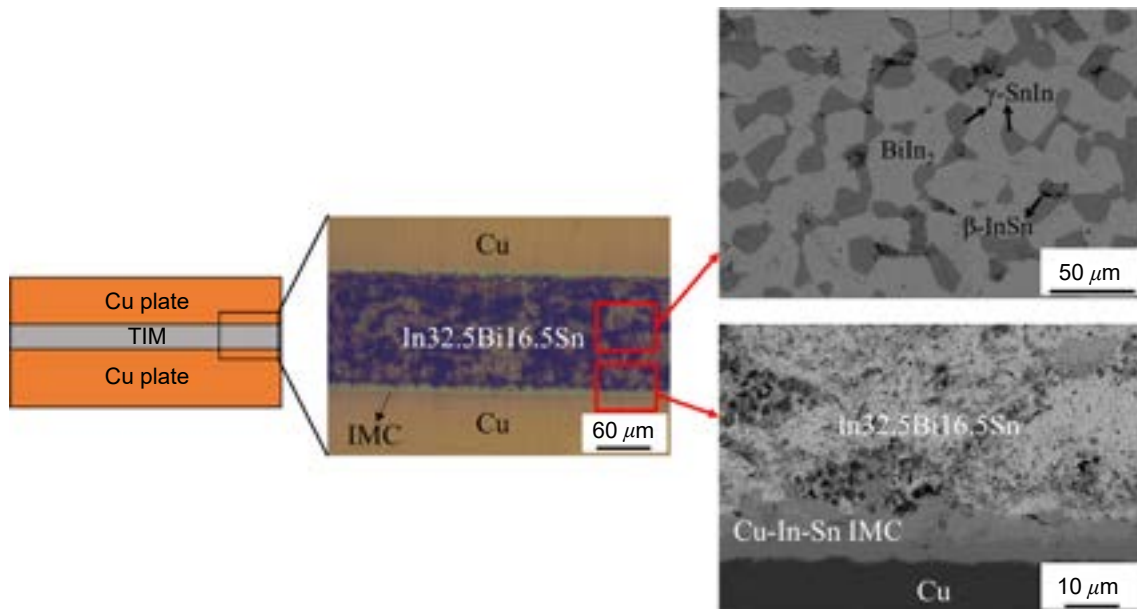


圖 2. Cu/In_{32.5}Bi_{16.5}Sn/Cu 三明治結構於 150 °C 接合 3 min 後之示意圖與微觀組織分析結果。截面影像顯示 In_{32.5}Bi_{16.5}Sn 低熔點合金於兩側 Cu 片材界面形成連續之 IMC 層；放大影像進一步顯示凝固後合金層內部由 BiIn₂、InSn 與 SnIn 等相所組成，並可於 Cu/TIM 界面觀察到 Cu-In-Sn 介金屬化合物⁽¹⁵⁾。

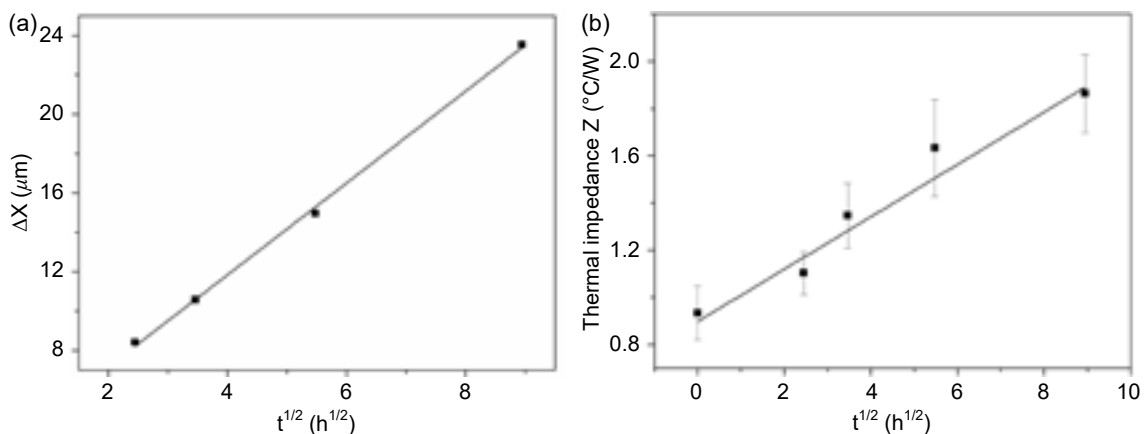


圖 3. In_{32.5}Bi_{16.5}Sn/Cu 界面於 80 °C 等溫老化後之 IMC 成長與熱阻變化：(a) Cu/TIM 界面 IMC 成長厚度(ΔX) 與老化時間平方根 ($t^{1/2}$) 之關係 (b) 穩態熱傳量測所得之三明治結構熱阻隨老化時間平方根 ($t^{1/2}$) 之變化，顯示隨著介面反應層持續增厚與整體熱阻增加具有相關性。⁽¹⁵⁾

5.2 鋼基 TIM 系統中合金成分設計對界面演化與熱特性之影響

在討論鋼基 TIM 在 TIM1.5 層級的應用時，首先必須說明其所對應的晶片背面金屬化背景。對於現今高效能 AI 晶片的封裝而言，晶片背面金屬化層 (backside metallization, BM) 常見採用 Ti/Ni/Au 的金屬層堆疊，其中 Au 主要作為表面防氧化與提升潤濕性之鍍層，以提升鋼基 TIM 於封裝組裝過程之潤濕性並抑制下層 Ni 於組裝前氧化；而 Ni 則作為擴散阻障層，防止鋼進一步與下層的 Ti 進行反應。然而，當純鋼與 Au/Ni 類的金屬化層接觸並經歷接合後，表面 Au 會快速溶入 In 基體中，隨後 In 直接與 Ni 層反應形成 Ni-In 類介金屬化合物；而若 Au-In 反應的 IMC 生成過多 (AuIn_2)，則其高脆性可能導致界面微裂紋形成，進而降低接合可靠度⁽¹⁶⁾。有鑑於此，近年來學界與業界亦開始關注 Ti/Ni/Ag 作為另一種具代表性的晶片背面金屬化選項，因其不僅具有相較 Au 更顯著的成本優勢，Ag 與 In 之間亦具良好潤濕性^(17, 18)，且可形成連續之界面 IMC 反應層。

針對此一背景，本研究團隊以具代表性的 Si/Ti/Ni/Ag | TIM | Ag/NiV/Cu 三明治結構模擬實際 chip/TIM/Cu-lid 之 TIM1.5 接合系統 (圖 4)，其中鋼基 TIM 厚度約 $250\text{ }\mu\text{m}$ ，晶片 Ti/Ni/Ag 金屬化層為 100/300/1000 nm，銅片 Ag/NiV 金屬為 1000/300 nm，以 $260\text{ }^\circ\text{C}$ 、5 min、3.5 MPa 的熱壓接合條件下，比較純 In、In-2Ag 與 In-10Ag 的界面反應與熱阻表現。如圖 5 所示，在此條件下鋼片已完全熔融，界面演化主要由快速之固-液擴散所主導；對純鋼而言，晶片側 Ag 表層會完全溶入 In 基體中，隨後 In 直接與 Ni 阻障層反應形成 In-Ni 界金屬，並伴隨明顯之 Ni 消耗。相較之下，當 TIM 中加入 Ag 後，界面反應後的主要 IMC 為 AgIn_2 。以 In-2Ag 系統為例，如圖 5(b) 中「+」號標示位置所示，晶片側形成具扇貝狀形貌之界面反應層；其 EDX 圖譜與定量分析結果顯示，該區域主要由 Ag 與 In 元素所組成，且 Ag/In 原子比例接近 1:2，符合 AgIn_2 之化學組成，因此可判定其主要反應相為 AgIn_2 ；同時，In 基體內亦可觀察到離散分布之 AgIn_2 析出物，而 Ni 阻障層仍可見部分消耗。至 In-10Ag 時，界面則形成更厚且更連續之 AgIn_2 層，Ni 阻障層消耗顯著降低，顯示較高 Ag 含量有助於透過 AgIn_2 反應層抑制 In-Ni 直接互擴散。

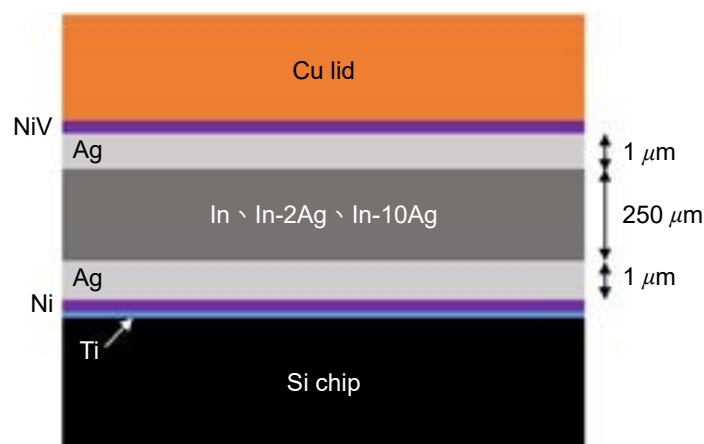


圖 4. Ti/Ni/Ag | TIMs | Ag/NiV/Cu 三明治結構示意圖。

綜合以上結果，鋼基 TIM 的設計關鍵，在於如何透過 TIM 成分與晶片金屬化層的協同設計，掌握其界面反應機制，並在熱傳性能與長期界面穩定性之間取得適當平衡。以純鋼為例，雖然其具有較高的本質熱導率與良好的延展性，有利於形成低熱阻界面，但其高擴散性

亦意味著在長時間熱暴露條件下，特別是在 AI 資料中心長時間高功率運轉所對應的服役環境中，若 Ni 阻障層持續被消耗，In 便可能進一步與下層 Ti 反應，進而削弱原有金屬化層的完整性並引發界面脫層 (delamination)。而界面脫層本質上即代表局部空孔、非均勻接觸區域，引發局部熱傳中斷，不僅會直接惡化熱傳導路徑，也可能進一步導致局部熱點生成，對封裝長期可靠度造成不利影響。因此對鋼基 TIM 而言，評估重點必須進一步考量其在使用過程中的界面金屬演化、阻障層穩定性與脫層風險。此部分之反應機制與最佳化設計，仍有待後續研究持續釐清。

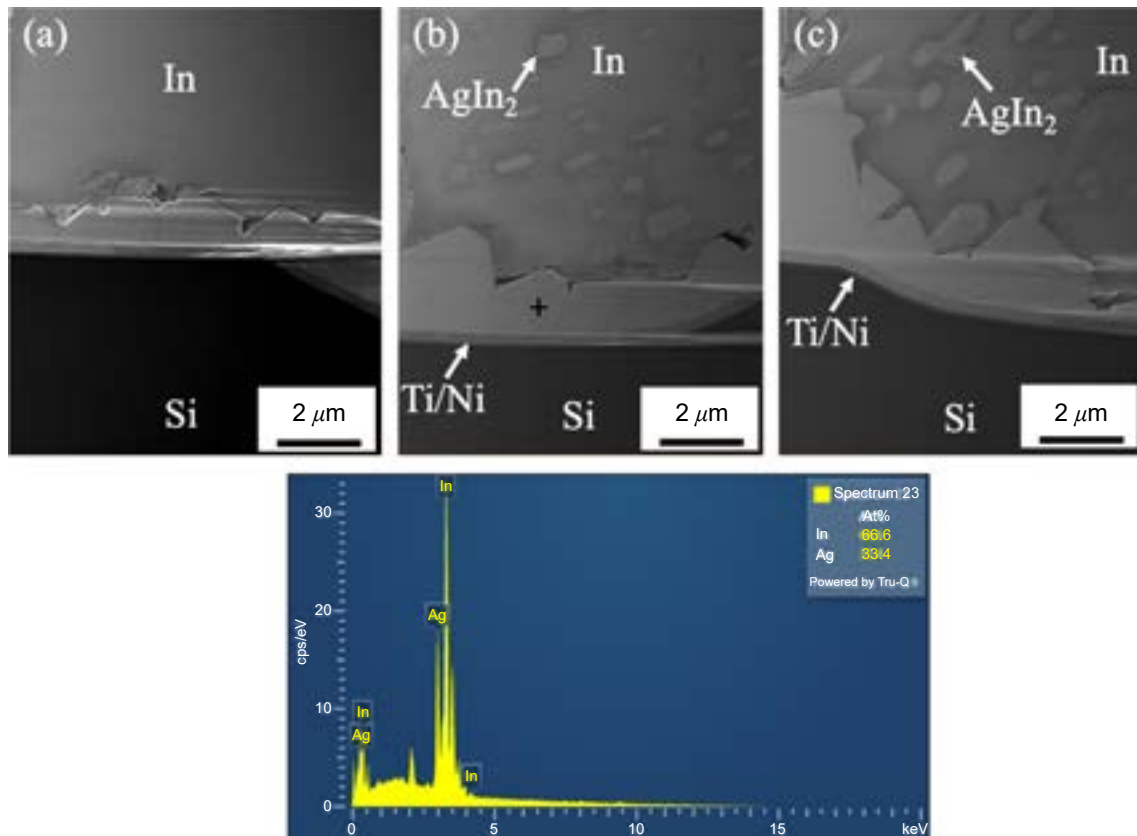


圖 5. (a) In；(b) In-2Ag；(c) In-10Ag 熱界面材料於 260 °C、5 min、3.5 MPa 熱壓接合條件下與 Ti/Ni/Ag 晶片背面金屬化層所形成之截面 SEM 影像與能量分散光譜儀 (Energy Dispersive X-ray Spectrometer, EDX) 圖譜。

六、新型熱界面材料與未來發展方向

除傳統高分子型 TIM 與金屬型 TIM 外，近年來新型熱界面材料的發展亦逐漸受到關注。此類材料之研究重點除了提升材料本體熱導率之外，更進一步透過導熱填料設計、三維熱傳骨架建構與界面結構最佳化，以期在高熱流密度、大面積異質整合封裝及更嚴苛的熱阻控制需求下，建立兼具高效散熱能力與長期穩定性之新型熱傳路徑。

6.1 高導熱填料強化 TIM：石墨烯、鑽石、h-BN 等

將高導熱填料導入 TIM 是提升導熱性能最直接且最廣泛採用的方法之一。此類填料通

常不作為獨立 TIM 類型存在，而是被加入既有 TIM 基體中，例如高分子複合材料、低熔點金屬複合系統，甚至液態金屬複合 TIM，以建立更有效率的熱傳通道。常見高導熱填料包括石墨烯、鑽石、六方氮化硼 (h-BN)、碳奈米管與其他高導熱碳系或陶瓷材料。其共同特徵在於具備遠高於一般高分子基材的本質熱導率，因此被視為提升 TIM 熱傳能力的重要候選材料。

高導熱填料中的石墨烯因其極高的本質熱導率而受到廣泛關注。有研究指出，懸浮單層石墨烯的熱導率常見約為 $1500-4600 \text{ W/m}\cdot\text{K}$ ，部分文獻亦引用約 $4600 \text{ W/m}\cdot\text{K}$ 作為代表值⁽⁶⁾。此一特性使石墨烯成為極具潛力的高導熱填料，特別適合用於構築高連通性的導熱網路。然而，石墨烯在實際複合系統中容易出現石墨烯片層堆疊、團聚等製程問題，其在 TIM 中的最終熱導率增益往往與分散品質、取向排列及界面修飾程度密切相關，而非單純取決於其本身極高的理論熱導率；如何有效將石墨烯的高本質熱導率應用到 TIM 的熱導率提升，仍是未來研究與製程優化的重要課題。

相較之下，鑽石則兼具極高熱導率與電絕緣性，其在室溫下的熱導率可達約 2300 W/mK ⁽³⁾，因此被視為極具潛力的熱功能材料。由於鑽石本身熱傳能力極佳，其作為 TIM 填料或複合熱擴散材料時，可望有效提升複合系統之熱傳表現。然而，鑽石的應用同樣面臨界面問題，包括填料與基體之間的接觸熱阻、與金屬或高分子基體之界面相容性，以及成本較高等因素。因此，鑽石在 TIM 中的導入通常需配合粉體表面金屬化等界面修飾，才能更有效發揮其高熱導優勢。

h-BN 則是另一類極具代表性的二維材料，h-BN 的特點在於其熱導率具有明顯各向異性，且 h-BN 可在保持電絕緣的前提下，作為高分子 TIM 或複合 TIM 的散熱填料，尤其適合應用於兼具導熱與電絕緣要求的封裝系統。然而，正因其熱傳具有方向性，若填料排列無法有效導向厚度方向熱傳，則其對垂直方向的熱導率增益可能受限。這也使 h-BN 的應用特別依賴後續的取向設計與導熱網路建構。

6.2 燒結金屬型 TIM：燒結銀與燒結銅

燒結金屬型 TIM 可視為另一類具發展潛力的新型熱界面材料，其中以燒結銀 (sintered Ag) 最具代表性。燒結銀最早主要應用於新型功率晶片之固晶接合 (die attachment)，其目的在於取代無鉛錫鉾或部分低熔點接合材料，以滿足高溫操作、高熱流密度與長期可靠度需求。銀燒結的基本原理在於利用銀微粒或奈米銀顆粒於加熱與施壓條件下發生顆粒間擴散與頸縮 (necking)，並逐步形成連續的金屬層，隨著有機載體去除與孔隙率降低，最終可形成接近純銀之燒結層。以燒結銀為例，若燒結後孔洞率足夠低，則其有效熱導率理論上可達 270 W/mK 以上⁽¹⁹⁾，顯著高於傳統高分子型 TIM，亦高於多數低熔點金屬 TIM，因此在高熱流密度散熱應用中具有相當大的吸引力。

相較於傳統錫料型 TIM，燒結銀的一項重要優勢在於其接合機制並不依賴大量液相潤濕與 IMC 生成，其主要是透過銀顆粒間之固相燒結形成連續金屬熱傳通道。在燒結前，燒結銀通常以銀膏或預塗膏狀材料形式存在，因此於封裝組裝過程中可具備一定程度的流動性與服貼性，有助於適應晶片金屬化層、上蓋或冷板表面之微觀起伏與局部不平整，進而提升初始接觸品質。經燒結後，銀顆粒逐漸形成連續金屬網絡，若孔隙率可有效降低，則可提供高導熱且低熱阻之金屬熱傳路徑。此外，銀本身具有良好延展性，而燒結銀層中的多孔金屬結構亦可在一定程度上提供機械順應性，有助於吸收熱膨脹係數不匹配所造成的熱應力，降低熱循環過程中界面剝離或裂縫生成的風險。若其與晶片金屬化層及上蓋表面可形成穩定

之金屬鍵結，且界面不依賴脆性 IMC 作為主要接合層，則在長期服役條件下有望兼顧高導熱、低熱阻與較佳界面穩定性。如圖 6 所示，本團隊以鍍有 100/300/1000 nm 的 Ti/Ni/Ag 金屬化層 $10 \times 10 \text{ mm}^2$ 晶片與燒結銀膏於 250°C 、15 min、10 MPa 熱壓接合條件下對接，從截面 SEM 影像上即顯示燒結銀與晶片金屬化層具有穩定之金屬鍵結而不具有 IMC。從 TIM 的角度來看，燒結銀不僅具有高導熱率潛力，更可能在長期熱循環與高溫操作條件下展現優於傳統鋁料型金屬 TIM 的界面可靠度。

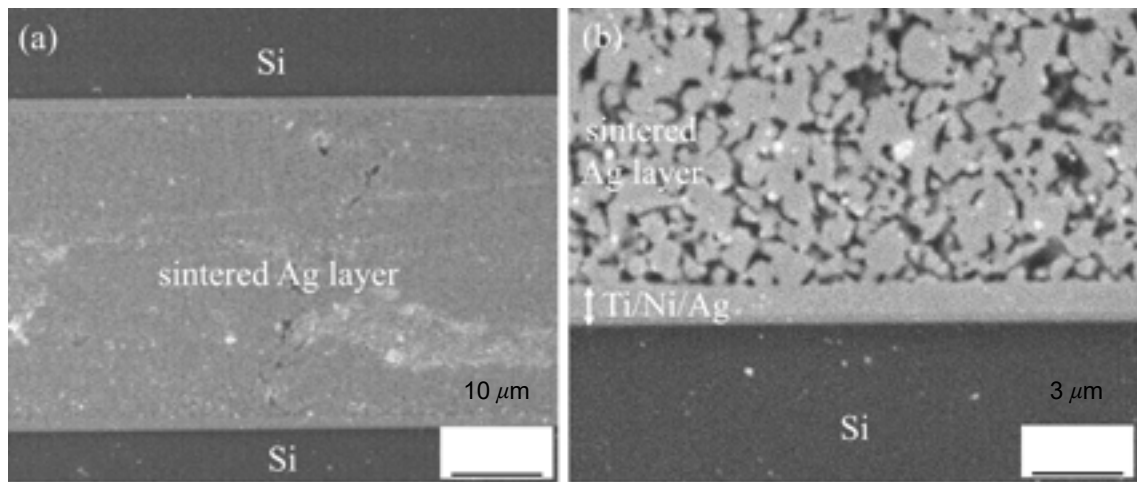


圖 6. 燒結銀與 Ti/Ni/Ag 晶片金屬化層於 250°C 、15 min、10 MPa 熱壓接合後之界面截面 (a) 整體燒結銀 Ti/Ni/Ag 接合結構；(b) 接合界面高倍率截面 SEM 影像。

除燒結銀外，燒結銅 (sintered Cu) 亦逐漸受到關注。相較於銀，銅具有更顯著的材料成本優勢，且同樣具備良好的本體導熱能力，因此被視為具潛力的下一代燒結型金屬 TIM 候選材料。然而燒結銅的挑戰在於銅表面較易氧化，使其燒結條件、潔淨度與接合穩定性控制更為困難。因此，就現階段發展而言，燒結銀仍是最具代表性的燒結型金屬 TIM，而燒結銅則可視為兼具高導熱潛力與成本優勢、但仍待進一步突破製程與界面穩定性問題的重要發展方向。燒結銀與燒結銅型的 TIM 顯示未來熱界面材料的發展已逐漸由傳統填隙與低熔點接合材料，延伸至以高導熱微孔金屬結構與固相金屬鍵結為核心的新型散熱材料開發方向。

七、結論

展望未來，隨著 GPU、HBM 與中介層所構成之封裝平台持續朝向更大面積與多晶粒異質整合模組演進，TIM1.5 所需面對的界面尺度、接觸均勻性與熱阻控制要求勢必進一步提升。例如，若未來 TIM1.5 面積尺度進一步超越 100 cm^2 ，且模組熱負載進入數 kW 等級，則材料本體熱導率、界面均勻性與長期熱阻穩定性都將面臨更嚴峻的挑戰。在此條件下，未來熱界面材料的選用標準將更為嚴苛；理想的 TIM 不僅須具備高本質熱導率與低界面熱阻，亦須在大面積接觸條件下維持穩定服貼性、受控界面反應、低空洞生成風險，以及與晶片金屬化層、上蓋、冷板及整體散熱架構之良好相容性。尤其對金屬型 TIM 而言，材料本體熱導率雖然重要，但真正決定其能否應用於下一代 AI 運算封裝的關鍵，仍在於其於長期服役條件下之界面老化、熱阻穩定性與整體製程整合能力。為便於比較不同 TIM 在熱傳

應用中的特性、優點與限制，本文進一步整理各類熱界面材料之代表性熱導率範圍及其熱傳應用表現，如表 1 所示。

表 1. 各類熱界面材料於熱傳應用中的代表性熱導率範圍及其優缺點比較。

TIM 類型	代表熱導率範圍	TIM 應用主要優點	TIM 應用主要限制
導熱膏 (Thermal grease)	約 1–10 W/m·K ⁽³⁻⁵⁾	流動性佳，可有效填補表面粗糙度與微小空隙；界面服貼性好；塗佈容易、成本低	易發生泵出、乾裂、材料老化與填料偏析；長期界面熱阻穩定性較差
導熱墊片 (Thermal pad)	約 1–3 W/m·K ⁽⁴⁾	厚度可控、組裝方便、一致性佳；適合補償較大公差與間隙	厚度通常較大，厚度方向熱阻偏高；微尺度空隙填補能力不如流動型材料
高分子複合材料 (Polymer composite TIM)	約 1–10 W/m·K ⁽⁶⁾	配方設計彈性高；可兼顧導熱、絕緣與機械順應性	高填料含量易造成黏度上升、加工困難、分散不均；界面熱阻與長期穩定性仍受限
相變材料 (PCM)	約 0.1–10.5 W/m·K ⁽⁴⁾	室溫下具形狀穩定性，升溫後可改善服貼性與接觸熱阻；兼具組裝便利與界面自適應能力	本體熱導率有限；可能出現材料遷移、相分離或熱老化
低熔點鉍錫合金 TIM (Bi-Sn、In-Sn、In-Bi-Sn 等)	Bi-Sn 約 20–30 W/m·K；高錒系約 57–86 W/m·K	可在較低接合溫度下熔融並填補界面孔隙；可形成連續金屬熱傳通道；整體熱阻較低	會形成 IMC，可能伴隨脆化、擴散、阻障層消耗與熱循環可靠度問題
鎳基液態金屬 TIM (Ga-In、Ga-In-Sn)	約可達 23.9–38 W/m·K ^(13, 14)	服貼性極佳；可在極薄界面下形成低接觸熱阻；適合高熱流密度熱點散熱	易氧化；有滲漏、腐蝕與材料相容性問題；封裝防漏設計難度高
軟金屬箔材與預成形金屬片 (如錒預成片)	純錒約 86 W/m·K	高導熱、低硬度、高延展性；可藉施壓或接近熔點條件填補微尺度空隙；厚度較易控制，不易滲漏	對表面平整度與施壓條件敏感；錒擴散快，需注意金屬化層與阻障層設計
燒結銀 TIM (Sintered Ag TIM)	若孔隙率低，可達約 270 W/m·K ⁽¹⁹⁾	燒結後可形成接近純銀之金屬連續通道；高導熱、低熱阻潛力高；若界面設計得宜，可避免大量脆性 IMC 主導接合	製程條件較嚴苛；孔隙率、燒結完整性與界面接觸品質高度影響熱傳；可製造性與長期可靠度仍需驗證
燒結銅 TIM (Sintered Cu TIM)	具高導熱潛力，理論上接近高導熱金屬等級，但實際值高度受氧化與燒結品質影響	材料成本較銀低；具高導熱潛力；適合作為未來金屬型 TIM 路線	易氧化，製程控制比燒結銀更困難；界面整合與可靠度問題尚待突破

因此，後續研究應進一步聚焦於大面積 TIM1.5 界面之熱阻量測與模型建立、金屬型 TIM 與晶片金屬化層之界面反應控制、極薄 BLT 條件下之熱機械穩定性，以及新型高導熱填料 TIM 在實際封裝中的可製造性與可靠度驗證。唯有在上述面向取得系統性突破，熱界面材料方能真正支撐下一代高整合、高熱流密度 AI 運算平台之散熱需求。

參考文獻

1. R. Prasher, *Proceedings of the IEEE*, **94** (8), 1571 (2006).
2. “The Role of Thermal Interface Material in Modern Electronic Devices.” Honeywell, please refer to the website: <https://prod-edam.honeywell.com/content/dam/honeywell-edam/pmt/oneam/en-us/electronic-materials/thermal-interface-materials/documents/hon-ess-adm-the-role-of-tims-in-modern-electronics.pdf>
3. Yongjun Huo *et al.*, *Advanced Science*, **13** (17), e24348 (2026)
4. Ihsan Ur Rahman *et al.*, *Thermal Science and Engineering Progress*, **62**, (2025).
5. Zihao Lin *et al.*, *Materials Today*, **86**, 393 (2025).
6. Arden L. Moore, Li Shi, **17** (4), 163 (2014).
7. Zeng Deng *et al.*, *Applied Thermal Engineering*, **280**, Part 1, 128008 (2025).
8. Piyush Kulkarni, Ali Davoodabadi, Zechen Zhang and Scott Schiffres, “Indium Solder TIM Stability under Temperature Cycling,” 2025 24th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), Dallas, TX, USA, May 27-30 (2025).
9. Morgana Ribas, Anil Kumar, R. Pandher and Rahul Raut. “Comprehensive Report on Low Temperature Solder Alloys for Portable Electronics.” SMTA International Conference, **1** (1), Rosemont, Illinois, USA, Sept.-Oct. (2015).
10. Glazer, J., *International Materials Reviews*, **40** (2), 65 (1995).
11. Mulugeta Abtey, Guna Selvaduray, *Materials Science and Engineering: R: Reports*, **27** (5-6), 95 (2000).
12. Dragan Miroslav Manasijevic *et al.*, *Metallurgical and Materials Engineering*, **26** (3), 239 (2020).
13. Baihong Li *et al.*, *International Journal of Thermal Sciences*, **218**, 1290 (2025).
14. Yuriy Plevachuk *et al.*, *Journal of Chemical & Engineering Data*, **59** (3), 757 (2014).
15. Chun-Hao Chen, Chung-Lin Yang, Tung-Han Chuang, *Journal of Alloys and Compounds*, **936**, (2023).
16. Li-Chi Huang, Yan-Ping Zhang, Chih-Ming Chen, Liang-Yih Hung, *Journal of Materials Science: Materials in Electronics*, **33**, 13143 (2022).
17. Yiou Qiu *et al.*, *Materials Today Communications*, **42**, 2352 (2025).
18. Liu, Y.M., Chen, Y.L. & Chuang, T.H., *Journal of Electronic Materials*, **29** (8), 1047 (2000).
19. A. Sghuri *et al.*, *Acta Materialia*, **257**, 119109 (2023).

作者簡介

鄭淑慧現為國立陽明交通大學國際半導體產業學院碩士生。

Shu-Hui Tay is currently a M.S. student in the International College of Semiconductor Technology at National Yang Ming Chiao Tung University.

陳俊豪為國立臺灣大學材料科學與工程研究所博士，德國弗勞恩霍夫可靠度與微系統整合研究所博士後研究員，現為國立陽明交通大學國際半導體產業學院助理教授。

Chun-Hao Chen received his Ph.D. in the Department of Materials Science and Engineering from National Taiwan University. He was a Postdoctoral Researcher at the Fraunhofer Institute for Reliability and Microintegration (Fraunhofer IZM) in Germany and is currently an Assistant Professor at the International College of Semiconductor Technology at National Yang Ming Chiao Tung University.

超微型電磁強健光纖光學麥克風

Miniaturized Electromagnetic Robust Fiber-optic Microphone

劉承揚、力博宏、陳維鈞、黃薇瑄

Cheng-Yang Liu, Po-Hung Li, Wei-Chun Chen, Wei-Hsuan Huang

本研究提出一種高靈敏度微型化光纖式 Fabry-Perot 聲學麥克風，結合毛細管結構與水凝膠振膜，實現寬頻光學聲壓感測，感測頭尺寸僅約 $125\ \mu\text{m} \times 170\ \mu\text{m}$ ，具高度微型化優勢。實驗結果顯示，在 1550 nm 波長操作下，於 100 Hz 至 10 kHz 具穩定線性響應，當水凝膠濃度為 40% 與 80% 時，靈敏度分別達 122 mV/Pa 與 410 mV/Pa，此感測器具結構簡單、低成本及抗電磁干擾等優點，適用於人工電子耳、助聽器、醫療器材與消費性電子產品。

This study presents a high-sensitivity, miniaturized fiber-optic Fabry-Perot acoustic microphone that integrates a capillary-tube structure with a hydrogel diaphragm to achieve wideband optical acoustic pressure sensing. The sensing head has an overall size of approximately $125\ \mu\text{m} \times 170\ \mu\text{m}$, demonstrating a highly compact form factor. Experimental results show that, when operated at a wavelength of 1550 nm, the proposed microphone exhibits stable and linear frequency response over a range from 100 Hz to 10 kHz. For hydrogel concentrations of 40% and 80%, the achieved sensitivities reach 122 mV/Pa and 410 mV/Pa, respectively. Owing to its simple structure, low fabrication cost, and strong immunity to electromagnetic interference, the proposed sensor is well suited for applications in cochlear implants, hearing aids, medical devices, and consumer electronics.

一、前言

麥克風作為聲學感測與聲音轉換的核心元件，長期以來在多項關鍵技術與應用領域中扮演不可或缺的角色，包括生醫影像系統、語音互動與人機介面，以及助聽器與聽力輔具等醫療裝置⁽¹⁻³⁾。隨著智慧醫療、穿戴式裝置與消費性電子產品的快速發展，市場對於聲學感測元件在靈敏度、穩定性、微型化與抗干擾能力方面皆提出更高要求。然而，目前主流的電性麥克風技術，如動圈式、壓電式與電容式麥克風⁽⁴⁾，雖已具備成熟製程與廣泛應用基礎，仍不可避免地受到電磁干擾、電路雜訊與靈敏度提升瓶頸等限制，尤其在高電磁環境、微型化系統與長距離訊號傳輸場域中，其性能往往受到顯著影響。相較之下，光纖式麥克風以光訊號作為資訊載體，具備高靈敏度、低傳輸損耗、低背景雜訊以及對電磁干擾具高度免疫性等優點，因此逐漸成為新一代聲學感測技術的重要發展方向。近年來，研究人員已提出多種

基於光學共振與干涉原理的光纖聲學感測架構，包括 Michelson 干涉儀、Mach-Zehnder 干涉儀、光纖布拉格光柵、微結構干涉儀，以及 Fabry-Perot 干涉儀等⁽⁵⁻⁷⁾。其中，Fabry-Perot 型光纖麥克風因其結構簡單、體積小、易於與光纖系統整合，且具備高靈敏度等特性，受到廣泛關注。

特別是光纖端面式 Fabry-Perot 干涉儀，其通常由光纖端面與一反射振膜形成微型光學腔體，聲壓作用於振膜時會導致腔長變化，進而調變反射光訊號。此類元件的感測效能高度依賴於微腔結構與振膜材料的物理特性，過去數十年中，已有多種材料被用作 Fabry-Perot 光纖麥克風的振膜，包括矽、氮化矽、玻璃、鋁、銀、高分子材料、石墨烯、氧化石墨烯、幾丁聚醣、以及各式複合薄膜等⁽⁸⁻¹⁰⁾。這些振膜多為圓形結構，並固定於中空腔體端面形成封閉腔室，其內部空氣所造成的阻尼效應，往往導致振膜振幅衰減，進而限制聲學靈敏度。此外，傳統振膜在振動過程中所產生的徑向拉伸效應，以及製程中殘留的機械應力，亦會對感測器的靈敏度與頻率響應造成不利影響，特別是在低頻區域更為明顯。為克服上述限制，近年來具備可調式機械性質的水凝膠材料逐漸被視為新型振膜的潛力選項，水凝膠振膜不僅具有良好的柔順性與快速響應特性，亦具備可調控的彈性模數、優異的化學穩定性與低成本優勢，同時對電磁干擾具天然免疫能力。透過調整交聯密度與材料濃度，水凝膠振膜的厚度與機械特性可被精確控制，並可由天然或合成高分子網絡簡易製備。此外，其良好的生物相容性與刺激響應特性，使其在生醫感測與微流體系統中具有額外的應用潛力。

基於上述研究背景，本研究提出一種新型微型化 Fabry-Perot 光纖聲學麥克風，結合單模光纖、毛細管結構與水凝膠振膜，以實現高靈敏度且寬頻響應的光學聲壓感測。該感測器之製作流程僅包含熔接、切割、浸鍍與紫外光固化四個步驟，製程簡單且具高度重現性。藉由將毛細管熔接並切割於單模光纖端面，可形成穩定的 Fabry-Perot 微型腔體，再於毛細管另一端形成水凝膠振膜，最終使感測頭整體尺寸僅約為 125 μm ，與裸光纖直徑相當，展現極高的微型化優勢。本研究進一步透過調整水凝膠濃度，系統性探討振膜機械特性對聲學靈敏度、頻率響應與最小可偵測聲壓的影響。實驗結果顯示，所提出之光纖聲學麥克風可於 100 Hz 至 10 kHz 頻段內提供穩定且高線性的感測表現，並可在非共振條件下維持平坦的低頻響應。綜合而言，本研究所提出之水凝膠 Fabry-Perot 光纖麥克風，不僅在尺寸、靈敏度與抗電磁干擾能力方面具備顯著優勢，也為其在結構健康監測、生醫聲學感測與微尺度聲學量測等應用領域，提供一項具高度實用價值的儀器技術方案。

二、感測原理和數值模擬

本研究所提出之光纖式 Fabry-Perot 聲學麥克風，係以毛細管結構與水凝膠振膜所形成之微型干涉腔體作為核心感測單元，其感測原理奠基於光學干涉與振膜機械變形之耦合效應。如圖 1(a) 所示，單模光纖端面與水凝膠振膜之間形成一空氣間隙，構成 Fabry-Perot 干涉微腔，當外界聲波作用於水凝膠振膜時，聲壓將引發振膜產生週期性位移，使腔長隨時間產生微小變化，進而調變反射光強，完成聲學訊號至光學訊號的轉換。由於單模光纖端面反射率相對較低，該 Fabry-Perot 微腔可近似視為雙光束干涉系統，其反射光強可透過干涉強度解調方式進行分析。在穩定雷射波長操作下，反射光強與腔長變化之關係呈現明確的週期性行為。當雷射波長調整並鎖定於干涉條紋的正交點 (quadrature point) 時，系統可同時獲得最大靈敏度與最佳動態範圍，且操作於線性區域，有利於後續訊號解調與量測穩定性。圖

1(b) 定義了該微型光纖麥克風的幾何參數，其中毛細管長度為 l ，水凝膠振膜厚度為 h ，毛細管與振膜半徑分別為 r_s 與 r_h 。在此結構下，反射光強 I_r 可表示為干涉函數，其主要取決於入射光強、干涉可見度以及微腔長度變化。當聲波入射至振膜時，振膜中心將隨聲壓以角頻率 ω 產生位移，導致腔長出現振幅為 Δl 的正弦調變。由此可知，反射光強的變化幅度與振膜位移呈線性關係，使得聲壓訊號可透過光強變化進行直接解調，最終，經由光電二極體將調變後的光訊號轉換為交流電訊號，即可完成聲學量測。

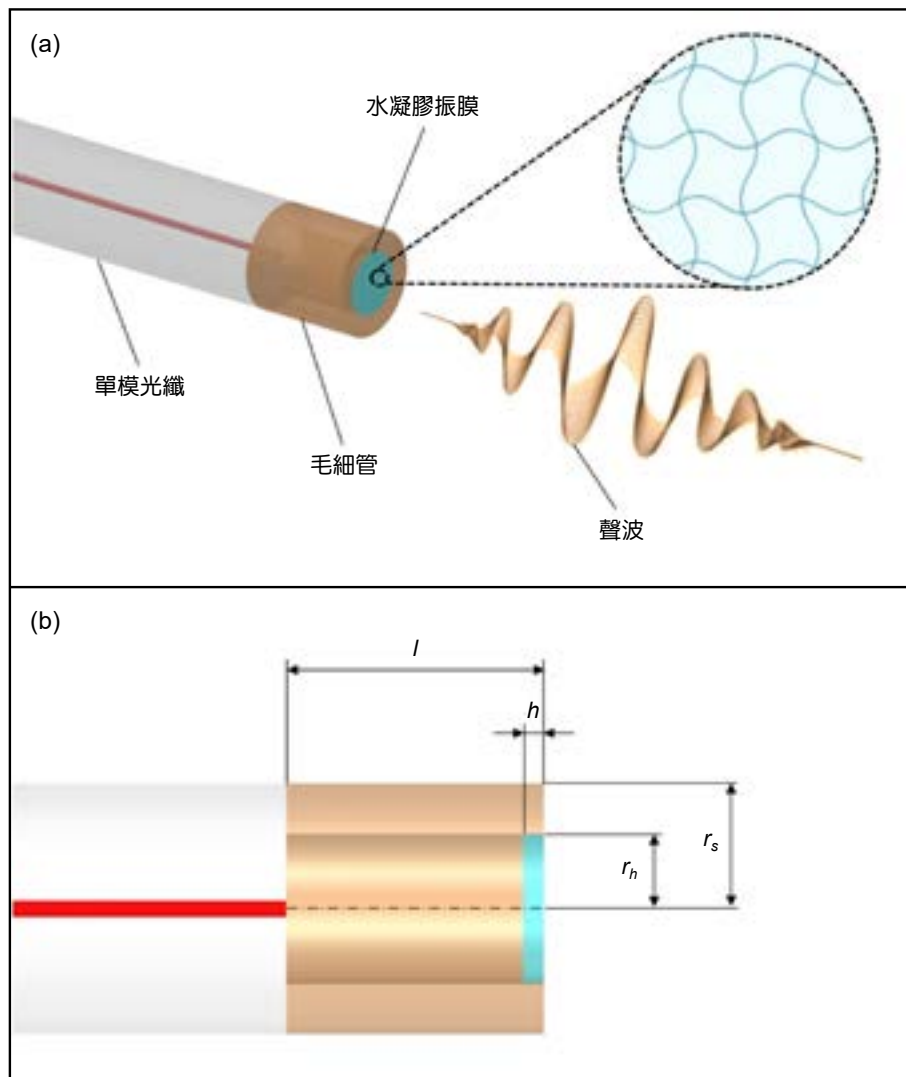


圖 1. (a) 基於 Fabry-Perot 干涉微腔與水凝膠振膜之微型化光纖式麥克風示意圖；(b) 微型光纖式麥克風之幾何結構定義圖。

為深入了解所提出光纖式 Fabry-Perot 麥克風的動態響應特性，本研究進一步利用有限元素法進行數值模擬，分析不同水凝膠濃度下振膜的共振行為與位移響應。水凝膠材料選用聚乙二醇二丙烯酸酯 (PEGDA)，其機械性質可透過改變濃度進行調控，相關材料參數則透過拉伸試驗進行量測與驗證。模擬中，40% 與 80%

PEGDA 水凝膠之密度分別設定為 1210 kg/m^3 與 1340 kg/m^3 ，楊氏模數分別為 5.8 MPa 與 11.5 MPa ，而泊松比分別為 0.149 與 0.318 。上述參數顯示，隨著水凝膠濃度增加，其材料剛性明顯提升，進而影響振膜的動態特性，在固定振膜直徑與厚度條件下，振膜的共振頻率與聲壓靈敏度皆與水凝膠濃度呈高度相關。模擬結果如圖 2(a) 所示，在相同入射平面聲波壓力 (100 Pa) 下，振膜的共振頻率會隨水凝膠濃度增加而顯著提升，第一階共振頻率由 40% 水凝膠的 $31,276 \text{ Hz}$ 增加至 80% 水凝膠的 $46,102 \text{ Hz}$ ，顯示材料剛性對高頻響應具有關鍵影響。此外，模擬亦顯示，在相同聲壓條件下，80% 水凝膠振膜的最大位移可達 28.8 nm ，高於 40% 水凝膠的 22.5 nm ，反映其在特定頻率區間內具備更高的感測靈敏度潛力。圖 2(b) 則呈現振膜中心位移與聲壓之關係，結果顯示在 400 Hz 操作頻率下，振膜位移於 10 Pa 至 200 Pa 範圍內呈現良好的線性響應，證實該感測結構適合用於實際聲壓量測應用，此一線性特性對於光學干涉解調尤為重要，可確保反射光強變化與輸入聲壓之間具備穩定對應關係，降低非線性誤差。

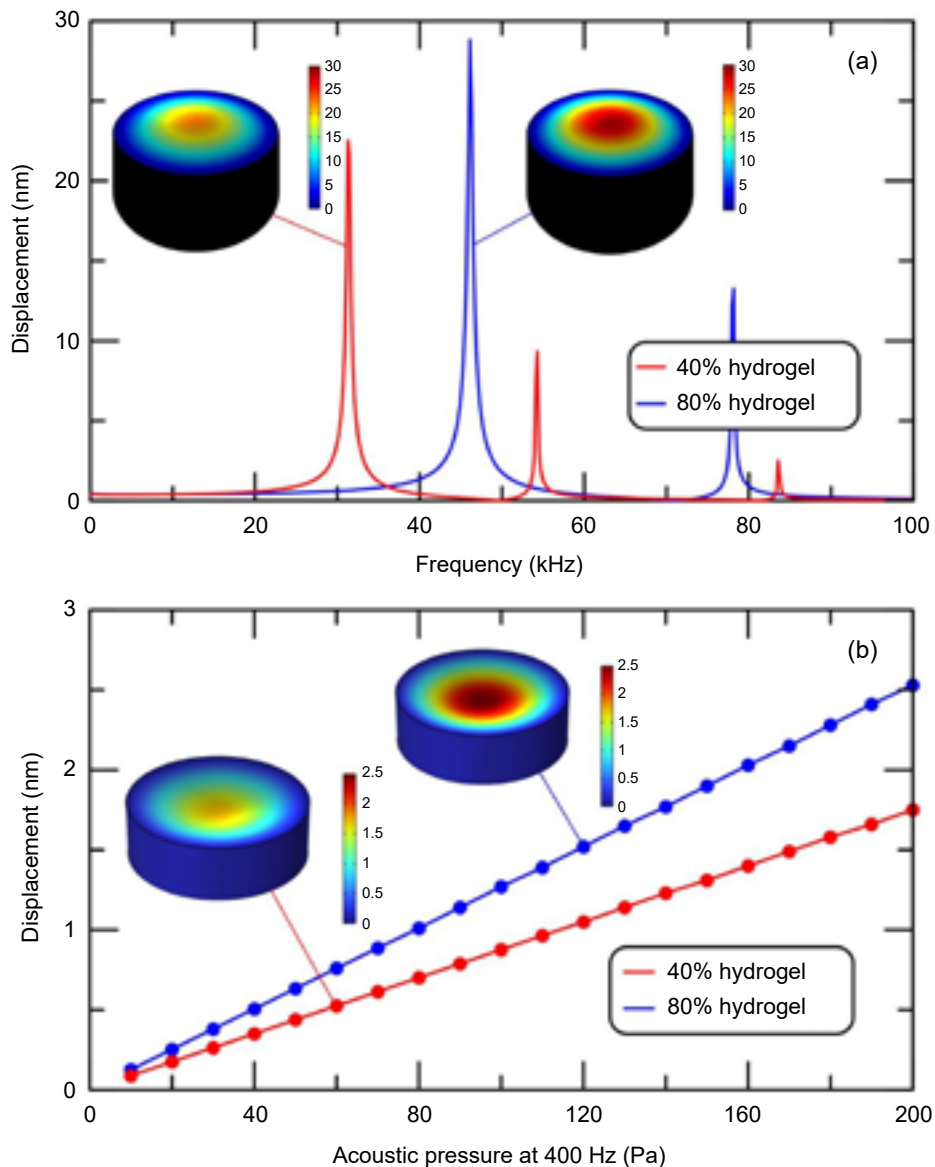


圖 2. (a) 40% 與 80% 濃度水凝膠振膜之共振頻率模擬結果；(b) 不同濃度水凝膠振膜之聲壓響應模擬結果。

隨著 PEGDA 濃度由 40% 提升至 80%，水凝膠振膜之楊氏模數與機械剛性明顯增加，使其共振頻率向高頻區域位移，此一剛性提升不僅影響振膜的動態響應行為，也改變其在不同頻段下對聲壓的轉換效率，進而主導光學干涉腔之腔長調變幅度與整體感測靈敏度。綜合上述感測原理與數值模擬結果可知，透過調整水凝膠濃度，可在振膜共振頻率、靈敏度與頻率響應之間取得彈性調控，使該光纖式 Fabry-Perot 麥克風能同時兼顧寬頻量測與高靈敏度需求，此一設計策略不僅提升元件的工程彈性，也為未來針對不同應用場景，如低頻聲學監測或高靈敏生醫感測，進行客製化設計，提供重要的物理依據與實用指引。

三、製程與實驗

本研究提出之 Fabry-Perot 光纖式聲學麥克風，其感測頭主要由三個元件組成，分別為單模光纖、毛細管結構以及水凝膠振膜，整體設計目標在於兼顧高度微型化、結構穩定性與高靈敏度聲學感測能力，同時降低製作成本與製程複雜度，使其具備實際應用與量產潛力。如圖 3(a) 所示，感測器製程首先選用內徑 $75\ \mu\text{m}$ 、外徑 $125\ \mu\text{m}$ 的石英毛細管，利用光纖熔接機將其熔接至已切割平整之單模光纖端面，此步驟為形成 Fabry-Perot 干涉腔體的關鍵，其熔接品質將直接影響微腔光學穩定性與反射干涉條紋品質。完成熔接後，研究人員於顯微鏡輔助觀察下，使用光纖切割器精準切除毛細管另一端，將其長度控制為 $l = 170\ \mu\text{m}$ 。透過此方式，可確保 Fabry-Perot 微腔腔長一致性，並有效提升不同樣品之間的製程重現性。接續步驟為水凝膠振膜之製作，切割完成之光纖端頭固定於線性馬達控制平台，並緩慢浸入預先配置完成的 PEGDA 水凝膠溶液中，使毛細管端面形成一層均勻薄膜。為降低水凝膠之楊氏模數、提升振膜柔順性與聲學靈敏度，本研究於水凝膠溶液中添加微量氧化石墨烯作為功能性添加物，氧化石墨烯溶液係將氧化石墨烯粉末分散於去離子水中，濃度控制為 $1\ \text{mg/mL}$ 。在材料配置方面，40% PEGDA 水凝膠溶液係由 4 g PEGDA 與 0.1 g 光起始劑溶解於 4 mL 去離子水與 2 mL 氧化石墨烯溶液中，而 80% PEGDA 溶液則以 8 g PEGDA 與 0.1 g 光起始劑溶解於 2 mL 氧化石墨烯溶液中，所有水凝膠溶液均於避光環境中充分混合，以避免光起始劑提前反應。完成浸鍍後，樣品隨即進行紫外光照射 5 分鐘，透過自由基聚合反應使水凝膠薄膜快速固化，最終形成穩定之水凝膠振膜。此一製程僅包含熔接、切割、浸鍍與紫外光固化四個步驟，製作流程簡單，對儀器與環境要求相對低，具備高度工程可行性。

圖 3(b) 為完成製作後之 Fabry-Perot 光纖麥克風感測頭顯微影像，可清楚觀察到水凝膠振膜均勻覆蓋於毛細管端面。經量測，其振膜厚度約為 $h = 24\ \mu\text{m}$ ，顯示浸鍍與固化製程具備良好厚度控制能力。進一步透過掃描式電子顯微鏡觀察振膜表面形貌，如圖 3(c) 所示，水凝膠振膜表面呈現高度平整且均勻的微觀結構。此一特性對於 Fabry-Perot 干涉腔而言至關重要，可有效提升干涉條紋對比度，確保反射光訊號穩定且具高訊噪比。透過線性馬達控制浸鍍深度與速度，本研究製作之水凝膠振膜厚度穩定控制於約 $24\ \mu\text{m}$ ，不同樣品間厚度與反射光譜自由光譜範圍皆具良好重現性。水凝膠的光學特性則與 PEGDA 濃度密切相關，根據估算，40% 與 80% PEGDA 水凝膠之折射率分別約為 1.39 與 1.43。隨著 PEGDA 濃度增加，水凝膠振膜的透明度顯著提升，有助於光訊號於微腔內有效傳輸並降低散射損耗，進一步提升感測精度。圖 3(d) 顯示不同濃度水凝膠振膜於室溫下之應力應變曲線，在線性彈性區間內，應變與應力呈良好線性關係，符合虎克定律，可觀察到當 PEGDA 濃度由 40% 提升至 80% 時，其線性區間斜率明顯增加，代表水凝膠楊氏模數隨濃度提升而增大，此結果顯示該水凝膠振膜具備可調式機械特性，相較於傳統矽或塑膠振膜，更具設計彈性。為評估

Fabry-Perot 微腔之光學品質，本研究利用寬頻光源、光纖循環器與解析度 0.5 nm 之光譜分析儀進行反射光譜量測，圖 3(e) 顯示 80% PEGDA 水凝膠振膜所對應之反射光譜，其自由光譜範圍 (free spectral range, FSR) 約為 2 nm，與微腔幾何尺寸相符。隨著水凝膠濃度降低，反射光譜之 FSR 與干涉條紋對比度亦隨之下降，顯示材料光學性質對干涉效應具有明顯影響。

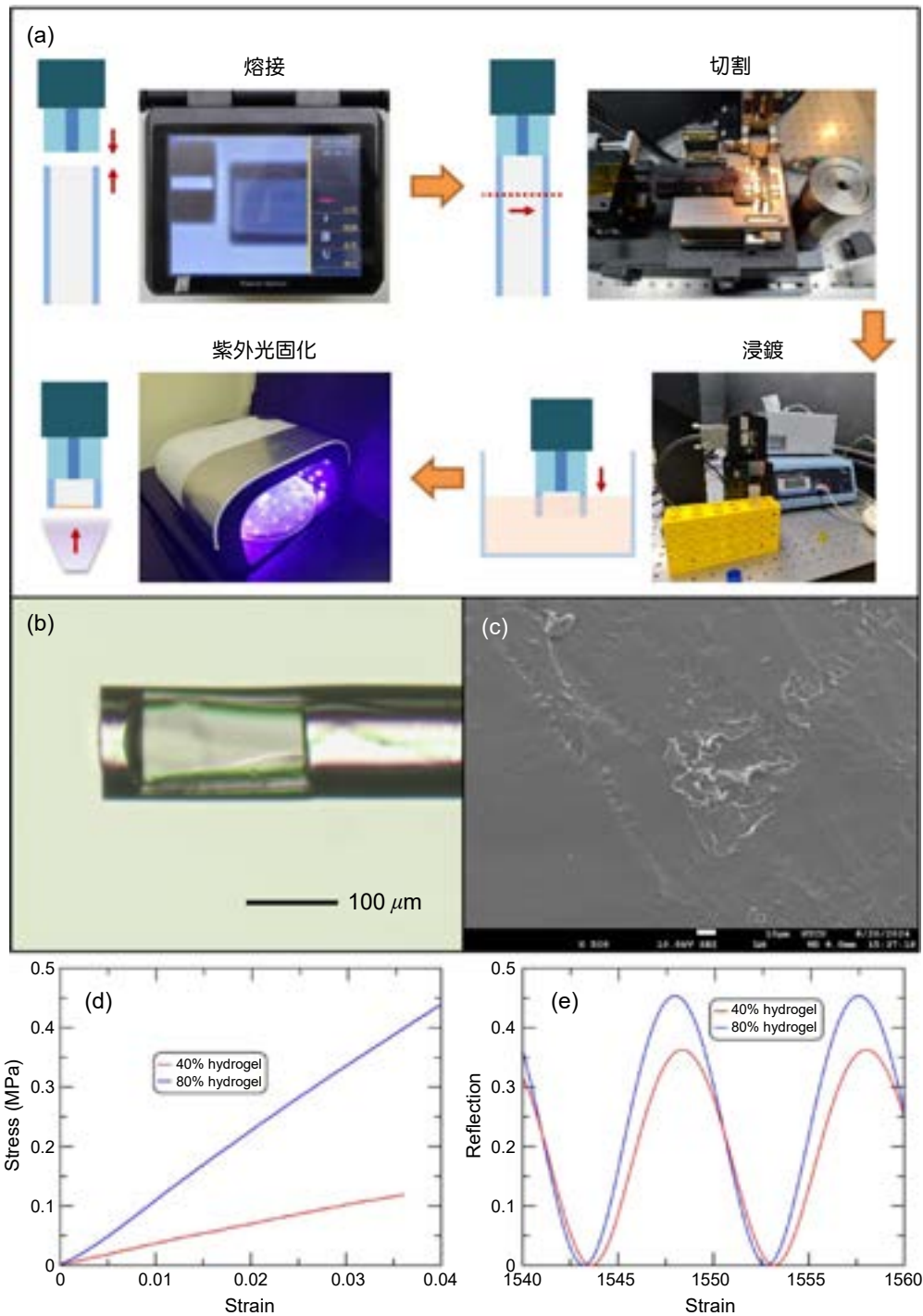


圖 3. (a) 具 Fabry-Perot 干涉微腔與水凝膠振膜之微型化光纖式麥克風製作流程示意圖；(b) 製作完成之光纖式麥克風感測頭顯微影像；(c) 水凝膠振膜之前視掃描式電子顯微鏡影像；(d) 水凝膠振膜之應力應變曲線；(e) 光纖式 Fabry-Perot 微腔之反射光譜。

圖 4 為聲壓量測實驗系統，整體系統包含分佈回饋雷射、光纖循環器、揚聲器、光電偵測器與示波器。雷射光源中心波長為 1550 nm，可進行約 0.6 nm 範圍之精細調諧，以確保系統操作於干涉正交點。聲學訊號由電腦控制揚聲器產生，經空氣傳遞後作用於光纖麥克風振膜，反射光訊號再經光電偵測器轉換為電訊號，並由示波器記錄其振幅變化。實驗中，感測頭以水平方式固定，並精準對準揚聲器中心，兩者距離維持 10 mm。揚聲器另安裝於旋轉平台，以調整聲波入射角度。整套系統置於暗室中，以避免環境雜散光對量測結果造成影響。所有量測實驗均於室溫一般實驗室環境下進行，未特別控制濕度條件；由於光纖感測架構具抗電磁干擾特性，環境電磁雜訊對量測結果影響可忽略。在 200 mPa 聲壓條件下，量測光纖麥克風之時間域響應，如圖 5 所示。對於 40% 與 80% 凝膠振膜，在 100 Hz 至 5000 Hz 不同頻率下，皆展現低總諧波失真，其中 40% 振膜之 THD 介於 0.119%–0.189%，80% 振膜則介於 0.066%–0.485%，顯示其具備良好線性與高保真度聲學感測能力。頻率域分析結果如圖 6 所示，透過快速傅立葉轉換可獲得明顯主頻峰值。40% 水凝膠振膜於 100 Hz、400

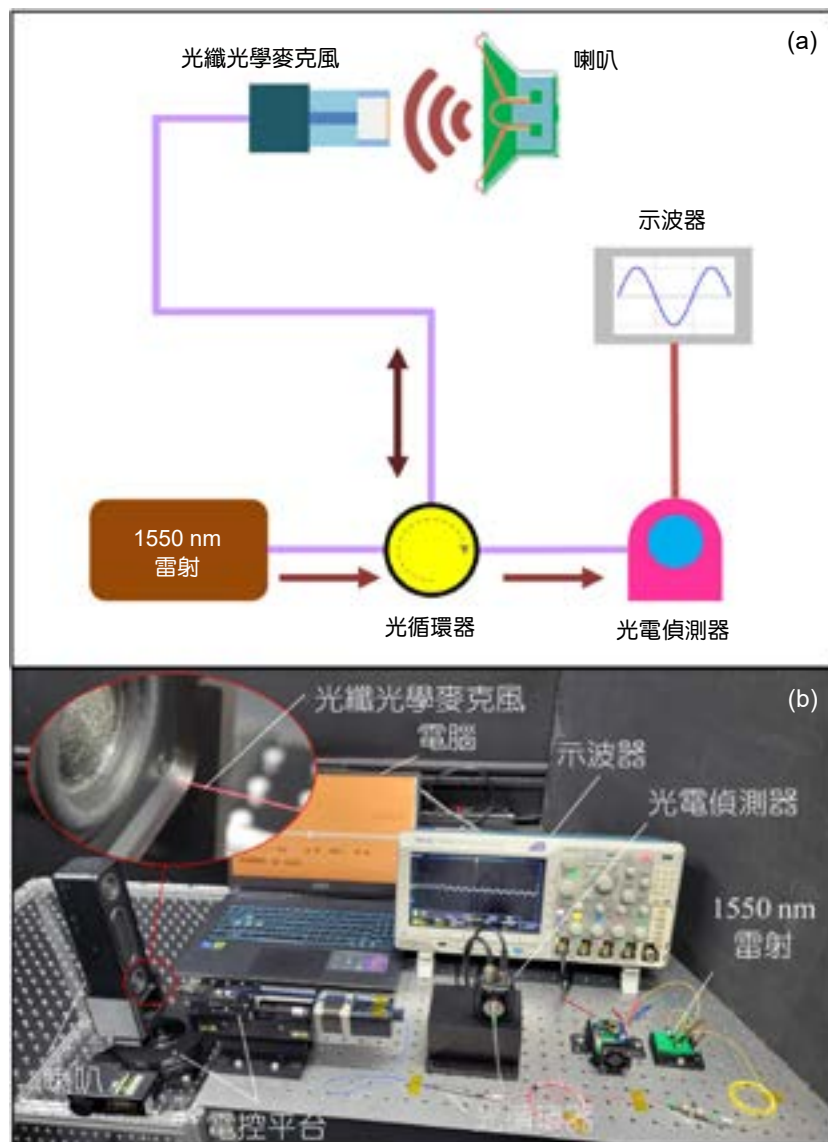


圖 4. (a) 聲壓量測實驗系統架構示意圖；(b) 聲壓量測實驗系統實際配置照片。

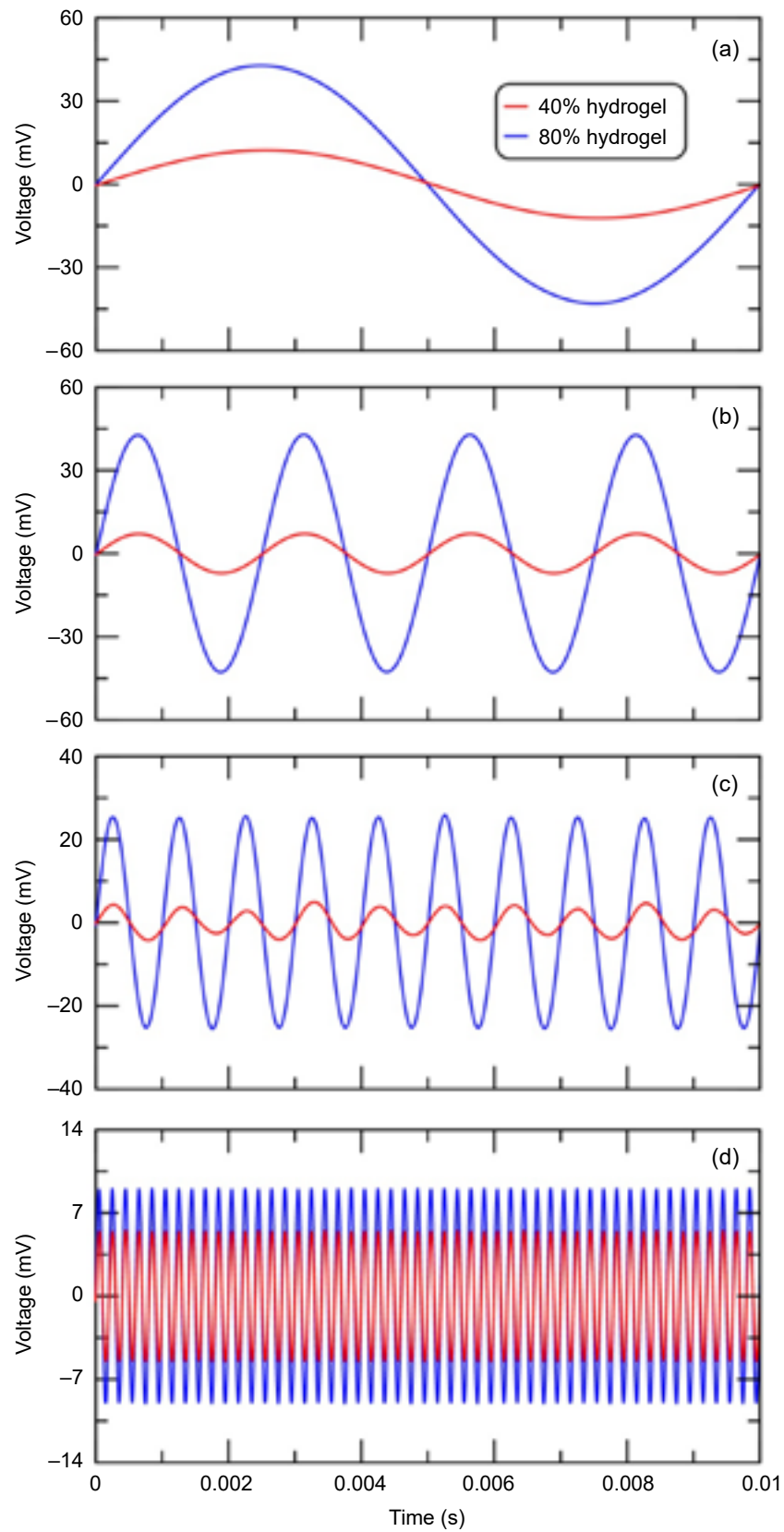


圖 5. 具 40% 與 80% 水凝膠振膜之光纖式麥克風在不同聲學頻率下的時間域響應：(a) 100 Hz、(b) 400 Hz、(c) 1000 Hz 及 (d) 5000 Hz。

Hz、1000 Hz 與 5000 Hz 時之訊噪比分別為 57 dB、56 dB、30 dB 與 54 dB，80% 水凝膠振膜則分別為 49 dB、60 dB、50 dB 與 55 dB。最小可偵測聲壓則依據噪聲底與 SNR 計算，在 400 Hz 時，40% 與 80% 水凝膠振膜分別為 $66.69 \mu\text{Pa}/\text{Hz}^{1/2}$ 與 $44.37 \mu\text{Pa}/\text{Hz}^{1/2}$ ，顯示高濃度水凝膠於高頻段具更優異感測性能。

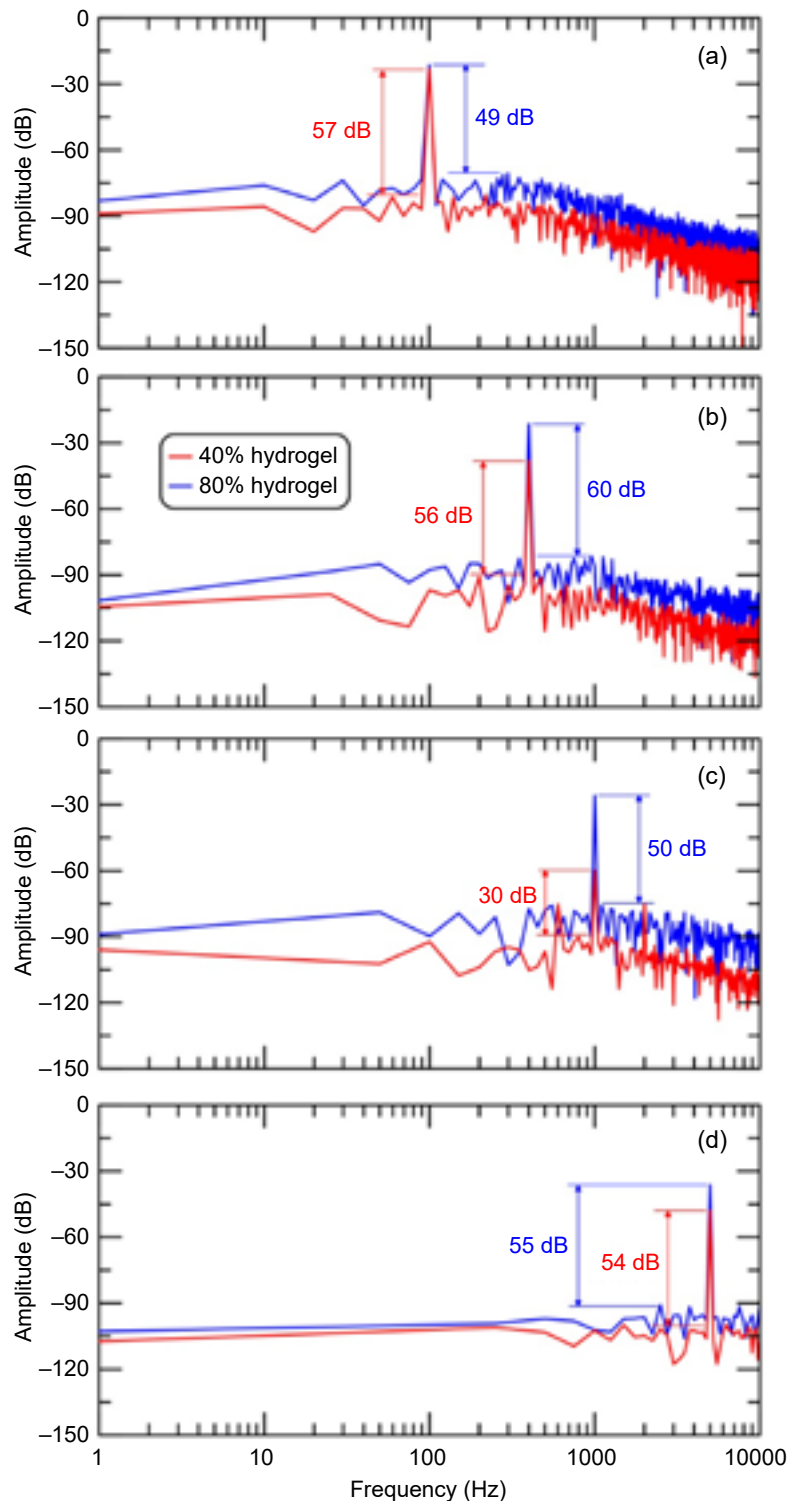


圖 6. 具 40% 與 80% 水凝膠振膜之光纖式麥克風在不同聲學頻率下的頻率域響應：(a) 100 Hz、(b) 400 Hz、(c) 1000 Hz 及 (d) 5000 Hz。

為全面評估所提出 Fabry-Perot 光纖式聲學麥克風之實際量測性能，本研究針對頻率響應、靈敏度、線性度、方向性、長時間穩定性以及與既有技術之性能比較等面向，進行一系列系統性實驗與分析。所有量測結果均針對兩種不同濃度之水凝膠振膜 (40% 與 80%) 進行比較，以探討材料機械特性對聲學感測行為之影響。圖 7(a) 顯示所提出光纖式麥克風在 100 Hz 至 10 kHz 頻率範圍內的頻率響應結果，對於 80% 水凝膠振膜，其頻率響應曲線可明顯區分為三個區段：首先，在 100 Hz 至 400 Hz 區間呈現相對平坦的平台區，顯示該振膜於低頻範圍內可提供穩定且一致的聲壓響應；其次，在 400 Hz 至約 4500 Hz 區間，響應曲線呈現較為陡峭的上升斜率；最後，於 4500 Hz 至 10 kHz 高頻區域，響應快速上升，顯示振膜逐漸接近其共振頻率。相較之下，40% 水凝膠振膜的頻率響應行為則呈現不同趨勢，其響應幅度自低頻起逐漸下降，並於約 2500 Hz 附近達到最低點後，再隨頻率提升而緩慢上升。此「先下降後上升」的頻率響應特性，主要可歸因於水凝膠振膜的機械性質與共振行為。在低頻區域，振膜因具較高柔順性，可有效隨聲壓振動，形成相對平坦的頻率響應；隨著頻率增加，振膜的機械阻抗提升，使其振動幅度逐漸受限，導致感測響應下降；當頻率進一步接近振膜的固有共振頻率時，振膜振幅再次放大，造成響應回升。值得注意的是，該共振效應在 80% 水凝膠振膜中表現更為明顯，主要原因在於其較高的楊氏模數與材料剛性，使其共振頻率高於 40% 水凝膠振膜，此結果顯示，透過調整水凝膠濃度，可有效調控感測器於不同頻率區間內的響應行為，為實際應用提供高度設計彈性。由於 80% 水凝膠振膜具較高剛性，其第一階共振頻率高於 40% 樣品，使其在中高頻區段 (400 Hz 以上) 更接近共振操作條件，因而產生較大的有效位移與光學干涉訊號變化，呈現較高聲壓靈敏度，相對地，40% 水凝膠振膜因柔順性較佳，則有利於在較寬頻段內維持平坦頻率響應。

在頻率為 400 Hz 的條件下，進一步量測光纖式麥克風輸出振幅隨聲壓變化之關係，如圖 7(b) 所示。實驗結果顯示，無論為 40% 或 80% 水凝膠振膜，其輸出振幅皆隨聲壓呈現良好線性增加趨勢，顯示該感測系統具備穩定且可預測的聲壓轉換能力。在頻率為 400 Hz 的條件下，進一步量測光纖式麥克風輸出振幅隨聲壓變化之關係，如圖 7(b) 所示。實驗結果顯示，無論為 40% 或 80% 水凝膠振膜，其輸出振幅皆隨聲壓呈現良好線性增加趨勢，顯示該感測系統具備穩定且可預測的聲壓轉換能力。由線性擬合結果可得，40% 與 80% 水凝膠振膜之線性度分別為 0.9645 與 0.9922，顯示其線性響應表現優異。其中，80% 水凝膠振膜展現更高線性度與更大斜率，對應之最高聲壓靈敏度分別達 122 mV/Pa 與 410 mV/Pa，顯示高濃度水凝膠振膜在此頻率下具備更優異的聲壓感測能力。此高靈敏度表現主要歸功於 Fabry-Perot 干涉式微腔結構，其可即時量測振膜最大位移，並將微小腔長變化轉換為可觀測的光強變化，進而提升整體感測解析度。此外，高濃度水凝膠振膜因具較高剛性，可在相同聲壓下產生更顯著的干涉訊號變化，使其整體靈敏度優於低濃度樣品。

為評估所提出光纖式麥克風對入射聲波方向之響應特性，本研究於消音室中進行方向性量測實驗，揚聲器固定於可程式控制的水平旋轉平台上，並使水凝膠振膜法向與揚聲器中心位於同一平面。當振膜正對揚聲器時，入射角定義為 $\theta = 0^\circ$ ，如圖 8(a) 內嵌示意圖所示。在固定聲壓 200 mPa、頻率 400 Hz 的條件下，每次旋轉角度設定為 15° ，量測不同入射角下之輸出振幅。所有量測結果均以 $\theta = 0^\circ$ 時的最大響應進行正規化。實驗結果顯示，兩種水凝膠振膜皆呈現明顯方向性特徵，於 $\theta = 0^\circ$ 時響應最大，而於 $\theta = \pm 180^\circ$ 時降至最低，符合單一振膜式聲學感測元件之典型指向性行為。此外，可觀察到 80% 水凝膠振膜於各入射角度下的響應幅度均高於 40% 水凝膠振膜，進一步驗證其較高靈敏度優勢，此結果顯示，該感測器除具備高靈敏度外，亦可用於具方向性需求之聲學量測應用。

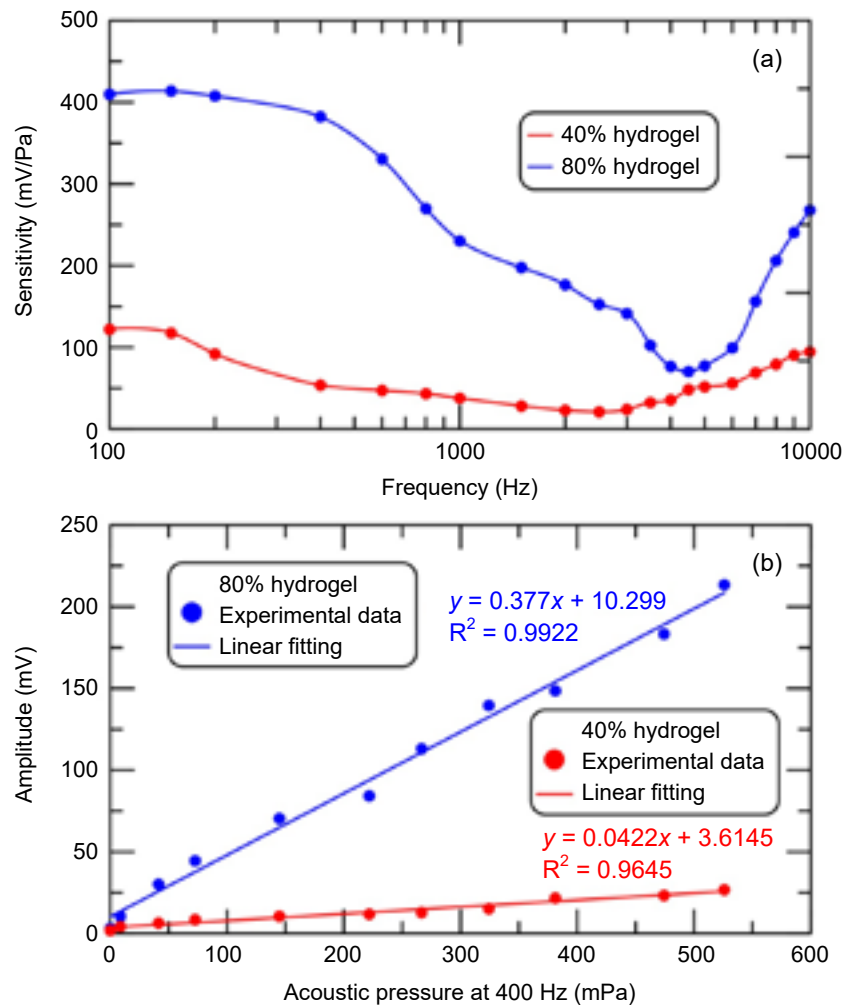


圖 7. (a) 具 40% 與 80% 水凝膠振膜之光纖式麥克風頻率響應特性；
(b) 於 400 Hz 下輸出響應振幅隨施加聲壓之變化關係。

為驗證感測器於長時間操作下之穩定性，本研究在固定 400 Hz 聲波激發條件下，連續量測 8 小時內的時間域響應。結果顯示，不同時間點量測所得之波形與頻譜幾乎無顯著差異，與圖 5(b) 所示結果一致。圖 8(b) 進一步呈現訊噪比隨時間變化之結果，其中 40% 與 80% 水凝膠振膜之 SNR 分別穩定維持於約 56 dB 與 60 dB，僅出現極小幅度波動，顯示該光纖式麥克風具備良好長期穩定性，適合實際連續監測應用。此外，圖 8(c) 顯示感測器在不同距離下之距離響應特性。當感測頭與揚聲器表面接觸時，定義距離為 0 mm，此時可獲得最大正規化響應，隨距離增加，感測訊號逐漸衰減，透過此結果可選擇最佳操作距離，以確保聲學量測具有最佳訊號強度與穩定度。

表 1 彙整並比較既有光纖式麥克風與本研究所提出裝置之性能指標，既有技術之靈敏度與頻率範圍取自文獻⁽⁸⁻¹⁰⁾，其測試條件多集中於共振頻率附近，且感測頭尺寸多為毫米等級，結果顯示，80% 水凝膠振膜所達到之 410 mV/Pa 靈敏度，較石墨烯振膜麥克風 (約 300 mV/Pa) 提升超過 36%，且顯著優於金屬振膜結構 (約 100 mV/Pa)。此外，本研究所實現之 100 Hz 至 10 kHz 頻率範圍，約為部分既有 Fabry-Perot 光纖麥克風的兩倍。在尺寸方面，本

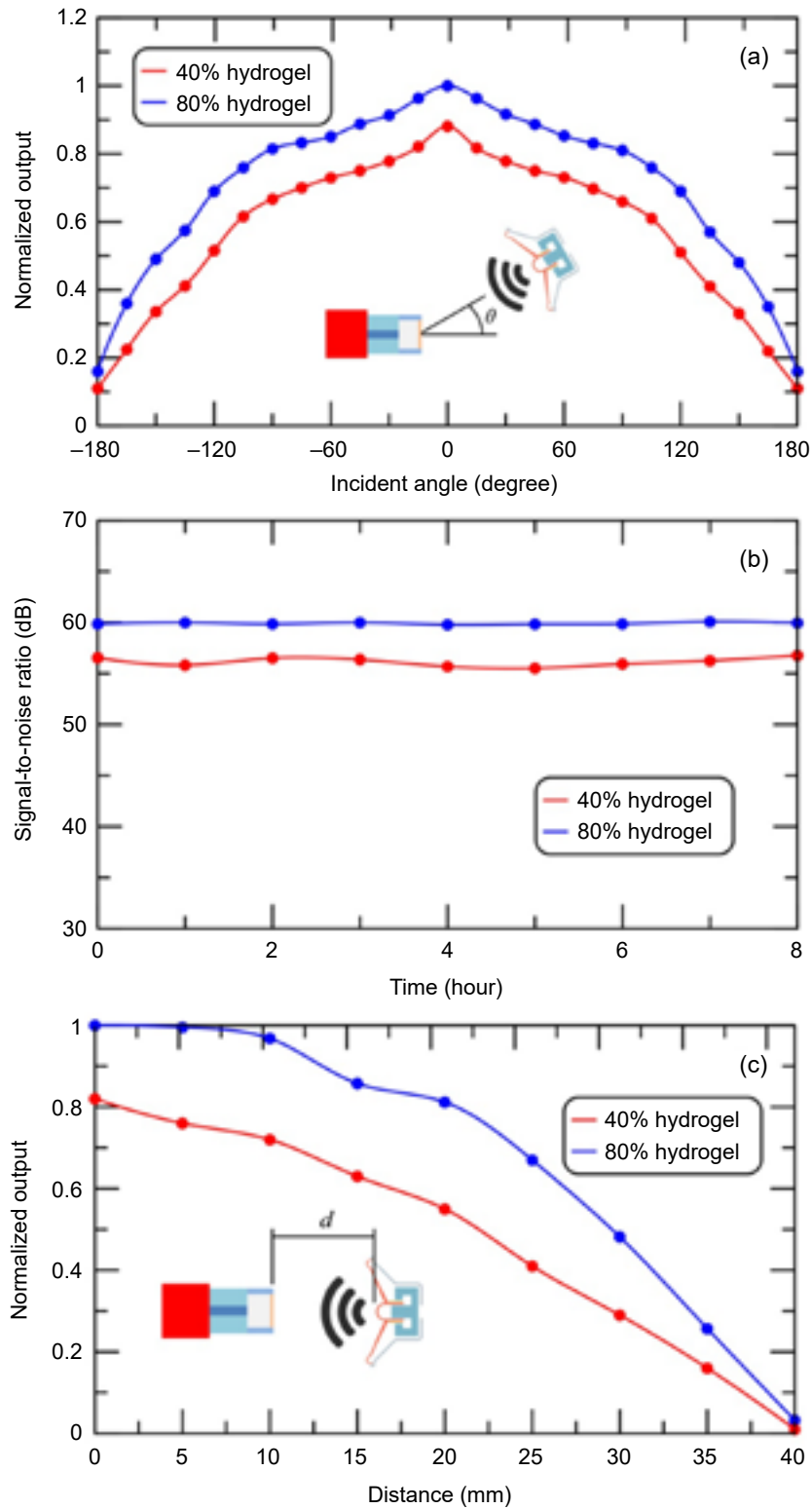


圖 8. (a) 於 400 Hz 下具 40% 與 80% 水凝膠振膜之光纖式麥克風方向性響應；(b) 光纖式麥克風之訊噪比；(c) 光纖式麥克風之距離響應。其中，方向性響應曲線以 $\theta = 0^\circ$ 時之最大強度進行正規化，距離響應曲線之原點設於揚聲器表面，並以原點位置之最大強度作為正規化基準。

表 1. 現有技術與本研究所提出之光纖光學麥克風性能比較表。

特性	本研究提出之光纖麥克風	現有技術 ⁽⁸⁻¹⁰⁾
靈敏度	40% 和 80% 水凝膠振膜分別為 122 mV/Pa 和 410 mV/Pa	金屬和石墨烯振膜分別為 ~100 mV/Pa 和 ~300 mV/Pa
頻率範圍	100 Hz 到 10 kHz	100 Hz 到 5 kHz 或更窄範圍
尺寸	直徑 125 μm 、長度 170 μm	大，通常是毫米等級
製造成本	低	高
功耗	可忽略	光學裝置可忽略、電子裝置則功耗高
製程	簡單	複雜

研究所提出之感測頭尺寸僅為 125 μm $\times$ 170 μm ，遠小於多數毫米等級的金屬或複合材料麥克風，配合低成本水凝膠材料與簡化製程，使其在實際製造成本與系統整合上更具優勢。再者，由於其為被動式光學感測架構，幾乎不需額外電力消耗，在能源效率與抗電磁干擾能力方面亦明顯優於傳統電性麥克風。

四、結論

本研究成功提出並驗證一種結合水凝膠振膜之微型化 Fabry-Perot 光纖式聲學麥克風，透過理論分析與實驗量測，完整展示其於高靈敏度、寬頻聲壓感測上的可行性與實用潛力。該感測器以單模光纖與毛細管所構成之 Fabry-Perot 干涉微腔為核心架構，搭配具可調式機械特性的水凝膠振膜，使微小聲壓引起的振膜位移能有效轉換為穩定且高解析度的光學訊號。在製程方面，本研究提出之光纖式麥克風僅需熔接、切割、浸鍍與紫外光固化四個步驟即可完成，製作流程簡單且具高度重現性，有效降低製程複雜度與設備門檻。最終成品之感測頭尺寸僅約 125 μm 直徑與 170 μm 長度，與裸光纖尺寸相當，展現極佳的微型化優勢，特別適合應用於空間受限或高度整合之感測系統中。實驗結果顯示，當水凝膠振膜濃度為 80% 時，該光纖式麥克風在 100 Hz 至 10 kHz 頻率範圍內皆可維持穩定聲壓感測表現，其聲壓靈敏度超過 70 mV/Pa，且在 400 Hz 下之最小可偵測聲壓可達 44.37 $\mu\text{Pa}/\text{Hz}^{1/2}$ ，顯示其具備優異的弱聲訊號解析能力。此外，該感測器於方向性量測與長時間操作測試中，亦展現良好穩定性與一致性，證實其適合長時間連續聲學監測應用。整體而言，本研究提出之水凝膠 Fabry-Perot 光纖式聲學麥克風，兼具高靈敏度、體積小、製程簡單、低功耗與抗電磁干擾等優點，為傳統電性麥克風於特殊應用場域所面臨的限制提供一項具體可行的替代方案。由於感測頭尺寸與單模光纖相容，所提出之光纖式麥克風可直接整合於既有光纖模組、醫療導管或微型聲學系統中，具高度系統整合可行性。此一技術不僅可應用於精密聲學量測與結構健康監測，亦具有進一步拓展至醫療器材、助聽輔具、人工電子耳及消費性電子產品等領域之發展潛力，對於未來高整合度與高性能聲學感測系統的發展具有重要參考價值。在醫療應用方面，該微型光纖式麥克風可應用於人工電子耳或助聽器中作為高靈敏聲學感測元件，其超小尺寸有助於植入或貼附式設計，且光學被動架構可降低功耗與電磁干擾風險。需要注意的是，水凝膠材料之機械性質可能隨長時間環境濕度或溫度變化而產生微幅漂移，未來可透過表面封裝層設計、材料交聯改質或系統層級補償機制進一步提升長期穩定性。此外，針對實際應用場域之環境適應性與封裝可靠度，仍有進一步研究與工程優化空間。

參考文獻

1. G. Hong, *Science*, **369**, 638 (2020).
2. K. Ma, H. Chen, Z. Wu, X. Hao, G. Yan, W. Li, L. Shao, G. Meng, and W. Zhang, *Science Advances*, **8**, eadc9230 (2022).
3. C. Lenk, P. Hovel, K. Ved, S. Durstewitz, T. Meurer, T. Fritsch, A. Männchen, J. Kuller, D. Beer, T. Ivanov, and M. Ziegler, *Nature Electronics*, **6**, 370-380 (2023).
4. Z. Lin, S. Duan, M. Liu, C. Dang, S. Qian, L. Zhang, H. Wang, W. Yan, and M. Zhu, *Advanced Materials*, **36**, 2306880 (2024).
5. Y. Zhao, F. Xia, M. Chen, and R. Lv, *Sensors and Actuators A: Physical*, **273**, 107-112 (2018).
6. H. Yin, Z. Shao, R. Wang, and X. Qiao, *Optics Letters*, **48**, 5911-5914 (2023).
7. H. Wei, Z. Wu, Y. Wei, C. Wang, H. Zhang, F. Pang, C. Marques, C. Caucheteur, and X. Hu, *Optics & Laser Technology*, **168**, 109977 (2024).
8. Y. Chen, H. Wan, Y. Lu, Z. Wang, W. Fan, Z. Zhang, and F. Hu, *Optical Fiber Technology*, **68**, 102754 (2022).
9. G. Baglioni, R. Pezone, S. Vollebregt, K. Zobenica, M. Spasenović, D. Todorovi, H. Liu, G. Verbiest, H. Zant, and P. Steeneken, *Nanoscale*, **15**, 6343-6352 (2023).
10. Z. Zhu, H. Shuai, K. Jia, Y. Sun, B. Jia, and P. Zhou, *IEEE Access*, **12**, 30427-30433 (2024).

作者簡介

劉承揚先生為國立成功大學機械工程研究所博士，現為國立陽明交通大學生物醫學工程學系教授。 Cheng-Yang Liu received his Ph.D. in Mechanical Engineering from National Cheng Kung University. He is currently a Professor in the Department of Biomedical Engineering at National Yang Ming Chiao Tung University.

力博宏先生為國立陽明大學臨床醫學研究所博士，現為振興醫院耳鼻喉部主治醫師、國立陽明交通大學醫學系合聘教授。

Po-Hung Li received his Ph.D. in Clinical Medicine from National Yang Ming University. He is currently an Attending Physician in the Department of Otolaryngology at Cheng Hsin General Hospital and a Jointly Appointed Professor in the Department of Medicine at National Yang Ming Chiao Tung University.

陳維鈞先生為國立陽明交通大學材料科學與工程研究所博士，現為國研院國儀中心研究員暨鍍膜組組長。

Wei-Chun Chen received his Ph.D. in Materials Science and Engineering from National Yang Ming Chiao Tung University. He is currently a Researcher and Director of Intelligent Coating Equipment Technology Division at the National Center for Instrumentation Research, NIAR.

黃薇瑄小姐現為國立陽明交通大學生物醫學工程所碩士生。

Wei-Hsuan Huang is currently a M.S. student in the Department of Biomedical Engineering at National Yang Ming Chiao Tung University.