

2.5D/3D 異質整合封裝與 TSRI CoCoB 平台技術

Advanced Packaging for Heterogeneous Integration: Applications, Significance, and the TSRI CoCoB Technology Platform

吳伯昌

Po-Chang Wu

當摩爾定律逐步逼近極限，半導體產業的未來正陷入十字路口。從單一晶片的極致演算走向異質整合的多維創新，成為突破限制的關鍵之路。先進封裝技術讓來自不同製程節點、不同功能定位的晶片 (chipselets) 得以在一個封裝中攜手合作，不僅拉抬效能，更為成本控管帶來全新選項。本文深入探討台灣半導體研究中心 (TSRI) 打造的 CoCoB (Chip on Chip on PCB) 異質整合平台，如何以技術開放性與實驗友善性，成為學術界與新創團隊的橋梁與後盾。內容涵蓋 T18 Backside TSV 製程、設計規則、EDA 驗證流程，以及此平台如何解決先進封裝高門檻問題，加速 AIoT 前瞻晶片模組的誕生與驗證。

The rapid expansion of AI/HPC and edge computing is driving semiconductor development beyond traditional monolithic SoC scaling. Advanced packaging and heterogeneous integration (HI) have emerged as key enablers for improving system-level performance, bandwidth, and energy efficiency through chiplet-based system-in-package (SiP) architectures. This report introduces the TSRI CoCoB (Chip-on-Chip-on-PCB) platform, a research-oriented 2.5D/3D integration solution that adopts die-level fine-pitch interconnects and a TSV-based silicon interposer to support scalable chip stacking and board-level integration. The CoCoB platform provides standardized design rules and an EDA-supported verification flow, enabling reproducible prototyping and electrical evaluation of heterogeneous systems. By lowering the barrier to advanced packaging, CoCoB plays an important role in accelerating academic research and bridging IC innovation to system-level validation.

一、先進封裝技術的應用與重要性

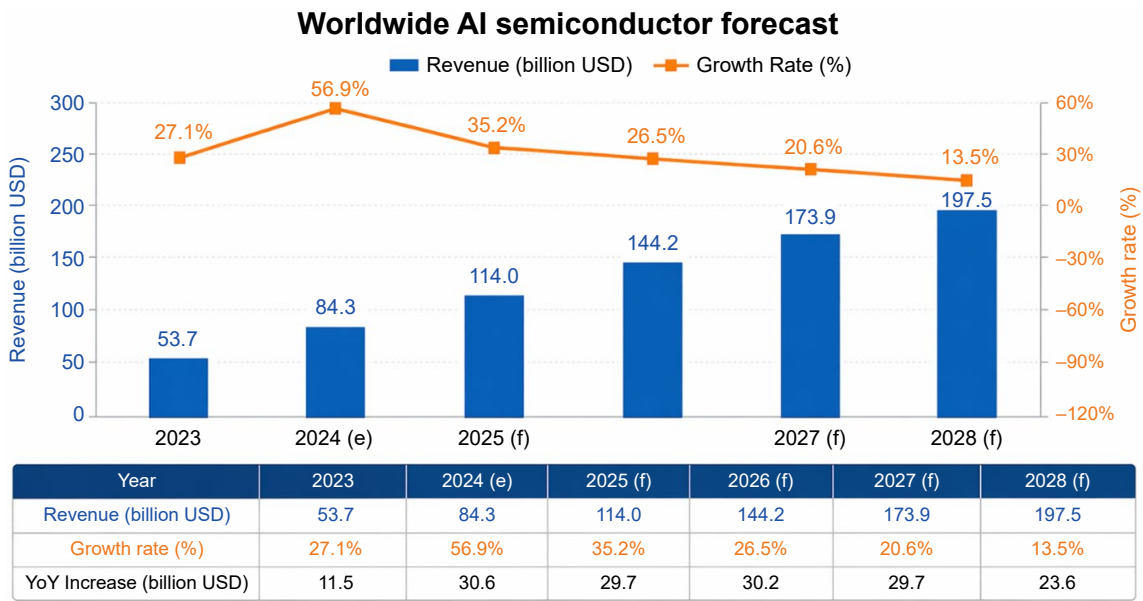
1.1 異質整合的興起背景

在長期依賴製程微縮的道路上，半導體產業迎來了物理瓶頸與成本爆炸的雙重壓力。當 7 nm、5 nm 甚至更先進節點面臨光罩物理限制與製造資本門檻的挑戰，延續摩爾定律不再

只是技術課題，更是經濟挑戰。異質整合因此不再是選項，而是新時代的主軸。異質整合的核心精神，在於讓不同領域 (如 Logic、Memory、RF、MEMS 等) 專精的元件各司其職，彼此協同，以組合方式建構系統封裝 (system in package, SiP)，實現超越單一晶片的功耗、效能與面積 (power, performance, and area, PPA) 最優解。這不只是封裝技術的升級，更是系統設計哲學的根本轉變：不再追求單點極致，而是擁抱多元協作的整體躍升。

1.2 市場驅動力與趨勢

AI 與高效能運算 (high-performance computing, HPC) 正以前所未有的速度改變世界，也同時強烈牽引先進封裝的需求。Gartner 預測 (圖 1) 指出，全球 AI 半導體營收將從 2023 年的 537 億美元，飆升至 2028 年的 1,975 億美元，年複合成長率高達 29.7%。這不只是增長，而是一場產業級的躍遷。在這股洪流下，先進封裝技術的角色從「可選項」變成「必要條件」。預計到了 2025 年，先進封裝將超越傳統封裝市場規模，正式成為主流。而像 NVIDIA 的 H100 GPU、AMD 的 MI300 系列早已導入 Chiplet 架構與 CoWoS 等封裝技術，實現高速 HBM 記憶體與運算核心的深度整合 (圖 2)。未來已經來到，封裝已不只是封裝，而是效能決勝的主戰場。



註：e = 預估值 (Estimated) ; f = 預測值 (Forecast) 資料來源：Gartner (2024/07)

圖 1. 全球 AI 半導體營收規模預估圖 (Source: Gartner, 2024, July, Worldwide AI semiconductor forecast)。

1.3 2.5D/3D 封裝架構解析

在先進封裝架構中，「矽中介層」的角色宛如舞台上的導演，掌握整體互連節奏。它不僅銜接基板與晶片，更透過矽穿孔 (through-silicon via, TSV) 實現垂直連結，並結合重分佈層 (redistribution layer, RDL) 建立密集橫向通道。2.5D 封裝選擇以中介層並排配置多晶片，以高密度 RDL 與 TSV 串聯訊號，達成高速低延遲的橫向整合；而 3D 封裝則採取垂直堆疊，透過 TSV 或 Cu-Cu 接合創造最短訊號路徑與高整合密度。若說 Wire Bonding 是過去的

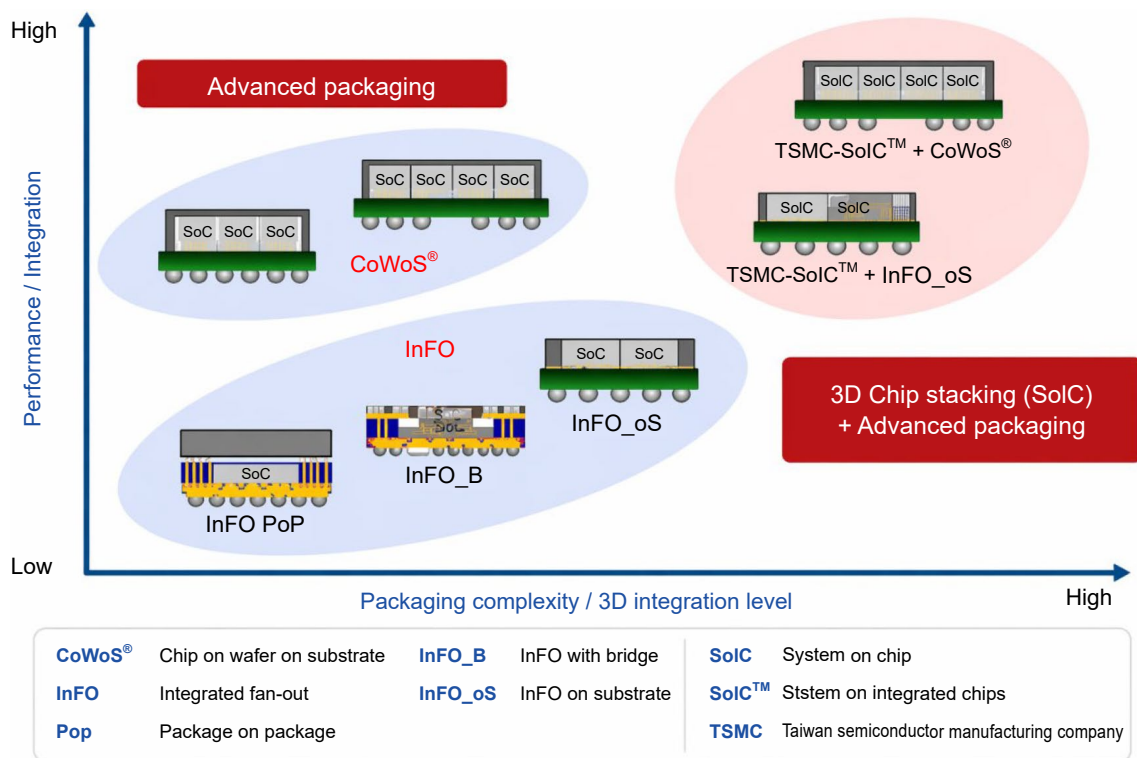


圖 2. 先進封裝技術演進圖 (Source: Taiwan Semiconductor Manufacturing Company, Advanced packaging and 3D chip stacking technologies)。

手工縫線，那 TSV 就是現代的 3D 電梯，快速直達每一層晶片核心。矽中介層憑藉與晶片相近的熱膨脹係數 (coefficient of thermal expansion, CTE)，在高功率密度下展現絕佳散熱與穩定性。它不只是技術部件，更是讓整個異質整合成為現實的支柱。

二、TSRI CoCoB 技術詳解

當新創與學界在先進封裝領域邁出第一步時，往往卡在「做不到」的門檻前——無法取得整片晶圓、無法負擔高額製程、也無法接軌業界資源。TSRI 為此打造了 CoCoB (Chip on Chip on PCB) 平台，替實驗室開了一扇窗，讓先進封裝不再只是理論與模擬，而能真正動手落地。這個平台建構在 TSMC 0.18 μm CMOS 製程之上，採用主動式中介層 (active interposer) 與背面矽穿孔 (backside TSV) 技術，為學術界量身打造一個能驗證、能疊堆、也能突破的整合場域。

2.1 CoCoB 架構總覽

CoCoB 平台的結構設計由下而上分為三層：PCB、Interposer 與 Top Chip (圖 3)。

1. Top chip：採用覆晶 (flip chip) 方式，透過金球 (gold stud) 與中介層連接。
2. Interposer：採用 T18 backside TSV 技術，具備電路設計能力 (active interposer)，可整合類比、數位電路或測試電路。
3. PCB：中介層透過 C4 Bump 與 PCB 連接，進行訊號扇出 (fan-out) 與系統整合。

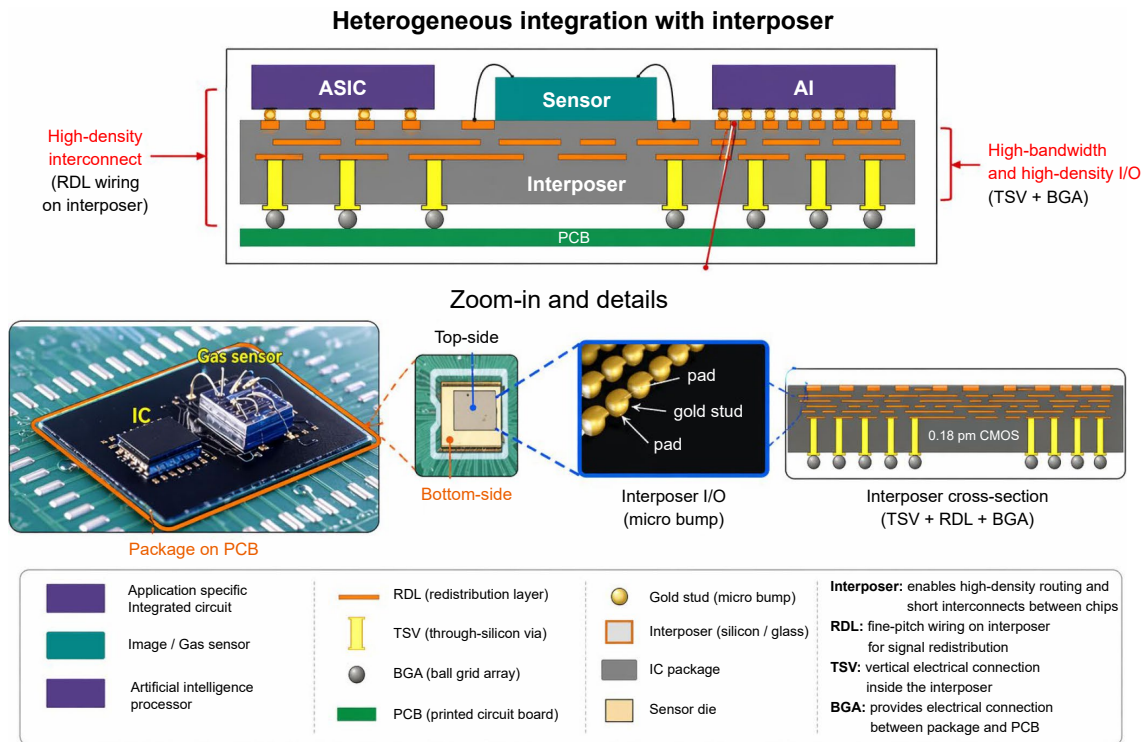


圖 3. CoCoB 架構總覽。

2.2 T18 Backside TSV 製程技術

TSRI 所開發的 backside TSV，是一套細膩而精密的工藝流程，在完成 0.18 μm CMOS 製程後，透過一連串後段製程，讓矽晶圓的背面也能成為連接世界的通道 (圖 4)：

1. 暫時接合 (temporary bond)：將完成 CMOS 製程的晶圓正面與玻璃載具 (glass carrier) 暫時接合，以利後續背面加工。
2. 晶背研磨 (grinding & CMP)：從晶圓背面進行研磨與化學機械平坦化 (chemical-mechanical polishing, CMP)，將矽基板薄化至約 50 μm 。
3. TSV 蝕刻 (TSV Si etching)：利用黃光微影與蝕刻技術，從晶背定義出 TSV 的位置並蝕刻矽基板，形成深孔。
4. 絕緣層沉積 (oxide deposition)：沉積絕緣層以隔離矽基板與後續填入的金屬。
5. 金屬填充 (Cu plating)：沉積 Ti/Cu 種子層後，進行電鍍銅 (Cu plating) 以填滿 TSV 孔洞，形成導電通道。
6. 與正面金屬連接：TSV 直接穿過矽基板，Landing 在正面的 BEOL metal layer (M1) 上，實現上下層電性導通。
7. 背金屬與凸塊製作 (RDL & bumping)：在晶背製作重分佈層與凸塊下金屬層 (under bump metallurgy, UBM)，最後植上錫球 (Sn bump/C4 bump)。

2.3 晶片堆疊與互連規範 (design rules)

要在多層晶片之間建立穩定聯繫，就必須遵守一套細膩的設計規則。這些規則不僅是製程上的限制，更是確保良率、效能與穩定度的工程守則。

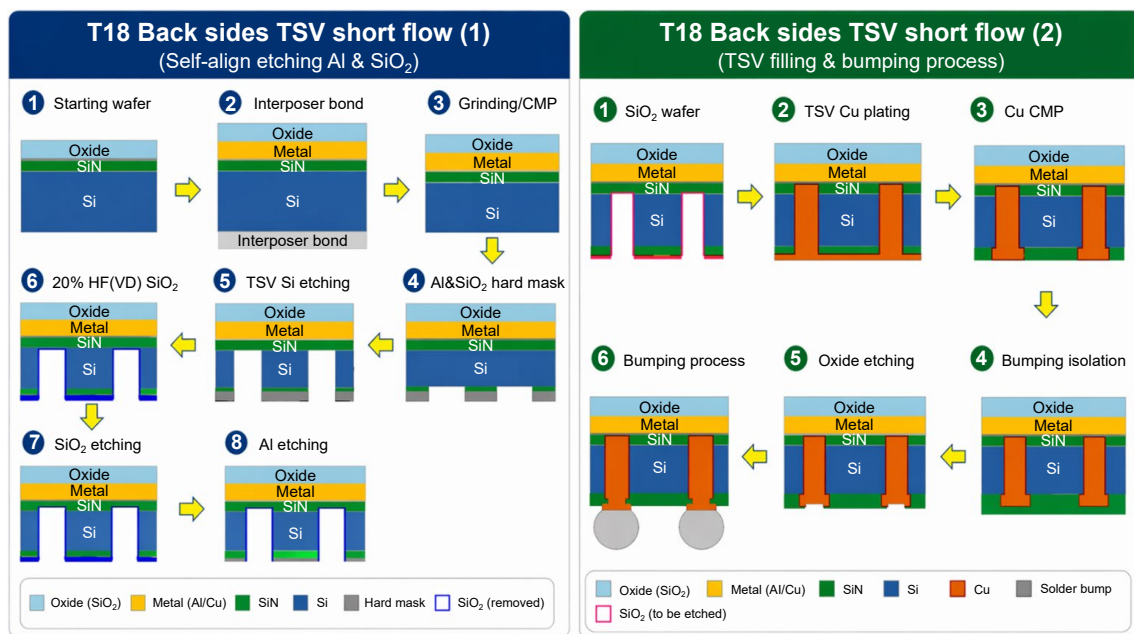


圖 4. T18 Backside TSV 製程技術。

2.3.1 TSV 設計規則

TSV 的尺寸與間距直接影響互連密度與機械強度：

- 最小 TSV 寬度 (width)：40 μm 。
- 最小 TSV 間距 (space)：197 μm 。
- TSV Pitch：必須大於等於 237 μm 。
- 金屬包覆 (enclosure)：M1 對 TSV 的包覆需至少 20 μm ；光阻保護氧化物 (resist protection oxide, RPO) 對 TSV 的包覆亦需至少 20 μm 。這主要是為了避免製程誤差導致連接失敗或漏電。
- 佈局建議：TSV 形狀建議畫 64 邊形以接近圓形，減少角應力 (corner stress)。TSV 應均勻分佈或在空曠區增加 dummy bump，以確保晶片與 PCB 對接時受力均勻，避免翹曲斷裂。

2.3.2 Top Chip 結合規範

針對上層晶片與中介層的互連，TSRI 採用晶片級植金球 (die-level gold stud) 技術，特別適合學術界的小量多樣需求。

- Pad 尺寸：最小 Bond Pad 尺寸為 30 $\mu\text{m} \times 30 \mu\text{m}$ 。
- Pad 間距：最小 Pad to Pad 間距為 20 μm ，若小於此距離會因覆晶對位誤差 (mis-alignment) 導致良率下降。
- Pitch：最小 Bond Pad Pitch 為 50 μm 。這是相當高密度的互連能力，遠優於傳統打線。
- 對位標記 (alignment mark)：為提高覆晶對接良率，需在 top chip 與 interposer 的四個角落放置對位標記 (十字或 L 形)，且兩者需互為鏡像 (mirror) 設計。

2.3.3 PCB 佈局規範

Interposer 最終需結合至 PCB 上，因此 PCB 的設計亦受限制：

- TSV Pitch > 237 μm 時：PCB 線寬／線距最小為 4 mils (~102 μm)。PCB Pad 尺寸建議為 135 μm × 135 μm 。
- TSV Pitch = 237 μm (極限制程)：PCB 線寬／線距需縮小至 3 mils (76.2 μm)。此時需與板廠密切合作，確保防焊綠漆 (solder mask) 能有效隔絕 Pad，避免短路。
- 關鍵限制：TSV 不能直接設計在 PCB 的鑽孔上，以避免結構脆弱。

2.4 CoCoB 整合方案

CoCoB 的設計，不是一體成形的封閉架構，而是一個能靈活整合不同晶片、不同互連方式的多功能平台：

1. Flip Chip on Interposer：利用 50 μm Pitch 的微凸塊 (micro-bump) 將 ASIC 倒裝於中介層上。
2. Wire Bond Integration：對於感測器 (sensor) 等不適合覆晶的元件，可將其黏貼於中介層並透過打線 (wire bond) 連接。晶片邊緣至 Interposer Pad 的距離需大於 650 μm 以容納打線鋼嘴。
3. 多晶片整合：支援大於等於 2 顆晶片的整合，晶片間距需大於 300 μm 。

這是一個能兼容多種封裝風格與創意設計的彈性平台，更是學術界與創新團隊實現「拼圖式」異質整合的起點。

三、EDA 設計流程與驗證

在異質整合中，製程技術固然關鍵，但若沒有精準可行的 EDA 驗證流程，所有的堆疊與互連都可能成為空中樓閣。CoCoB 平台不只是提供封裝資源，更建構了一套完整的電子設計自動化流程，讓設計者能從電路設計一路走到系統驗證，真正落實從概念到實作的每一步。這不再是單層晶片的邏輯世界，而是多層互聯、跨層堆疊的挑戰。CoCoB 所建構的 EDA 流程 (圖 5)，正是為了應對這樣的堆疊複雜性而生。

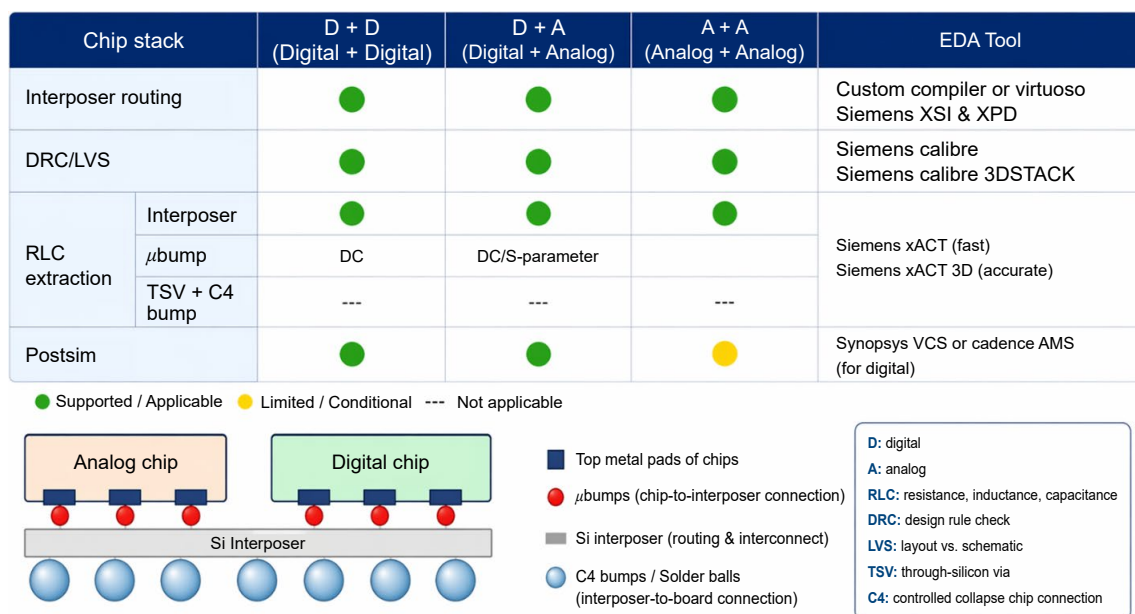


圖 5. CoCoB EDA 驗證環境支援。

3.1 設計流程概觀

設計流程從熟悉的 Schematic 設計與 Layout 出發，進而進行 Physical Verification、RC Extraction 與 Post-layout Simulation。不同於傳統設計，CoCoB 需要處理的是真正的「立體設計」——不僅平面接點要對，連上下晶片之間的導通關係也要絕對正確。這裡沒有任何「錯一點也沒關係」的餘地，因為在異質整合中每個接點都可能是整個系統的斷點。

3.2 堆疊規劃 (Stack Planning)

設計者需使用 Siemens XSI 與 XPD 等 2.5D/3D CAD 工具，為整個堆疊架構定義明確的結構與訊號走向。

1. GDS 轉換：將晶片的 Pad 與中介層的 Bump 資訊從 GDS 轉換為封裝網表 (package netlist)。
2. 視覺化規劃：在工具中進行 Stack Plan，定義晶片的相對位置、旋轉角度，並進行視覺化的飛線 (flyline) 連接檢查，確認訊號連接正確。
3. Sketch Routing：利用工具進行半自動的路徑佈線規劃。

這些步驟不只是畫圖，而是實實在在地「構築」一個三維訊號生態系。

3.3 3D DRC/LVS 驗證

這是驗證流程中最具挑戰性也最具價值的關鍵步驟。傳統的 DRC 與 LVS 檢查針對單一層晶片，而在 CoCoB 平台上，我們要進行的是「跨層」的完整驗證，使用 Calibre 3DSTACK 工具進行全系統的結構與邏輯比對。

- 系統級 LVS：驗證從 Top Chip 經過 Interposer 到 PCB 的完整連線關係 (connectivity)。設計者需撰寫 Source Netlist，定義各層晶片與中介層的連接。
- 系統級 DRC：檢查晶片間的堆疊規則，例如 Die-to-Die 的間距、Pad 與 TSV 的重疊面積是否足夠等。例如，檢查 Controller Pad 與 TSV 的距離是否小於規範值 (如 80 μm)，若違反則會產生 “Spacing violation”。
- Assembly 描述：需撰寫各層的定義檔，指定 GDS 路徑、層別資訊 (layer info) 以及堆疊順序 (stack sequence)。

在這裡，沒有任何一個 Pad 可以含糊，因為所有錯誤都會被立體揭露。

3.4 寄生參數萃取 (RC Extraction)

為了使整個系統在訊號完整性 (SI) 與電源完整性 (PI) 上達到量化預測，設計者需進行中介層與 TSV 的寄生效應建模，這是通往高可靠設計的最後一關。

- 工具：使用 Siemens XACT (快速) 或 xACT 3D (高精確度 field solver)。
- MIPT 檔：定義製程參數 (如介電常數、金屬厚度、TSV 幾何形狀)。例如，定義 TSV 的高度為 50 μm 、絕緣層厚度、導電率等。
- 模型：TSV 與 C4 Bump 會被萃取為包含電阻 (R)、電容 (C) 與基板耦合效應的等效電路模型，供後續模擬使用。

這些寄生參數並非次要雜訊，而是未來晶片能否穩定運行的核心因子。

四、學術應用與戰略重要性

4.1 學研應用中的角色與重要性

在學術與創新研發的世界裡，最常出現的不是技術問題，而是「驗證不易」的困境。許多創意、架構與設計雖具突破性，卻止步於模擬層級，難以真正走入硬體實作。封裝成本高、流程複雜、資源稀缺，讓學研團隊只能看著封裝門檻心中長嘆。而 CoCoB 的出現，正是在這個斷層處，填上了一塊關鍵拼圖。

- 它大幅降低進入門檻：即便沒有晶圓級資源，也能打造具代表性的 2.5D/3D 原型。
- 它加速驗證週期：提供從電路設計、封裝配置到系統導通的全流程環境。
- 它培育跨域人才：設計者不再僅是 IC 工程師，也將是懂 EDA、懂封裝、懂系統整合的多工實作者。
- 它搭建產學橋梁：讓過去只能發表的研究，真正轉化為商品化的系統技術。

特別是在先進製程成本高漲的今天——像是 7 nm 製程每平方毫米成本是 0.18 μm 製程的 86 倍——學術界已難以承擔高價的 CoWoS 封裝。CoCoB 藉由成熟製程打造 Active Interposer，成為成本、技術、驗證三方平衡的解方。

4.2 實際應用案例

為了驗證這套封裝技術在真實世界的可行性與擴展性，TSRI 以 CoCoB 平台為基礎，成功整合自行研發與學研界合作開發之多種不同製程、不同功能、不同訊號特性的晶片，建構出多款異質整合模組 (圖 6)。這六項晶片與模組相關的成果，內容涵蓋資料轉換、感測讀取、高頻通訊、AI 應用所需多輸出／輸入先進封裝以及高頻波導天線等方向，顯示整體技術從電路設計、系統整合到封裝驗證都有完整布局。

1. 低功耗逐次逼近暫存器類比數位轉換器

這一項是低功耗的 SAR ADC，主要功能是把感測到的類比訊號轉換成數位訊號。它的優點是功耗低、架構相對簡單，很適合用在穿戴式裝置、物聯網感測器或攜帶式醫療設備。

2. 氣體感測器溫控讀取模組

這一項是氣體感測器的溫控與讀取模組。因為很多氣體感測器對溫度很敏感，所以需要穩定的溫控與讀取電路，才能提升量測準確度。未來可應用在空氣品質監測、工業安全偵測與智慧環境感測。

3. 4×400 顆微凸塊覆晶驗證

這一項重點在先進封裝技術，也就是利用大量微凸塊進行覆晶連接驗證。這種技術可以提高晶片間的連接密度與傳輸效能，對高效能運算晶片、AI 晶片與高速通訊模組都非常重要。

4. 高解析數位／類比轉換器與類比／數位轉換器

這部分是高解析度的 DAC 與 ADC，代表系統具備高精度訊號轉換能力。這類技術通常可應用在精密儀器、醫療設備、感測系統與高品質音訊系統中，對訊號品質要求很高的場合特別重要。

5. 第六代通訊高頻訊號收發器

這一項是用於第六代通訊的高頻收發器，主要目的是支援未來更高速、低延遲的無線傳輸需求。這類技術未來可應用在 6G 通訊、衛星通訊，以及高頻寬的無線連結系統。

6. 高頻波導晶片

最後這項是高頻波導晶片，主要是用來傳輸高頻訊號，降低傳輸損耗並提升頻寬表現。這在高速通訊、雷達系統、光電整合或資料中心互連等領域都有很大的應用潛力。

整體來看，這些成果可以分成三個方向：第一是低功耗與高精度訊號轉換，第二是感測系統整合，第三是高頻通訊與先進封裝技術。這也反映出研究不只是單一元件開發，而是朝向未來智慧感測、高速通訊與高效能晶片系統整合發展。

這些實績證明了 CoCoB 不只是技術載體，更是一通往「次世代系統原型開發」的基地，為未來的晶片革命提供關鍵助力。

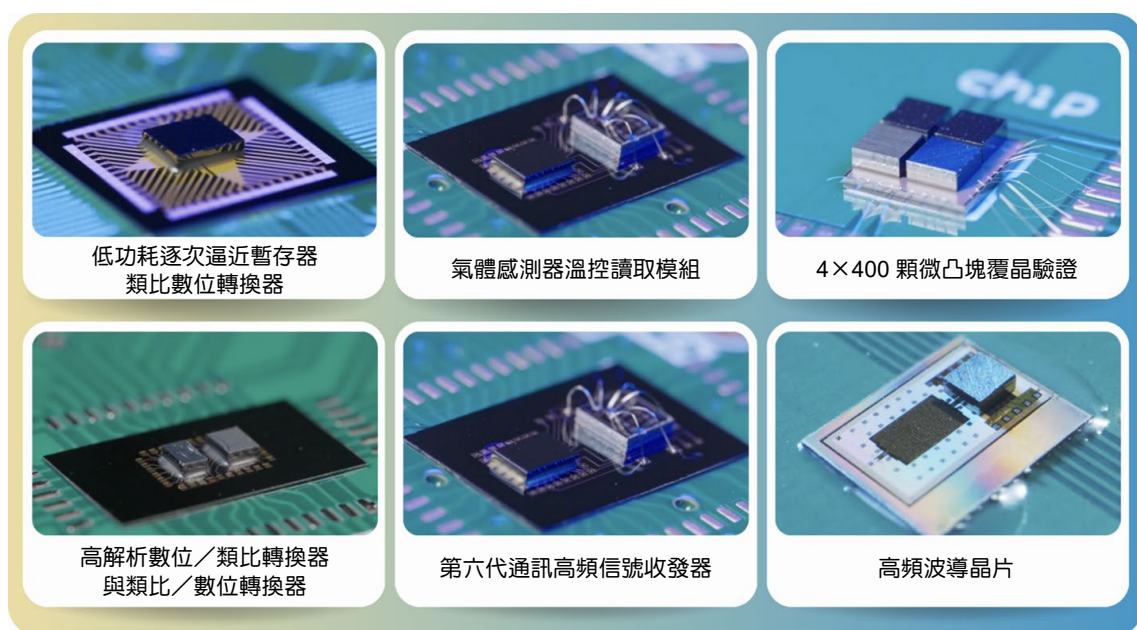


圖 6. CoCoB 整合範例。

4.3 未來展望

目前，CoCoB 平台已進入開發驗證的收尾階段，預計在 2026 年第一季正式對學術界開放。這不僅是技術節點的更新，更是整個台灣學研體系邁向 3D IC 與異質整合的重大里程碑。透過標準化設計規則與自動化 EDA 流程的完善支援，研究人員將能從封裝技術的繁雜解脫，真正專注在架構創新與應用開發上。未來，這裡將不只是人才培育場域，更是新創系統構想落地的搖籃。AI 晶片、矽光子、生醫感測——每一項前瞻應用，或許都會在 CoCoB 的架構中誕生雛形。對於台灣半導體產業而言，這不只是一項平台建設，而是一場策略性的投資。當下一個世界級的突破正等著從實驗室啟程，CoCoB 就是那個能讓夢落地的地方。

作者簡介

吳伯昌先生為國立成功大學電機研究所博士，現為台灣半導體研究中心異質整合晶片組組長。

Po-Chang Wu received his Ph.D. in Electrical Engineering from National Cheng Kung University. He is currently an Department Director in the Heterogeneous Integration Department at Taiwan Semiconductor Research Institute.