

# 異質整合之先進封裝製程參數與 檢測量測方法

## Process Parameters and Inspection/Metrology Methods for Heterogeneous Integration-oriented Advanced Packaging

洪堂欽

Tang-Chin Hung

AI、高效能運算 (high performance computing, HPC) 與高頻寬記憶體 (high bandwidth memory, HBM) 推升了高頻寬、低延遲與高功率密度晶片系統的需求，使 3D IC 異質整合先進封裝成為延續系統效能的重要技術路徑<sup>(1-3)</sup>。本文以技術導向方式說明 3D IC 由 2.5D 中介層整合邁向 3D 垂直堆疊時，矽穿孔 (through-silicon via, TSV)、混合鍵合 (hybrid bonding)、晶圓薄化 (wafer thinning)、暫時性接合與剝離 (temporary bonding and debonding, TBDB)、濕製程清洗／蝕刻、再生晶圓與非破壞性檢測量測等關鍵技術的工程內涵。文中進一步建立熱阻、接面溫度、互連 RC 延遲、晶圓翹曲、剝離能、缺陷逃逸率與量測系統變異等可量化指標，串聯製程條件、材料選擇、量測回饋與整體晶片系統效能之關係。最後，本文整理全球與台灣在先進封裝設備、檢測量測與供應鏈協作上的發展現況，並提出國內自主關鍵技術、技術缺口、互補合作方向與未來檢測設備趨勢。

Driven by AI, high-performance computing (HPC), and high-bandwidth memory (HBM), 3D IC heterogeneous integration has become a key pathway for improving system performance beyond conventional device scaling<sup>(1-3)</sup>. This article provides a technology-oriented overview of the engineering principles and development trends of TSVs, hybrid bonding, wafer thinning, temporary bonding/debonding, wet cleaning/etching, wafer reclaim, and nondestructive inspection/metrology. Quantitative metrics, including thermal resistance, junction temperature, RC delay, wafer warpage, interfacial debonding energy, defect escape rate, and gage repeatability and reproducibility, are used to link process parameters, material choices, metrology feedback, and overall chip-system performance. The article also summarizes global and domestic development status, autonomous technology advantages in Taiwan, key technology gaps, complementary collaboration opportunities, and future trends in inspection and metrology equipment.

## 一、前言

半導體效能提升正在由單純製程微縮，轉向以小晶片 (chiplet)、2.5D 中介層、3D 堆疊、扇外型晶圓／面板級封裝與共同封裝光學等技術構成的系統級整合。與 2D 平面配置相比，3D IC 可縮短晶片間互連距離、提高 I/O 密度並降低單位資料傳輸能耗；但同時也使熱管理、翹曲控制、堆疊可靠度與高深寬比 (aspect ratio, AR) 結構檢測成為量產關鍵<sup>(1, 4, 5)</sup>。

台灣具備晶圓製造、封裝測試、材料、設備、載板與系統應用的完整生態系，近年亦透過 3D IC 先進封裝製造聯盟與國際論壇推動標準導入、跨領域協作與供應鏈韌性<sup>(2, 6)</sup>。因此，本文不以單一企業角色為中心，而是從全球發展、國內優勢、自主技術、技術缺口與互補合作角度，解析 3D IC 異質整合先進封裝製程與檢測量測技術。

## 二、3D IC 異質整合先進封裝製程概述

### 2.1 從 2.5D 到 3D 的技術演進與系統效能需求

2.5D 封裝通常以矽中介層、重佈線層 (redistribution layer, RDL) 或玻璃／有機中介載板，將邏輯晶片、HBM 與 I/O 晶片橫向整合。此架構可有效提升晶片間頻寬並縮短部分訊號路徑，已廣泛應用於 AI 加速器、高效能運算與高頻寬記憶體模組。然而，隨著 AI 模型規模、記憶體頻寬與資料搬移量持續增加，單純依靠橫向擴展將面臨封裝面積擴大、互連長度增加、功耗 (power consumption) 上升及訊號延遲累積等限制。因此，半導體封裝技術正由 2.5D 橫向整合，逐步邁向 3D 垂直堆疊架構。3D IC 異質整合的核心概念，是將不同功能、不同製程節點的小晶片在垂直方向上堆疊，再透過垂直互連技術如矽導通孔、銅對銅混合鍵合或晶圓鍵合等手段實現互連。相較之下，3D IC 架構能顯著縮短晶片間的信號傳輸距離，降低功耗，並提升整體系統效能<sup>(1, 4, 7)</sup>。

3D IC 的系統效能不能只用單一晶片運算能力衡量，而需同時考慮熱阻、接面溫度、互連 RC 延遲、供電完整性、翹曲與堆疊可靠度。這些參數會直接影響可用頻率、功耗、壽命、良率與總擁有成本。因此，3D IC 異質整合的技術價值，不僅在於提高晶片堆疊密度，更在於透過短距離互連、熱管理設計、應力控制與製程內檢測，達成高頻寬、低延遲、低功耗、高良率與高可靠度的系統級最佳化。這些性能需求也對應到後續章節所討論的濕製程設備、暫時性貼合／剝離技術、晶圓薄化、翹曲控制、非破壞性檢測與良率管理模型，形成從製程、量測到系統效能的完整技術脈絡。<sup>(2-4)</sup>

### 2.2 關鍵性能參數與系統效能之關聯

3D IC 異質整合的價值不僅在於晶片垂直堆疊，更在於透過短距離互連提升系統頻寬、降低訊號延遲與互連功耗。然而，隨著晶片堆疊層數增加與功率密度提升，熱管理、機械應力、互連電性與缺陷控制將成為影響整體晶片系統效能與可靠度的核心因素。

在熱管理方面，3D 堆疊使熱源更集中，且散熱路徑較傳統 2D 封裝更複雜。封裝熱阻與接面溫度直接影響晶片運作頻率、漏電流、材料疲勞與長期可靠度。當接面溫度升高時，晶片可能面臨降頻、熱失效或壽命縮短等問題，因此熱阻、界面接觸品質、熱介面材料 (thermal interface material, TIM) 與封裝結構設計，皆須與製程條件同步考量。

### 3D IC 熱管理與堆疊可靠度一

熱管理與接面溫度：3D 堆疊提高功率密度，若散熱路徑、TIM、矽中介層、TSV 熱通道與封裝結構未最佳化，接面溫度  $T_j$  上升將造成漏電增加、時序裕度下降與可靠度劣化。

$$R_{\theta JA} = \frac{T_j - T_a}{P} ; T = T_a + P \cdot R_{\theta JA}$$

其中， $T_j$  為晶片接面溫度， $T_a$  為環境溫度。3D 堆疊提高功率密度後，熱阻模型可用於評估散熱路徑、TIM 材料與封裝結構設計。

多層堆疊熱阻串並聯模型：

$$R_{th, total} \approx \sum_i \left[ \frac{t_i}{k_i \cdot A_i} \right] + \sum_j R_{contact, j}$$

其中， $t_i$ 、 $k_i$ 、 $A_i$  分別為各材料層厚度、熱導率與導熱面積； $R_{contact}$  為界接觸熱阻。熱阻越低，代表熱能由晶片接面傳至環境的能力越佳，可支援較高功率密度或較低風扇／液冷負載；此式可說明異質材料堆疊中界面品質對散熱與可靠度的重要性。

在電性方面，TSV 與微凸塊的寄生電阻與寄生電容會影響 RC 延遲、訊號完整性與動態功耗。若 TSV 填孔不完整、阻障層或晶種層不連續，將導致互連阻抗上升，進而影響高頻訊號傳輸與系統能效。因此，TSV 蝕刻、電鍍填孔、化學機械研磨 (chemical-mechanical planarization, CMP) 與濕製程清洗，皆須透過量測指標進行製程監控。

TSV 與混合鍵合互連：TSV 電阻、電容與接觸電阻決定垂直互連延遲、功耗與訊號完整性；接合界面空洞、氧化殘留或共面性不足會提高接觸阻抗並降低可靠度。

### TSV 互連電性與訊號完整性模型一

TSV 直流電阻：

$$R_{TSV} = \rho_{Cu} \cdot \frac{L}{A} = \frac{\rho_{Cu} \cdot L}{\pi \left( \frac{D}{2} \right)^2}$$

其中， $\rho_{Cu}$  為銅電阻率， $L$  為 TSV 深度， $D$  為孔徑。當深寬比  $AR = L/D$  提高時， $R_{TSV}$  與製程缺陷、填銅空洞及晶種層連續性高度相關，可作為電鍍填孔與 CMP 後電性驗證指標。

TSV 等效電容與 RC 延遲：

$$C_{TSV} \approx \frac{2\pi\epsilon_{ox}L}{\ln \left[ (r_{ox} + t_{ox}) / r_{Cu} \right]} , \tau_{RC} = R_{TSV} \cdot C_{TSV}$$

其中， $C_{TSV}$  受到氧化層厚度  $t_{ox}$ 、介電常數  $\epsilon_{ox}$  與 TSV 幾何尺寸影響； $\tau_{RC}$  可用於評估 3D 堆疊中垂直互連的傳輸延遲與功耗。

垂直互連功耗：

$$P_{\text{dyn}} = \alpha \cdot C_{\text{eff}} \cdot V_D D^2 \cdot f$$

其中， $\alpha$  為切換因子， $C_{\text{eff}}$  包含 TSV、微凸塊與 RDL 寄生電容；3D IC 縮短互連長度可降低  $C_{\text{eff}}$  與  $P_{\text{dyn}}$ ，是異質整合提升系統能效的重要物理基礎。

高深寬比填孔能力：

$$AR = \frac{L}{D} ; V_{\text{fill}} \propto k_m \cdot C_{\text{Cu}}^{2+} \cdot \exp\left(\frac{-E_a}{RT}\right)$$

其中， $AR$  越高，質傳限制與孔底添加劑分佈越關鍵； $V_{\text{fill}}$  表徵填銅速率與溫度、銅離子濃度及活化能的關係，可連結濕製程設備之流場均勻性與填孔缺陷率。

### 銅電鍍厚度－法拉第定律 (Faraday's law)

$$h_{\text{Cu}} = \frac{\eta \cdot J \cdot t \cdot M_{\text{Cu}}}{n \cdot F \cdot \rho_{\text{Cu}}}$$

其中， $\eta$  為電流效率， $J$  為電流密度， $t$  為電鍍時間， $M_{\text{Cu}}$  為銅莫耳質量， $n$  為電子轉移數， $F$  為法拉第常數。此式可用於 TSV 填銅、銅柱高度與 RDL 厚度控制。

在機械可靠度方面，晶圓薄化雖有助於縮短垂直互連距離，但也會降低晶圓彎曲剛性，使破片、翹曲與應力集中風險增加。翹曲會影響曝光對準、微凸塊共面性、鍵合壓力分布與後續堆疊良率，因此暫時性貼合／剝離、材料熱膨脹係數匹配與翹曲量測，均為 3D IC 封裝可靠度控制的重要環節。

在良率管理方面，隱裂、暗崩、背崩、空洞、顆粒與殘膠等缺陷若未於製程中即時檢出，將在後續堆疊後造成更高成本的失效。因此，IR/NIR 隱裂檢測、3D AOI、X-ray 與缺陷地圖分析，應與濕製程、薄化、貼合與剝離等製程資料整合，形成製程－量測－資料回饋的閉迴路。由此可見，3D IC 製程中的各項性能參數並非單點指標，而是共同決定系統效能、良率與可靠度的關鍵工程變數。

綜合上述，在 3D IC 異質整合先進封裝中，以下幾個製程節點尤為關鍵：

矽導通孔製程：TSV 的製作涉及深反應離子蝕刻、絕緣層沉積、阻障層／晶種層沉積、電鍍填孔及 CMP 平坦化等多道製程。TSV 的深寬比不斷提升，對濕製程設備的均勻性與顆粒控制能力提出了嚴苛要求。

晶圓薄化與暫時性貼合：為實現垂直堆疊，晶圓需薄化至 50  $\mu\text{m}$  以下。在如此薄的晶片上進行製程，必須依靠暫時性貼合技術將晶圓暫時接合於承載晶圓上以提供支撐，待背面製程完成後再進行剝離與清洗<sup>(12)</sup>。

背面金屬化與凸塊製作：薄化後的晶圓背面需要進行金屬化處理並製作微凸塊，以實現晶片間的垂直互連。此階段的濕製程清洗與蝕刻對於凸塊的品質與可靠性至關重要。

## 2.3 製程與量測關係式與良率模型

於上述系統效能與可靠度需求，3D IC 異質整合與先進封裝的製程挑戰，並非僅來自單一設備性能，而是來自多個製程節點之間的耦合效應。當晶圓清洗、TSV 蝕刻、暫時性貼合、晶圓薄化、剝離清洗與非破壞性檢測串接成完整流程時，任何一個節點的微小變異，都可能在後續堆疊與封裝 (stacking and packaging) 階段被放大。因此，本文是以「製程、量測、資料回饋」的閉迴路觀點，說明濕製程設備與檢測量測設備在良率管理中的共同角色 (圖 1)。

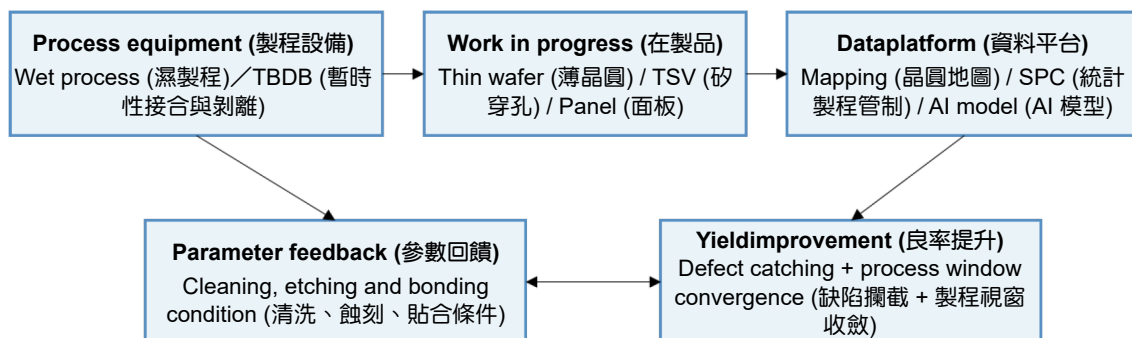


圖 1. 3D IC 先進封裝製程、檢測量測迴路架構。

若將第  $i$  個關鍵製程節點的良率表示為  $Y_i$ ，並將檢測未能攔截而進入下一製程的缺陷逃逸率表示為  $D_{\text{escape}}$ ，則堆疊後的有效良率可近似表示為：

$$Y_{\text{stack}} \approx \prod_i Y_i \times (1 - D_{\text{escape}})$$

此式說明，3D IC 堆疊層數愈多、製程節點愈長，單一節點良率的些微下降都會對最終良率造成乘積式影響。若製程初始缺陷密度為  $D_0$ ，檢測系統對關鍵缺陷的檢出率為  $P_{\text{detect}}$ ，則缺陷逃逸率可簡化為：

$$D_{\text{escape}} = D_0 \times (1 - P_{\text{detect}})$$

因此，提高  $P_{\text{detect}}$  不僅是檢測設備本身的性能議題，更直接影響後續高成本堆疊製程的投入效率。

缺陷密度良率模型

$$Y = \exp(-D_0 \cdot A)$$

其中， $D_0$  為單位面積缺陷密度， $A$  為有效晶粒或封裝面積。對大面積中介層、扇出型面板級封裝 (fan-out panel-level packaging, FOPLP) 與玻璃基板而言，降低顆粒、刮傷、隱裂與翹曲缺陷密度是提升良率的核心。

首先，TSV 製程涉及深反應離子蝕刻、絕緣層沉積、阻障層／晶種層沉積、電鍍填孔與 CMP 平坦化。此階段直接影響垂直互連的電阻、電容、RC 延遲與訊號完整性，因此需要良好的蝕刻均勻性、填孔品質與顆粒控制能力。

其次，晶圓薄化與暫時性貼合／剝離是 3D 堆疊製程中的關鍵支撐技術。當晶圓厚度降至 50  $\mu\text{m}$  以下時，晶圓彎曲剛性大幅下降，必須透過暫時性接合於承載晶圓上，以降低破片、翹曲與搬運風險。此階段與薄膜應力、熱失配、剝離能窗口及殘膠清洗密切相關。

最後，非破壞性檢測與缺陷攔截是提高堆疊良率的重要機制。IR/NIR 隱裂檢測可檢出薄晶圓內部裂紋，3D AOI 可量測銅柱高度與孔深，X-ray 則可檢查內部空洞與接合缺陷。透過製程內檢測，可避免缺陷晶粒進入高成本堆疊流程。

綜合而言，典型 3D 晶圓製程流程可整理為：晶圓清洗與表面準備 → 黃光製程定義 TSV 位置 → 非等向性乾蝕刻製作 TSV → 化學氣相沉積 (chemical vapor deposition, CVD) 絕緣層沉積與物理氣相沉積 (physical vapor deposition, PVD) 阻障層／晶種層沉積 → 電鍍填孔 → 化學機械研磨 (chemical-mechanical planarization/polishing, CMP) 平坦化 → 正面線路製作 → 暫時性貼合 → 晶圓薄化 → 背面線路與凸塊 (bump) 製作 → 剝離與殘膠清洗 → IR/3D/X-ray 檢測 → 晶片堆疊與最終可靠度驗證。在整個製程中，濕製程清洗、蝕刻以及暫時性貼合與剝離等環節，對於最終產品的良率與可靠度具有決定性影響。

### 三、關鍵製程設備技術與工程指標

#### 3.1 濕製程清洗與蝕刻技術

濕製程在 TSV、RDL、微凸塊、背面金屬化與面板級封裝中扮演基礎角色。全球發展趨勢由批次處理逐步擴展至單晶圓高均勻性處理、面板級大面積處理、低損傷超音波清洗、低用水／低化學品消耗與智慧化藥液監控。

國內優勢在於鄰近晶圓製造與封測產場域，可快速取得製程回饋並進行設備改版；技術缺口則包括高深寬比結構內部殘留物即時監控、奈米級顆粒檢出、藥液壽命模型與跨設備資料標準化。未來應結合感測器、數位分身與缺陷地圖，將濕製程由單點設備控制提升為資料驅動的良率控制平台。

為使濕製程設備之技術能力更符合科學儀器與量測導向的描述方式，可將設備性能拆解為均勻性、清洗效率、化學反應控制、產出量與製程穩定度等指標。其中，蝕刻均勻性可定義為：

$$U_{\text{etch}} = \frac{t_{\text{max}} - t_{\text{min}}}{2 \times t_{\text{mean}}} \times 100\%$$

其中， $t_{\text{max}}$ 、 $t_{\text{min}}$  與  $t_{\text{mean}}$  分別代表晶圓或面板上量測厚度／蝕刻深度的最大值、最小值與平均值。 $U_{\text{etch}}$  越低，代表片內或板內蝕刻均勻性越佳，亦意味著化學藥液分佈、流場設計、噴灑角度、旋轉速度與溫度控制具有較佳的一致性。

清洗能力則可由顆粒移除效率表示：

$$\eta_{\text{clean}} = \frac{N_{\text{before}} - N_{\text{after}}}{N_{\text{before}}} \times 100\%$$

其中， $N_{\text{before}}$  與  $N_{\text{after}}$  分別為清洗前後之顆粒數。此指標可用於比較不同清洗配方、噴流能量、兆音波條件、乾燥機制與晶圓表面狀態對顆粒去除效果的影響。對 TSV 與微凸塊製程而言，顆粒殘留可能造成開路、短路、接合空洞或可靠度劣化，因此清洗效率與缺陷地圖應被納入製程監控 (如圖 2、表 1)。

此外，TSV 結構的電性可藉由幾何關係進行一階估算。若 TSV 填充材料為銅，其等效電阻可表示為：

$$R_{\text{TSV}} = \frac{\rho_{\text{Cu}} \times h}{\pi r^2}$$

其中， $\rho_{\text{Cu}}$  為銅電阻率， $h$  為 TSV 深度， $r$  為 TSV 半徑。當深寬比提高時，填孔完整性、側壁覆蓋率、空洞控制與後續濕製程清洗難度同步升高。TSV 近似電容亦可表示為：

$$C_{\text{TSV}} \approx \frac{2\pi\epsilon_{\text{ox}}h}{\ln(r_{\text{ox}}/r_{\text{Cu}})}$$

此式連結 TSV 絕緣層厚度、垂直互連長度與高頻訊號完整性，可用於說明濕製程、沉積與 CMP 平坦化等製程均勻性對最終電性表現的影響。

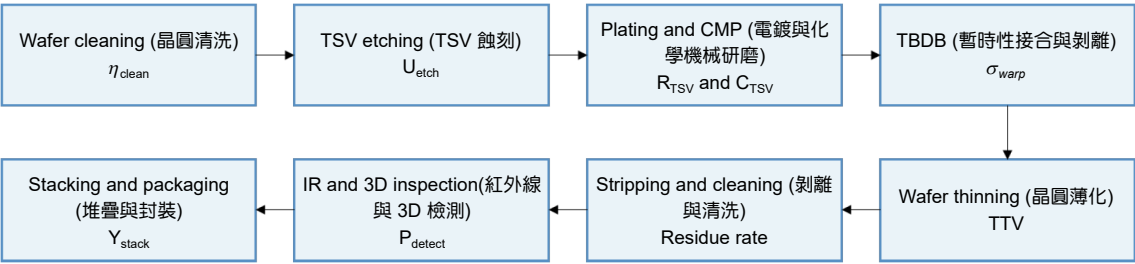


圖 2. 3D IC 先進封裝製程節點與可量化指標對應。

表 1. 濕製程設備關鍵性能指標與工程意義。

| 指標       | 關係式                                                                                                                            | 對應設備／製程意義               |
|----------|--------------------------------------------------------------------------------------------------------------------------------|-------------------------|
| 蝕刻均勻性    | $U_{\text{etch}} = \frac{t_{\text{max}} - t_{\text{min}}}{2 \times t_{\text{mean}}} \times 100\%$                              | 濕蝕刻與清洗流場、溫度、藥液分佈控制。     |
| 顆粒移除效率   | $\eta_{\text{clean}} = \frac{N_{\text{before}} - N_{\text{after}}}{N_{\text{before}}} \times 100\%$                            | 清洗配方、噴流能量與乾燥條件最佳化。      |
| TSV 等效電阻 | $R_{\text{TSV}} = \frac{\rho_{\text{Cu}} \times h}{\pi r^2}$                                                                   | TSV 幾何尺寸、填孔品質與互連阻抗。     |
| TSV 近似電容 | $C_{\text{TSV}} \approx \frac{2\pi\epsilon_{\text{ox}}h}{\ln(r_{\text{ox}}/r_{\text{Cu}})}$                                    | 絕緣層設計與高頻訊號完整性。          |
| 設備產出量    | $T_{\text{throughput}} = \frac{N_{\text{batch}}}{t_{\text{load}} + t_{\text{process}} + t_{\text{unload}} + t_{\text{clean}}}$ | 批次／單晶圓／面板級設備產能與 CoO 評估。 |

### 3.2 晶圓薄化、暫時性接合/剝離與翹曲控制

暫時性接合／剝離 (temporary bonding/debonding, TBDB) 支撐薄晶圓完成背面研磨、蝕刻、金屬化與接合前製程，是 3D IC 製程中不可或缺的關鍵技術。隨著晶圓薄化至  $50\ \mu\text{m}$  以下，薄晶圓在後續製程中容易發生破片、翹曲等問題，必須藉由暫時性貼合將晶圓暫時固定在承載晶圓上進行支撐，待製程完成後再以適當方式剝離並清洗；此技術的核心不是單純貼合，而是材料、熱歷程、界面能、翹曲力學與殘膠清洗的整合控制<sup>(12)</sup>。

第一，薄化會使晶圓彎曲剛性急遽下降，因此需要暫時性接合提供機械支撐；晶圓薄化、暫時性貼合/剝離與翹曲力學。

第二，接合材料需在研磨、濕製程與熱處理期間提供足夠界面能，避免滑移、翹曲與破片；薄晶圓彎曲剛性：

$$D_{\text{flex}} = E \cdot \frac{t_w^3}{12(1-\nu^2)}$$

其中， $E$  為楊氏模數 (Young's modulus)， $\nu$  為蒲松比 (Poisson's ratio)， $t_w$  為晶圓厚度。當  $t_w$  由數百微米降至  $50\ \mu\text{m}$  以下， $D_{\text{flex}}$  呈三次方下降，說明 TBDB 在薄晶圓搬運與背面製程中的必要性。

第三，剝離時又必須控制剝離能與剝離路徑，使殘膠、崩邊與隱裂降至最低；薄膜應力造成之晶圓翹曲 (stoney 近似)：

$$1/R = 6(1-\nu_s) \cdot \sigma_f \cdot \frac{t_f}{E_s \cdot t_s^2} ; \text{Warpage} \approx \frac{a^2}{2R}$$

其中， $\sigma_f$  與  $t_f$  為薄膜應力與厚度， $E_s$ 、 $\nu_s$ 、 $t_s$  為基板材料參數， $a$  為量測半徑。此式可用於面板級封裝、玻璃基板與 RDL 堆疊後翹曲評估。

暫時性貼合界面剝離能：

$$G_c = \frac{P^2}{2bE'h} \text{ 或 } G_c \approx \frac{\int F \cdot d\delta}{A_{\text{interface}}}$$

其中， $G_c$  為界面臨界能量釋放率；需高於製程搬運與研磨時的破壞驅動力，但又必須低於剝離設備可穩定施加之能量區間，以達成低殘膠、低破片之 Debond 製程。

第四，薄膜應力與熱膨脹係數差異會轉化為翹曲，進而影響後續微凸塊或混合鍵合對位。異質材料熱膨脹係數不匹配會造成翹曲與局部應力集中，影響微凸塊／混合鍵合對位、底填流動與後續可靠度，熱失配應變與熱應力：

$$\varepsilon_T = (\alpha_1 - \alpha_2) \cdot \Delta T ; \sigma_T \approx E_{\text{eff}} \cdot \varepsilon_T$$

其中，不同材料如 Si、Cu、玻璃、PI 與暫時性膠材之熱膨脹係數不同，熱循環會導致翹曲、裂紋與界面剝離；此式可支撐材料/設備協同設計。

全球趨勢包含雷射剝離、熱滑移剝離、機械剝離、低殘膠材料、高溫相容暫時性膠材與大尺寸面板級翹曲抑制。國內技術優勢在於可結合材料供應商、設備商與封測量產線進行快速驗證；仍需補強之處包括薄晶圓破片模型、界面污染線上量測、面板級載具標準化與低碳清洗配方。

### 3.3 再生晶圓技術與優勢

再生晶圓 (wafer reclaim) 是以去膜、研磨／拋光、清洗、檢測與分級，使測試晶圓或監控晶圓回到可重複使用狀態的循環製程。其技術價值包括降低監控晶圓成本、減少晶圓耗用、縮短製程開發週期，並提供設備驗證與量測校正所需的穩定基準片<sup>(1, 18)</sup>。重要製程指標：

1. 去膜與表面復原：需移除氧化層、氮化層、金屬膜、光阻或聚合物殘留，同時控制表面粗糙度與金屬污染。
2. 厚度與平坦度控制：TTV、Bow、Warp 與局部平坦度會影響後續黃光、薄化、接合與量測結果。
3. 清洗與顆粒控制：再生後晶圓需符合顆粒、金屬污染與有機殘留規格。
4. 檢測分級：透過光學、表面輪廓、翹曲與缺陷檢測建立可追溯品質履歷。

國內發展優勢在於晶圓廠與封裝廠需求密集，可將再生晶圓作為濕製程、薄化、TBDB 與檢測設備的共同驗證平台。建立再生晶圓規格標準、碳足跡資料與閉迴路品質履歷，將有助於提升國內設備開發效率與永續製造競爭力。

## 四、國內外技術發展、自主優勢與未來目標

全球先進封裝設備技術正朝向高密度互連、混合鍵合、面板級製程、玻璃基板、低翹曲材料與 AI 化檢測量測發展。國際設備供應鏈在高階曝光、電漿蝕刻、原子層沉積、先進量測與缺陷檢查方面仍具領先優勢；台灣則在量產場域、製程整合、封測協作與快速工程回饋方面具備強項。

國內自主關鍵技術可聚焦於濕製程清洗/蝕刻、晶圓薄化與暫時性接合/剝離、面板級濕製程、翹曲抑制、IR/NIR 隱裂檢測、3D AOI、X-Ray 與資料回饋平台。這些技術若能與材料、載具、封裝設計、可靠度測試及 AI 缺陷分類整合，將可補強國內在先進封裝設備自主化與供應鏈韌性上的關鍵能力。

未來目標宜由「單機性能提升」擴展為「製程、量測、資料、可靠度」整合：包含建立標準化資料格式、跨設備缺陷地圖、AI 模型驗證規範、低碳製程指標、面板級製程可靠度資料庫，以及支援 3D IC 量產的快速失效分析流程。

## 五、檢測量測技術與閉迴路良率管理

### 5.1 紅外線穿透檢測技術：先進封裝前段的品質防線

在半導體先進封裝製程中，晶圓完成薄化與切割後即進入結構最脆弱的階段。晶背研磨 (backside grinding) 與晶圓切割 (die saw) 雖為晶粒單粒化與厚度控制之必要步驟，卻不可避免地對其引入機械應力與熱應力，使晶圓表面與次表面產生微細損傷。這些損傷通常表現為

次表面裂縫 (subsurface cracks)、背崩 (backside chipping)、邊緣崩裂或其他隱性破損，其危險性在於難以透過傳統外觀目視識別，且可能在後續搬運、貼裝、壓合、加熱乃至終端使用過程中持續擴展，進而導致良率損失與長期可靠度失效。在車用電子、通訊晶片或高效能運算等高可靠度應用上，前段缺陷若未及時攔截，往往放大為高昂的報廢成本與品質風險，其影響遠超出封裝階段本身。

## 5.2 IR/NIR 隱裂檢測

薄晶圓、切割道、堆疊界面與晶片貼裝膜 (die attach film, DAF) 材料會使傳統可見光檢測受到限制。矽材料雖對可見光不透明，但對紅外線波段具良好穿透性，IR 或 SWIR 影像架構因而得以觀察晶圓內部的隱性損傷。IR/NIR 可利用矽在特定波段的穿透性，檢出內裂、暗崩、背崩與切割損傷。

IR 穿透檢測，比爾-朗伯定律 (Beer-Lambert law)：

$$I = I_0 \cdot \exp(-\alpha_{si} \cdot d)$$

其中， $I_0$  為入射光強， $I$  為穿透光強， $\alpha_{si}$  為矽在特定 IR/NIR 波長下之吸收係數， $d$  為矽厚度。晶圓薄化後  $d$  下降，IR/NIR 穿透能力提高，有利於隱裂、暗崩與背崩檢出。

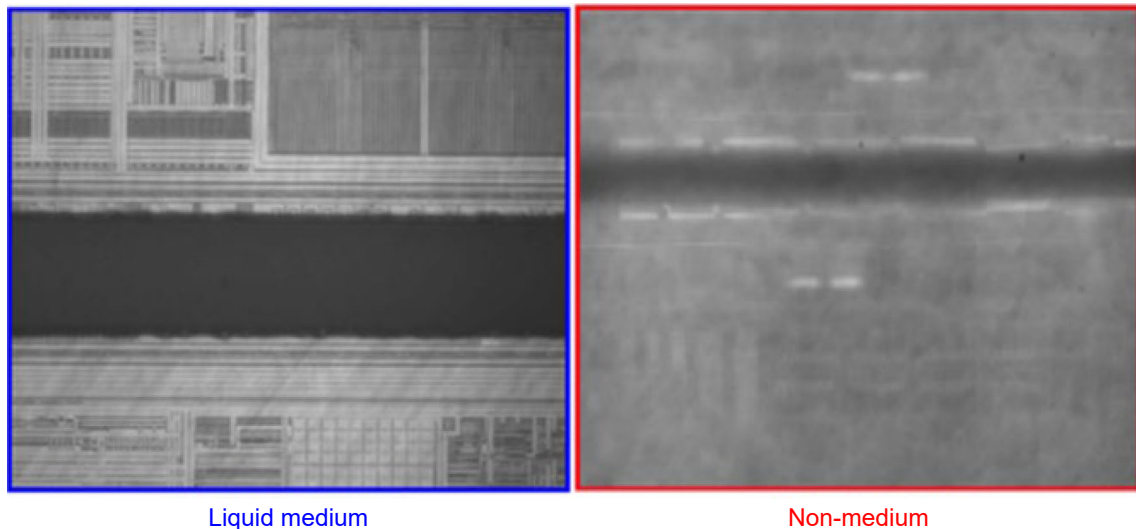


圖 3. 晶圓切割 (Die Saw) 後的背崩和隱崩檢測。

裂紋擴展風險－Paris Law：

$$\frac{da}{dN} = C \cdot (\Delta K)^m$$

其中， $a$  為裂紋長度， $N$  為熱循環或機械循環次數， $\Delta K$  為應力強度因子範圍。IR/NIR 隱裂檢測可在裂紋尚未擴展至臨界尺寸前完成篩選，降低 3D 堆疊後失效率。

### 5.3 缺陷攔截與檢測量測模型

3D AOI 可量測銅柱高度、孔深、共面性與表面凹陷；X-Ray 可檢查內部空洞、接合不良與封裝內部異常；翹曲量測則對 FOPLP、玻璃基板與大面積封裝尤其重要。未來趨勢為多模態整合、AI 缺陷分類、線上量測、高速大面積掃描與量測不確定度管理。相關 TSV/TGV 檢測量測研究亦指出，未來將朝高速、準線上與 AI 輔助自動化方向發展<sup>(8,9)</sup>。

在先進封裝中，檢測量測的核心價值可由「缺陷攔截率」與「缺陷逃逸率」描述。若某製程節點產生的初始缺陷密度為  $D_0$ ，檢測系統對該類缺陷的檢出率為  $P_{\text{detect}}$ ，則進入後續製程的殘餘缺陷可表示為：

$$D_{\text{escape}} = D_0 \times (1 - P_{\text{detect}})$$

此關係式指出，當  $P_{\text{detect}}$  由 90% 提升至 99% 時，缺陷逃逸量將由  $0.1D_0$  降至  $0.01D_0$ ，對高成本的 3D 堆疊與異質整合封裝具有顯著經濟效益。尤其在晶圓薄化、切割、堆疊與混合鍵合後，缺陷一旦進入後段，不僅檢出難度提高，也可能造成整顆封裝體報廢。

IR 隱裂檢測對薄晶圓與切割後晶粒特別重要，因矽材料對可見光不透明，傳統光學檢查難以辨識內部裂紋、暗崩與背崩。透過 IR/NIR 影像搭配自動判讀軟體，可在 Die Saw 後或進入堆疊前建立缺陷地圖，將不良晶粒排除於高成本封裝流程之外。

若將檢測導入前後的堆疊良率分別表示為  $Y_{\text{before}}$  與  $Y_{\text{after}}$ ，則檢測導入效益可用良率提升倍率表示：

$$\text{Gain}_Y = \frac{Y_{\text{after}}}{Y_{\text{before}}}$$

此處的  $Y_{\text{after}}$  不僅取決於檢測硬體解析度，也與 AI 分類混淆、演算法誤判率、漏判率、缺陷分類能力、缺陷地圖與製程參數回饋速度有關。

AI 分類混淆矩陣指標：

$$\text{Precision} = \frac{\text{TP}}{\text{TP} + \text{FP}}, \text{Recall} = \frac{\text{TP}}{\text{TP} + \text{FN}}, F1 = \frac{2 \cdot \text{Precision} \cdot \text{Recall}}{\text{Precision} + \text{Recall}}$$

其中，TP、FP、FN 分別為真陽性、假陽性與假陰性。此式可用於評估 AI 缺陷分類模型在隱裂、空洞、銅柱高度異常與翹曲缺陷上的辨識能力。

檢測訊雜比與缺陷可檢出性：

$$\text{SNR} = \frac{|\mu_{\text{defect}} - \mu_{\text{bg}}|}{\sigma_{\text{bg}}}; \text{POD} = f(\text{SNR}, \text{defect size})$$

SNR 越高，缺陷與背景越容易被分離；檢測機率 (probability of detection, POD) 可作為 IR 隱裂檢查機、3D AOI 與 X-ray 檢測設備之能力評估 (如表 2)。

表 2. 檢測量測項目、缺陷型態與製程回饋關係。

| 量測項目        | 主要缺陷                | 可回饋之製程參數            |
|-------------|---------------------|---------------------|
| IR/NIR 隱裂檢測 | 內裂、暗崩、背崩、切割損傷。      | 切割條件、薄化應力、貼合／剝離條件。  |
| 3D AOI      | 銅柱高度、孔深、表面凹陷、共面性異常。 | 電鍍、CMP、濕清洗與乾燥條件。    |
| X-Ray 檢查    | 內部空洞、接合不良、封裝內部異常。   | 堆疊、回焊、底填與材料參數。      |
| 翹曲檢測        | 板彎、板翹、面板變形。         | 材料匹配、熱歷程、載具與翹曲抑制條件。 |

#### 5.4 AI 智慧影像演算法：從缺陷判讀到製程優化的智慧升級

若說紅外線穿透檢測解決的是「隱性缺陷看得見」的問題，AI 智慧影像演算法處理的則是「看得見之後如何判得準、判得快」的挑戰。隨著先進封裝加速走向 3D 堆疊化、異質材料整合化與高密度互連化，檢測挑戰的層次亦隨之升級。

傳統 AOI 在平面外觀缺陷的檢測上雖已相對成熟，但面對覆晶接合對位偏移、HBM 堆疊空洞、RDL 斷路、銅柱側壁形貌異常、混合鍵合區污染點或封裝表面微細形變等複雜缺陷型態，固定門檻值與規則式判斷往往難以在準確率與效率之間取得平衡。將 AI 智慧檢測與機台建置整合為完整解決方案，且 AI 智慧檢測技術已成功導入半導體封測大廠，並持續延伸至不同製程與機種，具備實際量產環境的應用成熟度。

AI 智慧檢測四大核心價值：

| 核心價值  | 說明                            | 效益        |
|-------|-------------------------------|-----------|
| 準確率提升 | 提高單點缺陷辨識準確率，精準分類缺陷種類、位置與分布規律。 | 減少漏判與誤判。  |
| 判讀加速  | 縮短判讀流程，融合影像資訊與缺陷分類邏輯。         | 降低人工複檢時間。 |
| 持續學習  | 透過模型持續學習與樣本累積，設備動態演進。         | 檢測能力持續優化。 |
| 製程回饋  | 檢測結果回饋至製程端，協助工程師快速定位異常。       | 提升可分析性。   |

## 六、全球與國內發展現況、技術缺口與互補合作

全球發展現況：AI/HPC 與 HBM 帶動 2.5D/3D 封裝、混合鍵合、玻璃基板與 FOPLP 需求。量測檢測方面，高深寬比 TSV/TGV、混合鍵合界面、微凸塊共面性、內部空洞、薄晶圓隱裂與翹曲，都是量產良率關鍵。市場研究亦顯示，先進封裝檢測與量測設備需求將隨 2.5D/3D、Fan-out 與 SiP 持續成長<sup>(10)</sup>。

國內發展現況與優勢：台灣具備完整半導體供應鏈、封測量產能力、材料與設備協作能量，並透過 3D IC 先進封裝製造聯盟推動標準化與生態系合作<sup>(2,6)</sup>。

主要技術缺口：(1) 高深寬比結構內部缺陷的高速線上檢測；(2) 混合鍵合界面奈米級污染與空洞檢測；(3) 面板級翹曲與局部應力的即時控制；(4) AI 缺陷分類模型的跨產線泛化

能力；五、製程設備與檢測設備資料格式尚未完全標準化。

互補合作方向：建議以晶圓廠／封測廠定義量產痛點，設備商開發可量測與可控制的製程模組，材料商提供低翹曲與高可靠度材料，學研單位建立多物理場模型與 AI 檢測演算法，並以標準組織推動資料格式、檢測能力與可靠度驗證規範。

## 七、相關檢測設備之未來發展趨勢

1. 多模態檢測：整合 IR/NIR、可見光、3D 輪廓、X-Ray、聲學與電性量測，以降低單一訊號來源的誤判。此方向對應先進封裝檢測由單一影像判讀走向多物理訊號整合的趨勢<sup>(11, 12)</sup>。
2. AI 輔助缺陷分類：由規則式判讀轉向深度學習與主動學習，但需建立可解釋性、模型漂移監控與跨材料泛化能力。
3. 線上／準線上量測：提高掃描速度與自動上下料，讓檢測結果能在下一製程前即時回饋。
4. 大面積與面板級量測：因應 FOPLP 與玻璃基板，需提升大尺寸平台的定位、平坦度補償與翹曲量測能力。
5. 資料閉迴路：檢測結果需與製程參數、設備履歷、材料批號、缺陷地圖與可靠度結果連結，形成良率學習資料庫。
6. 低碳與資源效率：檢測與製程設備將逐步納入能耗、用水、化學品與碳足跡指標。

## 八、結論

3D IC 異質整合先進封裝的競爭核心，已由單一製程能力轉向系統級效能、製程穩定性、檢測攔截率與資料回饋能力的整合。熱阻與接面溫度決定可用功率與可靠度；TSV 與混合鍵合品質決定頻寬、延遲與功耗；薄化、暫時性接合／剝離與翹曲控制決定堆疊可製造性；IR/NIR、3D AOI、X-Ray 與翹曲量測則決定缺陷能否在高成本堆疊前被攔截。

我國在先進封裝量產生態系、工程回饋速度與跨領域協作方面具備高度優勢。未來持續強化自主濕製程、TBDB、再生晶圓、檢測量測與 AI 資料平台，並補強高階量測、標準化資料與材料／設備共同開發能力，將有助於在全球 3D IC 異質整合供應鏈中建立更具韌性的自主技術基礎。

在國內供應鏈中，辛耘企業可提供濕製程設備、單晶圓清洗/蝕刻、面板級濕製程、暫時性貼合／剝離、再生晶圓與相關製程整合服務，並可結合檢測量測技術，協助客戶進行設備導入、製程驗證、參數最佳化與良率改善。未來若能持續強化 IR/NIR、3D AOI、X-ray、AI 判讀與 SPC 資料平台等技術，將有助於建立更完整的 Team Taiwan 先進封裝自主供應鏈。

## 參考文獻

1. Yole Intelligence, Advanced Packaging Market Forecast, (2025).
2. 先進封裝技術崛起 SEMICON Taiwan 2025 引領全球協作開啟系統級創新, SEMI, (2025). Please refer to the website: [https://www.semi.org/zh/semicon\\_taiwan\\_2025\\_advanced\\_packaging](https://www.semi.org/zh/semicon_taiwan_2025_advanced_packaging).
3. Mordor Intelligence, 3D-IC Packaging Market Outlook, 2025.
4. John McMillan, "3D IC technology: comprehensive guide to enabling heterogeneous integration," Siemens EDA Blog, (2025). Please refer to the website: <https://blogs.sw.siemens.com/semiconductor-packaging/2025/05/19/3d-ic-guide-to-heterogeneous-integration/>

5. 張芊帆, 何茜, 田雨, 丰光銀, 3D IC 封裝技術中矽通孔研究進展綜述, 電子與信息學報, (2025)。
6. BusinessNext, 3D IC 先進封裝製造聯盟成立與台灣先進封裝生態系, (2025).
7. Chae Yeon Lee et al., *Electronic Materials Letters*, **21**, 395 (2025).
8. Kuan Lu et al., *ASME Journal of Manufacturing Science and Engineering*, **147** (12), 1 (2025).
9. Gugyeong Sung, “Advanced 3D Imaging Approach to TSV/TGV Metrology and Inspection Using Only Optical Microscopy,” *arXiv*, (2025).
10. QYResearch, Global Advanced Packaging Inspection and Metrology Equipment Market Research Report, (2025).
11. 呂建興, 從微缺陷到高深寬比: 半導體異質整合量檢測技術的革新, *IEK 產業情報網*, (2025). Please refer to the website: [https://ieknet.iek.org.tw/iekrpt/rpt\\_more.aspx?actiontype=rpt&indu\\_idno=0&domain=77&rpt\\_idno=850233951](https://ieknet.iek.org.tw/iekrpt/rpt_more.aspx?actiontype=rpt&indu_idno=0&domain=77&rpt_idno=850233951)
12. 借力 AI 與多元技術整合 先進封裝檢測突破良率瓶頸, 新電子科技雜誌, (2025). Please refer to the website: <https://www.mem.com.tw/%E5%80%9F%E5%8A%9Bai%E8%88%87%E5%A4%9A%E5%85%83%E6%8A%80%E8%A1%93%E6%95%B4%E5%90%88%E3%80%80%E5%85%88%E9%80%B2%E5%B0%81%E8%A3%9D%E6%AA%A2%E6%B8%AC%E7%AA%81%E7%A0%B4%E8%89%AF%E7%8E%87%E7%93%B6%E9%A0%B8/>

## 作者簡介

洪堂欽先生為國立中興大學物理所碩士，現為辛耘企業股份有限公司協理。

Tang-Chin Hung received his M.S. in the Department of Physics from National Chung Hsing University.

He is currently an Assistant Vice President in Scienteck Corporation Ltd.