

先進封裝失效分析之核心挑戰與 整合檢測流程：從系統定位到 TKD 奈米晶體驗證

Advanced Packaging Failure Analysis: Core Challenges and Integrated Inspection Workflow from Localization to Nanoscale TKD Verification

邱珮如

Pei-Ju Chiu

隨著半導體製程逼近物理極限，2.5D/3D 異質整合技術成為延續摩爾定律、提升系統效能的關鍵路徑。然而，高密度互連與多層異質材料堆疊，使失效機制由單一晶片轉向複雜的封裝界面。本文系統性介紹一套整合電性定位 (EMMI/LIT)、非破壞結構透視 (Nano-CT/SAM) 與精密離子束剖面 (PFIB) 的完整分析流程，並重點探討穿透式背向繞射 (transmission kikuchi diffraction, TKD) 技術在驗證 100 nm 以下奈米晶銅 (nanocrystalline copper, nc-Cu) 鍵合品質中的決定性作用。透過跨尺度檢測技術的整合，能將宏觀電性失效精確追溯至微觀晶體動力學，為下世代混合鍵合 (hybrid bonding) 研發提供整合流程。

As semiconductor process scaling approaches physical limits, 2.5D/3D heterogeneous integration technologies have emerged as the critical path for extending Moore's Law and enhancing system performance. However, high-density interconnects and multi-layered heterogeneous material stacks have shifted failure mechanisms from single chips to complex packaging interfaces. This paper systematically introduces a comprehensive analytical workflow integrating electrical localization (EMMI/LIT), non-destructive structural inspection (Nano-CT/SAM), and precision ion beam cross-sectioning (PFIB). Furthermore, it highlights the decisive role of transmission kikuchi diffraction (TKD) technology in verifying the bonding quality of nanocrystalline copper (nc-Cu) under 100 nm. Through the integration of multi-scale inspection techniques, macro-level electrical failures can be accurately traced back to micro-level crystal dynamics, providing scientific process feedback for the development of next-generation Hybrid Bonding.

一、前言：為何先進封裝成為失效分析的新戰場

隨著半導體製程微縮逐步逼近物理極限，單純依賴前段晶圓製程以提升效能與降低功耗的策略已難以為繼。在此背景下，先進封裝技術快速崛起，成為延續摩爾定律與系統效能成長的關鍵路徑。透過異質整合，將不同製程節點、不同功能晶片以及多元材料整合於單一封裝中，不僅大幅提升運算密度與系統效能，也重塑了半導體產品的設計與製造模式。然而，這樣的高整合、高密度結構，同時也使封裝層級從原本的「保護角色」，轉變為影響可靠度與良率的核心關鍵。

相較於傳統封裝，先進封裝在結構尺度、材料組成與製程複雜度上皆呈現指數級成長，熱－機械應力集中、高密度互連缺陷、材料界面附著失效等問題更為頻繁且隱蔽。失效位置往往發生於微米甚至奈米尺度的封裝內部結構，僅憑電性量測或外觀檢查已難以精準定位。這使得失效分析的挑戰，從過去以晶片本體為主，逐步轉移至封裝結構與系統層級。

在此趨勢下，先進封裝不僅改變了半導體產品的製造流程，也重新定義了失效分析的方法論與工具需求。如何在不破壞樣品的前提下，掌握封裝內部結構、材料狀態與潛在缺陷，已成為產業與研究單位共同面對的新課題。先進封裝，正逐步成為失效分析領域中最具挑戰性、也最具價值的新戰場。

二、先進封裝的技術與架構

2.1 先進封裝的發展背景

隨著半導體製程節點持續朝向 7 nm、5 nm，甚至 3 nm 以下微縮，電晶體尺寸已逐步逼近物理極限，單純仰賴前段製程 (front-end) 線寬縮小以提升效能與降低功耗的技術路徑，正面臨前所未有的挑戰。一方面，先進製程所需的設備投資與製造成本急遽攀升，使單位電晶體成本持續下降的經濟效益逐漸趨緩；另一方面，製程步驟與結構複雜度的大幅增加，也使良率控制與長期可靠度管理的難度顯著提升。摩爾定律的延續，已不再能依賴製程微縮本身來實現。

在此背景下，透過封裝層級進行系統效能整合與功能擴展的先進封裝 (advanced packaging)，逐漸成為半導體產業關鍵的技術發展方向。相較於傳統封裝主要著重於晶片保護與電性連接，先進封裝進一步將封裝視為系統設計的一環，使效能提升的戰場由單一晶片層級，延伸至多晶片整合與系統級最佳化。

先進封裝的核心精神，在於突破單一晶片尺寸與製程節點的限制，透過多顆晶片 (die) 於封裝層級進行高密度整合，實現更高的運算效能、更低的功耗、更大的資料傳輸頻寬，以及更小的系統體積。藉由將邏輯晶片、記憶體晶片、類比元件，甚至被動元件進行異質整合，可依不同功能需求選用最合適的製程節點，在效能、成本與功耗之間取得最佳平衡。

整體而言，如圖 1，2.5D、3D 封裝以及 Fan-out／晶圓級封裝等技術，已被視為延續摩爾定律的重要實踐路徑，亦屬於「More than Moore」策略的具體體現。隨著高效能運算 (high performance computing, HPC)、人工智慧 (artificial intelligence, AI)、高速通訊、先進車用電子與資料中心應用的快速發展，先進封裝不僅改變了晶片設計與製造模式，也對後續製程控制、分析檢測與可靠度驗證提出更高層級的技術要求。

Memory packaging approaches evolving from leadframe to advanced packaging based on TSV and hybrid bonding

(Source: Memory Packaging 2021, November 2021)

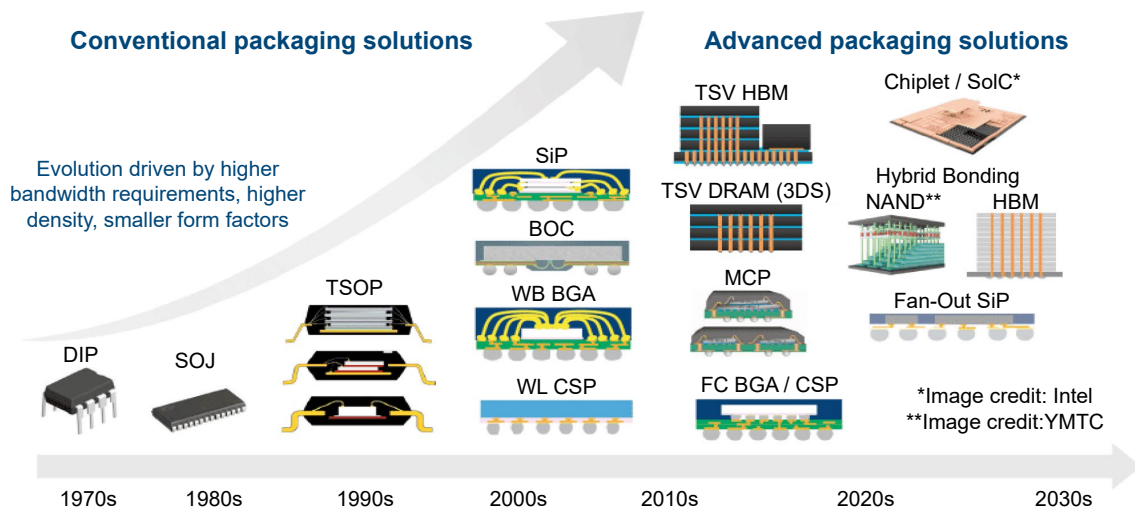


圖 1. 半導體效能提升路徑示意圖 (由製程微縮導向系統級整合，顯示先進封裝在延續摩爾定律中的角色)⁽¹⁾。

2.2 傳統封裝與先進封裝的差異

傳統封裝技術多以引線架 (leadframe) 或有機基板為基礎，透過打線 (wire bonding) 或覆晶封裝 (flip-chip) 方式，將晶片的輸入輸出 (I/O) 端點連接至封裝外部。此類封裝架構在製程成熟度、可靠性與成本控制方面具備明顯優勢，長期以來廣泛應用於消費性電子與一般運算產品。然而，隨著晶片效能與運算密度持續提升，其在 I/O 密度、訊號頻寬與散熱能力等方面的結構性限制逐漸浮現，已難以滿足高速運算與高功率應用的需求。

相較之下，先進封裝的設計核心著重於「短互連、高密度與異質整合」。透過微凸塊 (micro-bump)、再佈線層 (redistribution layer, RDL)，或混合鍵合 (hybrid bonding) 等先進互連技術，晶片之間的互連距離可由傳統封裝的毫米等級，大幅縮短至微米甚至次微米等級。此一特性可有效降低互連電阻與寄生電容 (RC delay)，減少訊號傳輸損耗，進而提升訊號完整性、頻寬表現與整體能效。

此外，先進封裝亦強調不同製程節點與不同功能晶片之間的整合彈性。例如，邏輯晶片可採用先進製程以提升效能，而記憶體、類比或 I/O 晶片則可選用成熟製程，以兼顧成本、良率與可靠度。此種異質整合 (heterogeneous Integration) 的設計思維，使系統架構不再受限於單一製程平台，顯著提升產品設計自由度與整體經濟效益。

如圖 2 所示，傳統封裝與先進封裝在設計目標與技術內涵上已呈現明顯差異。前者以封裝可靠度與成本為主要考量，後者則將封裝視為系統效能提升的關鍵技術之一。隨著高效能運算、人工智慧與高速通訊等應用持續推升系統整合需求，先進封裝已由輔助角色轉變為半導體產品競爭力的核心要素。



	Wire bond (1975)	Flip chip (1995)	Tcb bonding (2012)	HD fan out (2015)	Hybrid bonding (2018)
Architecture					
Contact type	 Wire	 Solder ball or copper pillar	 Copper pillar	 RDL or copper pillar	 Copper to copper
Contact density	 5–10/mm ²	 25–400/mm ²	 156–625/mm ²	 500+/mm ²	 10K-1MM/mm ²
Substrate	Organic/leadframe	Organic/leadframe	Organic/silicon	None	None
Accuracy	20–10 μm	10–5 μm	5–1 μm	5–1 μm	0.5–0.1 μm
Energy/bit	10 pJ/bit	0.5 pJ/bit	0.1 pJ/bit	0.5 pJ/bit	< 0.5 pJ/bit

圖 2. 晶圓級封裝技術演進歷程⁽²⁾。

2.3 主要先進封裝技術類型

隨著系統整合需求與效能指標持續提升，先進封裝已發展出多種技術架構、如圖 3 所示，以因應不同應用情境在效能、成本與可靠度之間的取舍需求。其中，以 2.5D 封裝、3D 封裝，以及 Fan-out／晶圓級封裝，為目前最具代表性的三大技術類型。

2.3.1 2.5D 封裝架構

2.5D 封裝通常以矽中介層 (silicon interposer) 為核心，將多顆晶片以平面並排方式配置於中介層上，並透過高密度金屬佈線與矽穿孔 (through-silicon via, TSV) 實現高速訊號互連。此一架構在不進行晶片垂直堆疊的情況下，即可提供接近 3D 封裝的互連效能，兼顧高頻寬與設計彈性。

該類技術已廣泛應用於高頻寬記憶體 (high bandwidth memory, HBM) 與高效能運算晶片的整合，在效能提升、設計彈性與製程成熟度之間取得良好平衡，特別適合 AI 與 HPC 等對記憶體頻寬需求極高的應用。然而，矽中介層的製作成本、尺寸擴展限制，以及 TSV 製程的複雜性，仍是其進一步普及所需面對的主要挑戰。

2.3.2 3D 封裝與垂直堆疊

3D 封裝技術進一步將多顆晶片進行垂直堆疊，並透過 TSV 或混合鍵合 (hybrid bonding) 技術，實現晶片對晶片 (die-to-die) 的直接電性連接。相較於 2.5D 架構，3D 封裝可大幅縮短訊號傳輸路徑，顯著提升頻寬密度與系統整合度，並降低互連延遲與功耗。

此類架構特別適用於記憶體堆疊與邏輯－記憶體高度緊密整合的應用。然而，隨著堆疊層數增加，功率密度與熱通量顯著上升，使 3D 封裝在熱管理、機械應力控制與製程良率方面面臨更高挑戰，亦對材料選擇、製程整合能力與可靠度驗證提出更嚴苛的要求。

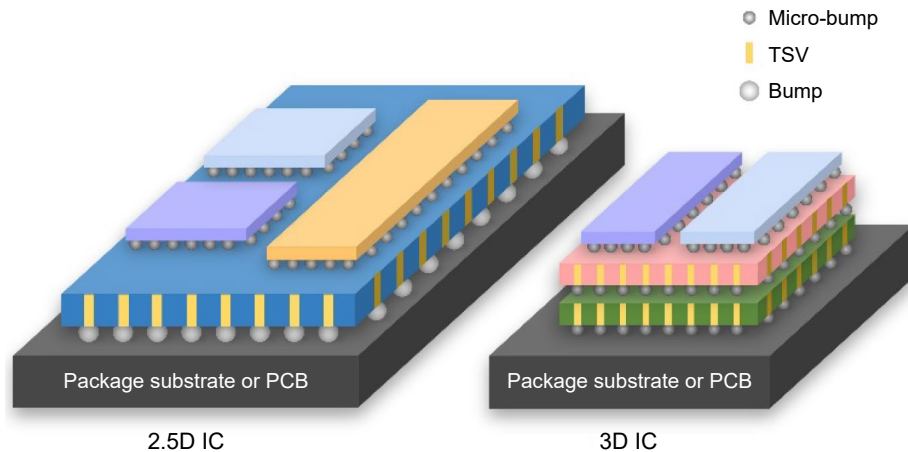


圖 3. 2.5D 與 3D 整合架構之結構對比示意圖。(左圖) 2.5D IC 封裝：晶片 (如 Logic SoC、Memory) 水平配置於矽中介層之上，透過高密度再佈線層實現高速互連。(右圖) 3D IC 封裝：採用垂直堆疊方式，大幅縮短訊號傳輸距離。此類高密度結構對失效定位與界面分析提出了更高層級的技術挑戰。

2.3.3 扇出型晶圓級封裝

如圖 4 所示，扇出型晶圓級封裝 (fan-out wafer level packaging, FOWLP) 透過重組晶圓與多層再佈線層製程，實現高密度互連而不依賴傳統有機基板。相較於以基板為核心的封裝架構，Fan-out 技術具備封裝厚度薄、I/O 擴展性佳，以及潛在成本優勢等特點，早期多應用於行動裝置與消費性電子產品。

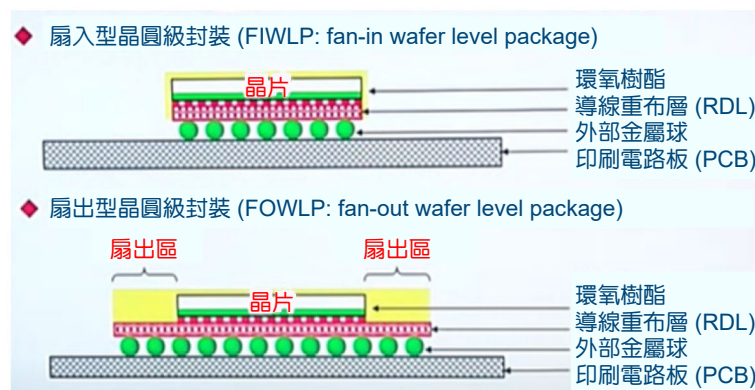


圖 4. 扇入型 (Fan-In) 與扇出型 (Fan-Out) 晶圓級封裝結構對比圖⁽³⁾。

近年來，隨著 RDL 製程解析度提升與多晶片整合需求增加，Fan-out 技術逐步延伸至高階應用，發展出多晶片 Fan-out 系統封裝 (fan-out system in package, fan-out SiP) 與面板級封裝 (panel level packaging, PLP)，成為介於傳統封裝與高階 2.5D/3D 封裝之間的重要技術選項^(4,5)。

三、先進封裝失效分析之整合流程與策略

由於先進封裝同時涉及高密度互連、多層材料堆疊與異質製程整合，其失效機制相較於傳統封裝更為多樣且複雜。整體而言，先進封裝的失效模式可概略歸納為下列四大類型，且不同失效型態在發生位置、尺度與形成機制上皆存在顯著差異，對應的分析策略與檢測工具亦不盡相同。

(一) 電性失效

電性失效主要表現為開路 (open)、短路 (short) 與漏電 (leakage) 等異常現象，常直接反映於產品功能失效或量測異常。其成因可能來自互連結構破壞、導體間距不足、介電層劣化，或局部材料缺陷所導致。由於電性異常往往是最早被觀察到的失效徵兆，但實際缺陷位置可能隱藏於封裝內部深層結構，使得後續精準定位成為分析上的關鍵挑戰。

(二) 結構與互連失效

隨著互連尺度持續微縮，再佈線層斷裂、穿矽導通孔裂縫，以及微凸塊 (micro-bump) 空洞、偏移或塌陷等問題日益常見。此類失效多與製程應力集中、材料性質不匹配或長期熱循環疲勞有關，且缺陷尺度通常落在微米甚至次微米等級，使其難以透過傳統破壞式分析手法完整掌握。

(三) 材料與界面劣化

材料與界面相關失效在先進封裝中扮演關鍵角色，包括金屬間化合物 (intermetallic compound, IMC) 異常成長、鍵合界面污染、界面附著力不足或混合鍵合不良等。由於先進封裝大量依賴多材料界面來實現高密度整合，任何微小的界面缺陷皆可能在後續熱應力或電性操作下被放大，最終演變為系統性失效。

(四) 熱與熱機械應力失效

高功率密度與多晶片堆疊使先進封裝面臨嚴峻的熱管理挑戰，熱疲勞、翹曲 (warpage) 以及局部熱失控等問題日益突出。熱－機械應力不僅可能直接導致結構破壞，也往往與其他失效型態交互影響，成為加速電性、結構與界面劣化的重要觸發因素。

綜合而言，先進封裝失效往往並非單一機制所致，而是多重物理效應交互作用的結果。這也使得失效分析必須結合多尺度、非破壞式與高解析度的檢測技術，才能有效對應不同失效型態的分析需求。

3.1 電性失效：從系統到封裝層級定位技術

在先進封裝晶片的失效分析流程中，精準的失效定位是後續結構觀察與材料分析能否成功的關鍵前提。由於先進封裝的訊號路徑往往跨越多顆晶片、再佈線層、中介層或垂直互連結構，單一量測手段已難以全面掌握失效位置，實務上需結合多種電性與光學定位技術，由系統層級逐步收斂至封裝內部的潛在缺陷區域。

目前常用的電性失效定位技術包括下列幾類：

- 發射顯微鏡 (emission microscopy, EMMI)／近紅外發光顯微 (near-infrared emission

Microscopy, nIR-EMMI)：透過偵測半導體元件在漏電、微短路或靜電放電 (electrostatic discharge, ESD) 事件下所釋放的微弱光子發射，以非破壞性方式精準定位異常發光點 (hot spots)。隨著晶片走向多層立體堆疊，傳統可見光波段易受金屬層阻擋；而近紅外光 (nIR) 因具備更佳的矽 (Si) 基材穿透能力，特別適用於厚封裝結構與晶片背面入射 (backside) 分析。實務上，此技術多搭配高靈敏度的銦鎵砷 (InGaAs) 感測器，能有效克服先進製程晶片的背景雜訊，大幅提升缺陷定位的精準度。

- 雷射光束電阻異常偵測 (optical beam induced resistance change, OBIRCH)：利用雷射局部加熱所引發的電阻變化，搭配電性量測訊號，定位高阻抗、接觸不良或間歇性失效問題。此技術對於傳統量測難以穩定重現的失效型態，具有相當高的實務價值。
- 光發射顯微鏡 (photon emission microscopy, PEM)：先進封裝內部整合了大量的異質晶片 (如邏輯晶片與 HBM)，其高速 I/O 互連區域與再佈線層在操作時面臨極高的電流密度。PEM 技術能有效排除封裝結構引起的複雜背景反射，針對高密度互連結構中的漏電路徑、過載 (overstress) 區域或介電層微小崩潰點，展現出優異的瞬態靈敏度與空間定位能力，協助工程師釐清高頻訊號傳輸時的電性失效。
- μ -IR 熱影像與鎖相熱成像 (lock-in thermography)：藉由量測局部溫升或週期性熱響應，觀察封裝內部的熱異常分佈，特別適用於高功耗運作條件下的 AI 與 HPC 晶片。此類技術能在不直接接觸樣品的情況下，快速縮小潛在失效範圍，作為後續結構分析的重要依據。

整體而言，電性失效定位技術在先進封裝分析中扮演「導航工具」的角色，協助分析人員在複雜的多層封裝結構中快速鎖定可疑區域。隨著封裝結構持續微縮與系統整合度提升，如何有效整合多種電性與光學定位手段，已成為先進封裝失效分析流程中不可或缺的核心能力。

3.2 結構與互連失效

非破壞結構分析：看見封裝內部世界

在完成失效定位之後，進入非破壞性結構分析 (nondestructive structural analysis, NDSA) 是先進封裝失效分析流程中不可或缺的關鍵步驟。由於先進封裝內部結構高度複雜，且缺陷往往位於多層堆疊或封裝深層位置，若未經充分的結構確認即進行切割或研磨，極易導致缺陷被破壞、遺失或誤判。透過非破壞分析技術，可在保持樣品完整性的前提下，掌握封裝內部的實際結構狀態，為後續精準剖面與材料分析建立可靠依據。

- X-ray (2D / 3D CT)：X-ray 檢測是先進封裝中最常用的非破壞分析工具之一，可快速觀察矽穿孔 (TSV)、焊點空洞、微凸塊缺陷與 RDL 走線異常等結構問題。由傳統 2D X-ray 到 3D 斷層掃描 (computed tomography, CT)，分析能力可由平面投影提升至三維結構重建，特別適合用於多層互連與堆疊結構的整體評估。圖 5 是 X-ray 3D 影像範例結果。
- SAM / C-SAM (超音波掃描式顯微)：超音波顯微鏡 (scanning acoustic microscope, SAM) 在 IC 構裝可靠度分析中具備高度實用性，特別是在非破壞檢測封裝內部界面缺陷方面展現出關鍵價值。透過高頻超音波掃描與聲阻抗差異判讀，可有效辨識封裝內部的分層、空洞與裂縫等失效徵象，為構裝可靠度評估提供一項不需破壞樣品的分析手段。

封裝內不同材料介面 (如晶片、黏著層與封裝樹脂) 在經歷溫度循環、濕熱或高溫儲存等可靠度試驗後，極易產生界面型缺陷，而這類缺陷正是造成封裝失效的主要根源。相較於需進行截面破壞的傳統分析方式，超音波顯微鏡能在試驗前後進行快速掃描與比對，掌握缺陷生成與擴展行為，因而被定位為可靠度試驗中關鍵的前段篩選與品質監控工具。

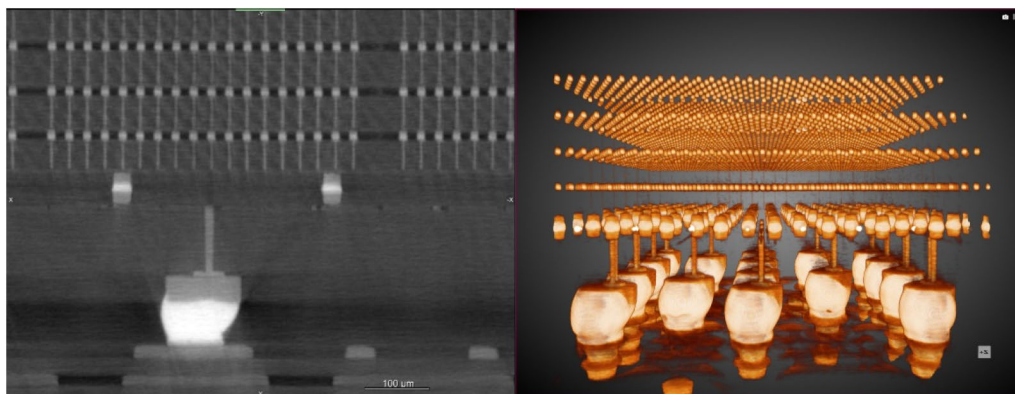


圖 5. 先進封裝之 X-ray 3D 斷層掃描 (CT) 影像。

進入現代先進封裝階段，封裝技術已由傳統引線架形式，演進至 Flip-Chip、晶圓級封裝 (wafer-level packaging, WLP) 以及 2.5D 異質整合架構。此類封裝型態普遍具有高 I/O 密度、薄型化結構與多材料堆疊特性，使封裝內部界面數量顯著增加，且熱機械應力更為集中。特別是在微凸塊、再佈線層、Underfill 與矽中介層 (interposer) 等關鍵結構中，任何微小的界面分層或空洞皆可能在後續可靠度試驗中快速擴展，進而影響電性與結構完整性。

在此背景下，超音波顯微鏡所奠定的非破壞性界面檢測概念，不僅未隨封裝技術演進而被取代，反而成為現代先進封裝可靠度分析中更為關鍵的基礎工具。透過高解析度 C-scan 與多深度成像能力，超音波顯微鏡可有效應用於 Flip-Chip Underfill 完整性評估、WLP 封裝層間分層檢測，以及 2.5D 封裝中晶片－中介層界面的可靠度監控，並與 X-ray、截面分析等技術形成互補，構築完整的先進封裝分析與失效預警體系。

3.3 材料與界面劣化－揭示界面與微結構的關鍵證據

先進封裝失效分析中，結構異常往往只是表象，真正的根因多隱藏於材料與界面的微觀層級。因此，材料與界面分析是將「失效現象」轉化為「物理機制」的關鍵階段，也是判定根本原因 (root cause) 的決勝環節。

3.3.1 機械研磨 (mechanical cross section)

機械研磨剖面常被作為先進封裝分析中精密量測前的首要結構檢視手段。圖 6 是針對 NVIDIA A100 晶片的研磨結果，藉由對該研磨面的影像觀察，能清楚了解 CoWoS-S 架構的整體輪廓。然而，此技術的解析度與界面完整性高度依賴研磨條件的精密控制，對於奈米尺度的微細缺陷與早期界面劣化的判讀，能力仍具侷限。

在多層薄膜與異質材料高度整合的先進封裝結構中，截面品質已成為影響分析可信度的關鍵因素。然而在奈米尺度薄層與多材料介面並存的情況下，若處理不當，容易產生層間拖曳、塑性變形或分層等問題。機械研磨雖屬物理性材料去除技術，仍是截面分析流程中不可或缺的前段步驟，其核心價值在於能有效完成大面積材料去除與結構定位，為後續高解析分析奠定穩定基礎。透過與低能量離子束精修等技術的整合應用，機械研磨不僅可提升截面平整度，更能降低分析假象風險，進而確保先進封裝中薄層結構與介面失效判讀的可靠性。

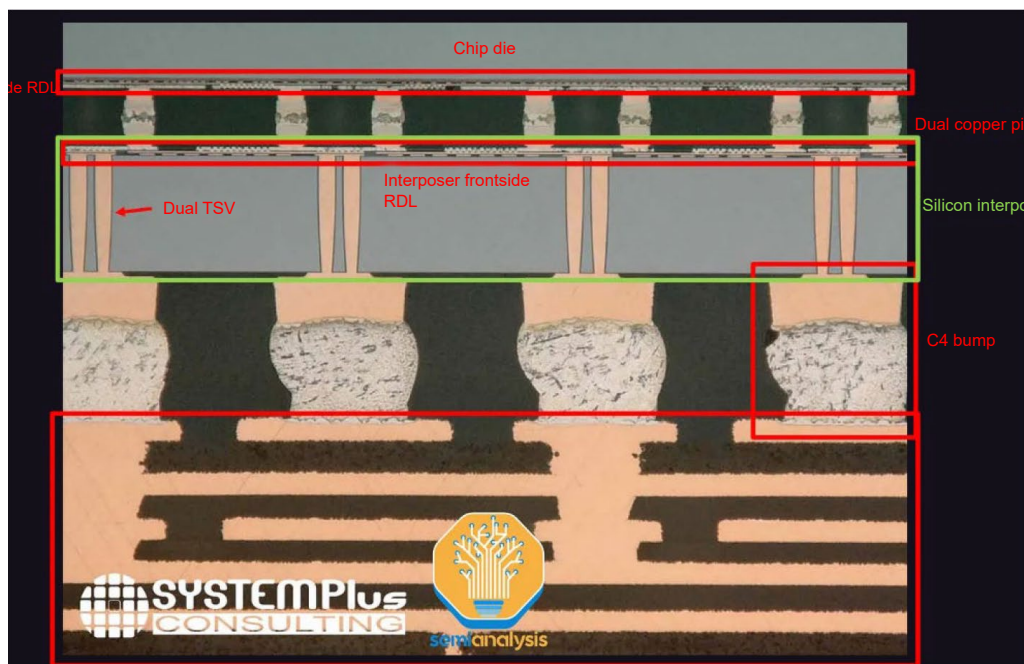


圖 6. NVIDIA A100 先進封裝架構截面圖⁽⁶⁾。該架構採用 CoWoS-S 技術，清晰呈現矽中介層 (Silicon Interposer) 內的高密度 TSV 與多層 RDL 互連結構。

3.3.2 離子束研磨 (ion beam polishing / FIB)

聚焦式離子束技術可進行高精度且具高度重複性的局部剖面製作，特別適用於高深寬比 TSV、厚型先進封裝結構，以及關鍵材料界面的精準切割與失效定位。透過與掃描式電子顯微鏡整合的 FIB-SEM 系統，可在剖面加工過程中同步取得高解析形貌與結構資訊，大幅提升先進封裝失效分析的效率與準確度。另一方面，Plasma FIB 採用高電流電漿離子源，在大面積材料去除效率上具有顯著優勢，特別適合應用於先進封裝中尺度較大或厚度較深之結構剖析需求，彌補傳統 FIB 在加工效率上的限制。

相較於機械研磨著重於整體輪廓與大面積定位，離子束研磨則是先進封裝分析中不可或缺的高解析截面製備技術，特別適用於奈米尺度薄層與關鍵界面的精細觀察。表 1 是機械研磨與 FIB 離子束製備的技術比較結果。在多層薄膜與異質材料高度整合的封裝結構中，如微凸塊、再佈線層與晶片—中介層界面，其結構特徵尺寸已趨近甚至低於傳統機械加工的物理極限；因此，離子束研磨遂成為精確還原微觀結構、深層解析潛在失效機制的關鍵技術。

離子束研磨能以高度可控的方式移除材料，獲得平整且解析度極高的截面，有助於辨識奈米薄層厚度變化、界面連續性及早期失效徵象。然而，離子束製程本身仍可能引入離子損傷、再沉積效應與局部熱影響，若未妥善控制，反而可能造成結構假象。因此，在先進封裝實務中，離子束研磨多被定位為後段精修與關鍵區域分析工具，並與前段機械研磨相互搭配，以兼顧結構定位效率與奈米尺度解析需求。透過此種分工整合的截面製備流程，方能在複雜先進封裝結構中，建立兼具效率與分析可信度的失效分析基礎。

表 1. 機械研磨與 FIB 離子束製備比較。

機械研磨 (Mechanical Cross Section)		離子束製備 (Ion beam polishing / FIB)
解析度	中等 (μm 等級) 呈現整體封裝層級與結構輪廓	極高 (nm 等級) 適合奈米薄層、關鍵材料界面
製備速度	快速 適合大面積材料初步去除	傳統 FIB：較慢 (高精度) Plasma FIB：中至快 (高去除率)
材料去除能力	大面積、非選擇性	傳統 FIB：小區域、精準 Plasma FIB：大面積、深結構
結構真實性風險	中等 可能產生層間拖曳、塑性變形、假性分層	中等 可能有離子損傷、再沉積、局部熱效應 (與束能控制相關)
適用結構尺度	封裝整體結構、晶片堆疊、層級分布	奈米薄層、micro-bump、RDL、TSV、晶片／中介層界面
高深寬比結構能力	受限	優異 特別適用於高深寬比 TSV 與厚型先進封裝
失效定位能力	結構層級判讀	高精度、具重複性之局部剖面製作與失效定位
分析角色定位	前段截面製備與結構定位工具	後段高解析與精準失效分析核心技術 PlasmaFIB：厚結構、大尺度剖析
先進封裝應用實例	Flip-chip/WLP 封裝層級確認 2.5D 結構整體輪廓	TSV 剖面、micro-bump 界面 2.5D/3D 異質整合失效定位

3.3.3 穿透式電子顯微鏡／掃描式穿透電子顯微鏡：原子尺度根因解析的關鍵證據

穿透式電子顯微鏡 (transmission electron microscope, TEM) 與掃描式穿透電子顯微鏡 (scanning transmission electron microscope, STEM) 具備奈米乃至原子尺度的結構解析能力，是先進封裝界面與材料分析中最具決定性的工具之一。其高解析成像結合元素分析技術 (如能量色散光譜、電子能量損失譜)，能精確揭示混合鍵合界面、超薄介電層與奈米級缺陷結構的微觀特徵，深入驗證材料擴散行為、界面反應機制，以及晶格不連續或空洞生成等深層失效現象。

相較於僅能呈現形貌的顯微技術，TEM/STEM 可同時提供結構與化學組成資訊，使失效現象得以轉化為可量化、可驗證的物理證據。因此，在先進封裝高階失效分析流程中，TEM 分析結果往往被視為判定根本原因的最終關鍵依據。透過多尺度顯微技術的交互驗證，方能完整重建失效形成路徑，並為製程優化與可靠度設計提供具體科學基礎。

3.3.4 FIB-TEM 整合：精準定位與原子級驗證的標準流程

在實務應用上，TEM 分析幾乎皆需搭配聚焦離子束 (focused ion beam, FIB) 進行定點截面製備。隨著 3D IC 與高密度互連架構的發展，缺陷常分佈於 TSV 底部、RDL 轉角、微凸塊界面或鈍化層邊界等奈米尺度區域。這些關鍵位置不僅結構複雜，且缺陷尺寸極小，傳統機械研磨難以準確定位並保留完整界面形貌。

FIB 技術可依據電性定位結果進行精準切割，製備厚度僅數十奈米的薄片樣品，確保缺陷核心區域完整保留且不受二次破壞。典型分析流程通常包括：電性失效定位 (如發射顯微鏡 (emission microscopy, EMMI) / OBIRCH)、X-ray 或 CT 影像縮小範圍、FIB 定點取樣，

以及後續 TEM/STEM 的原子級結構與元素分析。此一 FIB-TEM 整合流程已成為 3D IC、HPC 及 AI 高階封裝失效解析的標準方法。

透過該流程，可有效揭示界面奈米空洞、晶粒異常成長、元素偏聚與擴散行為等關鍵失效機制，將宏觀失效現象精準對應至微觀物理成因，為現代先進封裝可靠度研究提供最具說服力的技術證據。

在完成結構剖面與顯微影像觀察後，雖已能掌握缺陷位置與形貌特徵，但單純的結構影像往往仍不足以完整解釋失效機制。許多先進封裝失效並非源自明顯幾何缺陷，而是來自材料層級的變化，例如晶粒結構、元素擴散、界面反應或應力誘發的微觀組織轉變。因此，材料分析成為確認根本原因的重要關鍵步驟。

以近年廣泛應用於先進邏輯與高頻應用的 Hybrid Bonding 與 Cu-Cu 直接鍵合為例，這類技術強調金屬間的原子級接觸與擴散接合，其可靠度高度依賴界面晶體結構與材料品質。即使在結構影像中未觀察到明顯空洞或裂縫，若界面存在晶粒取向不連續、再結晶不完整或應力誘發的晶界弱化現象，仍可能在後續熱循環或操作條件下引發電性失效或機械破壞。因此，必須進一步結合材料分析技術，才能釐清真正的失效根因。

整體而言，材料分析是將「結構現象」進一步轉化為「材料機制」的關鍵階段。透過晶體結構、元素分佈與化學狀態的多面向證據整合，才能完整解釋先進封裝中的複雜失效行為。

3.3.5 電子背向散射繞射分析

電子背向散射繞射 (electron backscatter diffraction, EBSD) 是一種結合於掃描式電子顯微鏡 (SEM) 中的晶體結構分析技術，可用於量測材料的晶粒尺寸、晶粒取向、晶界分佈與再結晶狀態。在先進封裝的 Cu-Cu 鍵合界面分析中，EBSD 能清楚呈現兩側銅晶粒的取向關係，並判斷是否形成連續的晶體結構。

若鍵合界面存在高角度晶界、晶粒成長不均或殘留變形結構，將可能形成電阻較高或機械強度較弱的區域，進而成為潛在失效源。透過 EBSD 的晶體取向映射 (orientation mapping)，可直接觀察界面再結晶情形與晶粒跨界面成長現象，為判定鍵合品質提供具體證據。

3.3.6 元素與化學分析 (EDS / EELS / AES)

除了晶體結構外，界面元素分佈與化學狀態亦是影響可靠度的重要因素。常見的材料分析技術包括：

- 能量色散光譜 (energy dispersive spectroscopy, EDS)：結合 SEM 或 TEM，可進行元素定性與半定量分析，用於檢測界面污染、異常元素擴散或金屬間化合物生成。
- 電子能量損失譜 (electron energy loss spectroscopy, EELS)：搭配 TEM 使用，可分析元素鍵結狀態與化學環境，適用於超薄介電層或奈米界面反應研究。
- 歐傑電子能譜 (Auger electron spectroscopy, AES)：具備極高表面敏感度，可分析數奈米厚度的界面污染、氧化層或有機殘留，常用於鍵合失效的表面機制解析。

透過晶體結構、元素分佈與化學狀態的多面向證據整合，才能完整解釋先進封裝中複雜的失效行為，並為製程改善與可靠度設計提供科學依據。

表 2 是先進封裝應用的各種失效分析技術說明。在 Hybrid Bonding 與 Cu-Cu 直接鍵合等新世代互連技術中，材料層級的界面品質往往決定最終產品的可靠度表現。因此，結構觀察與材料分析的整合，已成為先進封裝失效分析流程中不可或缺的核心環節。

表 2. 先進封裝失效分析技術與應用特性總表。

分析層級	失效型態	推薦分析工具	物理機制／偵測原理	關鍵輸出資訊
1. 電性定位	開路 (Open)	nIR-EMMI	偵測載子複合產生的近紅外微弱發光	異常發光點 (Hot spot) 位置
	短路 (Short)			
	漏電 (Lcakage)			
	高阻抗／接觸不良	OBIRCH	雷射局部加熱引起的電阻變化變量	電流異常分布圖
2. 非破壞結構	熱失效／功耗異常	Lock-in thermography	週期性熱輻射信號偵測	封裝內部熱源分布
	焊點空洞／TSV 斷裂	3.5D X-ray (CT)	X 射線穿透不同密度材料的衰減差異	三維結構重建影像
	界面分層／裂縫	C-SAM (超音波)	高頻聲波在不同材料界面的反射與阻抗	界面分層 (Delamination) 區域
3. 截面製備	結構輪廓觀察	機械研磨	物理磨削去除大面積材料	毫米至微米級全域影像
	高深寬比／局部精修	Plasma FIB / FIB	電漿或銻離子束定點物理轟擊	奈米級平整觀測截面
4. 微觀物理分析	奈米缺陷／擴散層	HR-TEM / STEM	高能電子穿透樣品產生繞射與散射	原子級形貌與晶格取向
	元素偏聚／污染	EDS / EELS	激發特徵 X 射線或電子能量損失譜	元素成分定性與定量分布
	鍵合品質／應力	EBSD	電子背向散射繞射產生的菊池線圖	晶粒取向 (IPF) 與再結晶狀態
5. 熱機械分析	封裝翹曲 (Warpage)	Shadow moire	利用光柵干擾條紋，量測樣品在受熱過程中的位移變化。	隨溫度變化的翹曲曲線圖 (Warpage profile)

3.4 熱與熱機械應力失效分析：高功耗時代的關鍵課題

在高效能運算與人工智慧應用快速發展的推動下，封裝功耗密度與熱通量持續攀升，使熱機械可靠度成為先進封裝設計中的核心課題。玻璃基板及玻璃通孔互連 (through-glass via, TGV) 技術，因其熱膨脹係數 (coefficient of thermal expansion, CTE) 接近矽、尺寸穩定性佳與高頻訊號損耗低等優勢，被視為次世代高密度封裝載板的重要候選材料。然而，其熱機械可靠性仍是導入量產的關鍵挑戰。

近期綜述指出，玻璃材料的脆性本質以及其與金屬互連結構 (如銅填孔與 RDL) 之間的 CTE 差異，會在製程熱載入 (如電鍍退火、回焊) 與環境溫循條件下產生顯著的應力集中，進而導致基板翹曲、界面剝離與裂紋萌生等熱失效模式。相較於有機載板，玻璃缺乏塑性緩衝能力，一旦局部應力超過斷裂強度，即可能發生脆性破壞。

對於 TGV 結構而言，其失效機制更具複雜性。熱處理與溫度循環會造成銅填孔與玻璃基材間的應力不匹配，不僅可能引發玻璃側壁裂紋擴展，亦可能導致界面滑移、銅突出 (Cu protrusion) 或微裂縫形成。相關研究強調，TGV 線密度、孔徑尺寸與長寬比 (aspect ratio) 等幾何設計參數，皆會顯著影響應力分佈與臨界破壞條件，其安全操作範圍須透過熱－機耦合模擬與實驗驗證進行量化評估⁽⁷⁾。

因此，在高功耗與高熱通量條件下，熱失效與可靠度分析已從單純的測試驗證，進一步轉向設計前期的預測與優化。透過有限元素分析 (finite element analysis, FEA) 結合材料力學

參數與實測數據，可在設計階段評估熱載入過程中的應力演化，避免結構應力超越玻璃與界面材料的破裂門檻。此類跨尺度熱－機整合分析方法，已成為先進封裝可靠度驗證與製程優化流程中的關鍵環節，也是支撐高功耗世代封裝技術持續演進的重要基礎。

3.5 實施案例：混合鍵合與高密度互連之跨尺度失效分析

隨著高效能運算晶片對頻寬的需求激增，2.5D 矽中介層技術與混合鍵合已成為主流整合方案。然而，其複雜的多層材料堆疊與微縮的互連尺度，對失效分析 (failure analysis, FA) 提出了極高挑戰。本案例透過先進儀器，針對複雜封裝結構進行精準診斷與界面品質驗證。

案例一、封裝層級之結構導航與風險定位

在處理如資料中心之大型 2.5D 封裝時，首先須掌握其複雜的層次結構。樣品由上至下包含處理器晶片、再佈線層、矽中介層以及連接至載板的 C4 錫球⁽⁸⁾。

- 雙穿矽通孔 (dual TSV)：位於矽中介層內部，負責垂直訊號傳輸。此處為應力集中區，易發生側壁裂紋或電鍍空洞。
- 前端再佈線層：具備極高的線路密度，任何製程殘留物皆可能導致微短路或漏電失效。
- 關鍵分析路徑：若電性測試發現訊號異常，可先以 nIR-EMMI 進行背面定位，再結合 3D X-ray (CT)，對該佈線層進行非破壞式立體重建，確認是否存在斷裂或塌陷、如圖 7 所示。

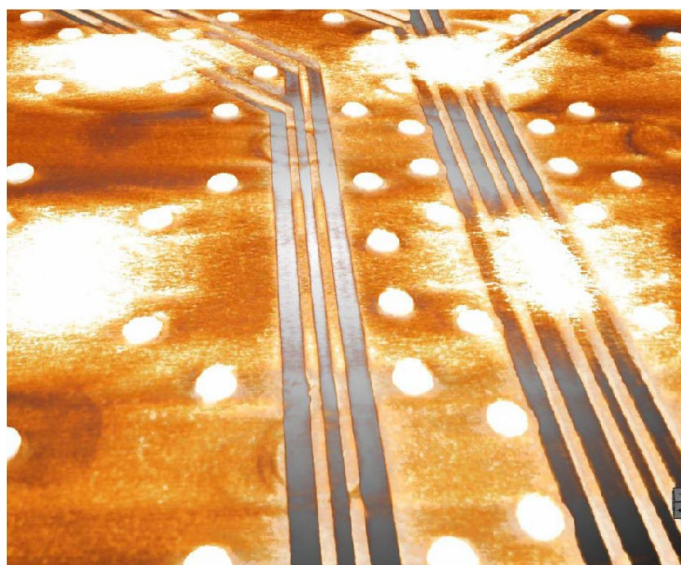


圖 7. 先進封裝佈線層透過 3D X-ray 的斷裂缺陷定位。

案例二、微觀界面：奈米晶銅 (Nanocrystalline Copper, nc-Cu) 接合之晶體驗證

隨著先進封裝進入次微米級互連範疇，混合鍵合 (hybrid bonding) 技術的良率關鍵，在於接合界面處的原子擴散品質。本案例之圖 8 採用國立陽明交通大學材料科學與工程學系陳智教授實驗室所提供之奈米晶銅 (nc-Cu) 試樣進行晶體結構驗證。由於 nc-Cu 的初始晶粒尺寸普遍低於 100 nm，具備極高的晶界能，因而能展現優異的低溫界面接合潛力。然而，面對此類超細微結構，傳統電子背向散射繞射的空間解析度已達物理極限，難以精準判讀，因而必須導入透射菊池繞射 (TKD) 技術進行奈米級分析。

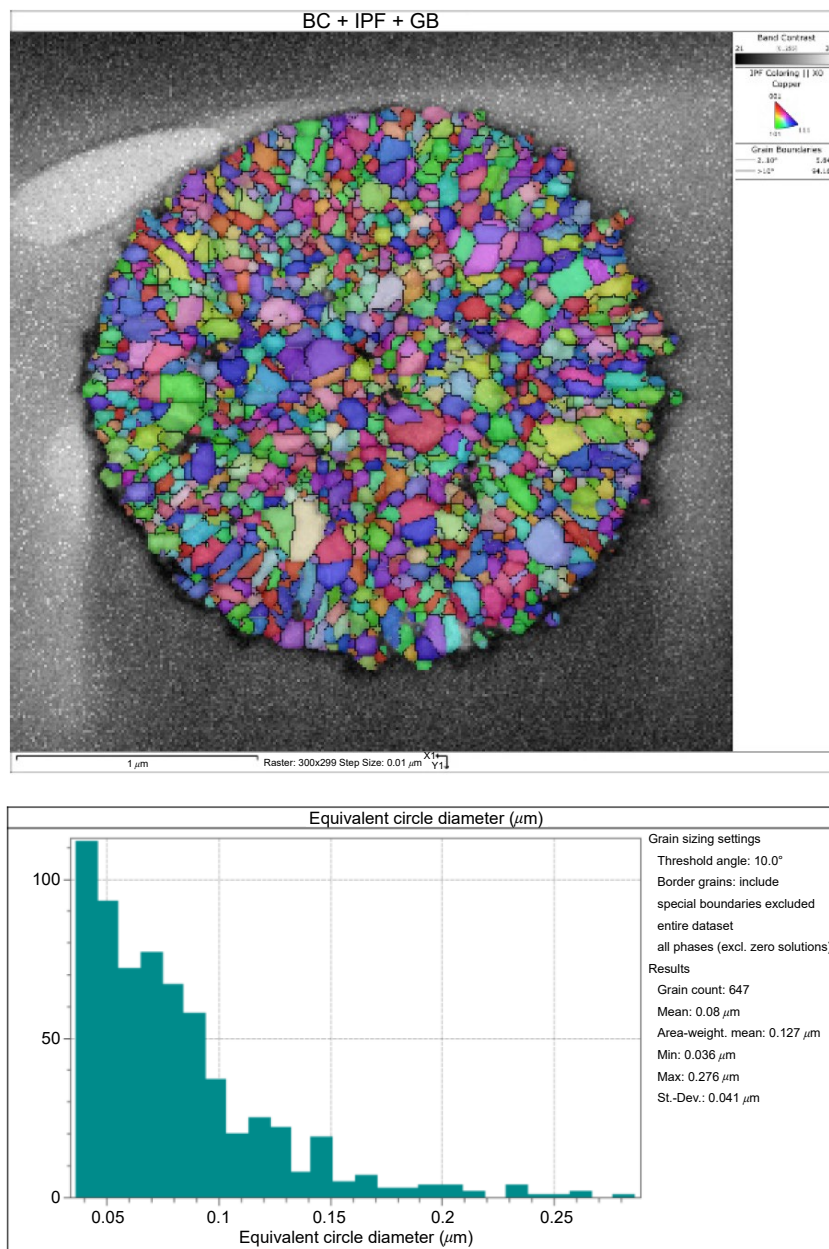


圖 8. 奈米晶銅 (nc-Cu) 接合界面之 TKD 晶粒映射 (Grain Mapping) 分析圖。該技術成功克服傳統 EBSD 之應變干擾與解析度限制，精準重現奈米級晶粒組織與取向分佈。

2.1 TKD 奈米級晶粒映射分析：突破物理極限的解析技術

在 nc-Cu 界面解析中，傳統 EBSD 面臨解析度與訊號干擾的限制。相較之下，TKD 技術藉由創新的鑑定幾何架構與試樣製備方式，展現出兩大核心物理優勢⁽⁹⁾。

- 空間解析度跨世代提升：傳統 EBSD 的空間解析度通常受限於 100 nm 左右；而 TKD 技術則可將其大幅推進至 10–20 nm，成功突破塊材量測的傳統物理限制。
- 降低交互作用體干擾：在傳統 EBSD 量測中，高能電子束入射塊材表面後會形成龐大的交互作用體 (interaction volume)，導致相鄰晶粒的訊號產生重疊混雜。TKD 則改採聚焦離子束 (FIB) 製備厚度僅約 50–100 nm 的薄片試樣，使電子束在激發大規模散射前便直接穿

透試樣，從而將交互作用體積縮減至極致。如圖 8 所示範例，此項突破能確保所獲取的菊池圖 (Kikuchi patterns) 具備高對比度與高空間特異性，即便是接合界面處極微弱的局部晶格扭曲 (lattice distortion)，亦能被精準捕捉。

四、結論：跨尺度整合檢測是先進封裝量產的基石

隨著先進封裝技術邁向異質整合、三維堆疊與高功耗應用，封裝已不再只是晶片的保護結構，而是決定系統效能與可靠度的核心平台。從設計驗證、製程開發到量產導入，每一個階段都潛藏不同形式的失效風險。若缺乏系統化的失效分析機制，任何微小的材料缺陷或界面異常，都可能在量產後被放大，進而影響產品良率與長期可靠度。因此，失效分析不僅是問題發生後的補救手段，更是支撐先進封裝穩定量產的關鍵基石。

面對微縮化與立體化的結構挑戰，建立一條從非破壞性檢測、精密剖面製備、奈米尺度顯微觀察，到晶體結構與材料化學分析的「跨尺度、跨技術整合檢測流程」，已成為半導體研發與失效分析鏈中不可或缺的關鍵。透過非破壞性物理定位、聚焦離子束精密加工與電子顯微鏡微觀特徵分析的有機結合，分析技術能突破過往單一儀器的檢測盲點，展現宏觀到微觀的系統化解析能量。

這種跨領域的整合分析能力，能協助產業在面對高度複雜的異質介面時，快速定位問題、釐清失效機制，並提出具體的製程改善方向。唯有在產品開發與量產各階段，持續導入專業的失效分析與材料研究能量，才能確保先進封裝技術在高效能與高可靠度之間取得最佳平衡，進而驅動下一代半導體系統整合技術的穩定演進。

參考文獻

1. Yole Développement, “Memory Packaging 2021 Report,” Yole Group, 2021, 轉引自 Ample Solutions 技術專欄, please refer to the website: <https://ampleglobal.com/sourcing-and-supply-chain-strategies/understanding-advanced-packaging-why-foundries-are-investing-heavily/>
2. BE Semiconductor Industries N.V. (Besi), “Investor Relations Presentation: Moore's Law Helps Drive Growth of Wafer Level Assembly,” please refer to the website: <https://uanalyze.com.tw/articles/918626067>
3. 優分析產業研究部, 「晶圓級封裝技術: Fan-In 與 Fan-Out 的架構差異」, 優分析, please refer to the website: <https://uanalyze.com.tw/articles/526485281>
4. 材料世界網, 「先進封裝技術發展趨勢與失效分析挑戰」, 材料世界網技術專欄, please refer to the website: <https://www.materialsnet.com.tw/DocView.aspx?id=1238>
5. S. J. Wang, L. T. Lin, and C. H. Chen, “Advanced Materials and Structural Characterization for Next-Generation Semiconductor Packaging,” *Nanomaterials*, vol. 15, no. 11, p. 840, 2025, <https://www.mdpi.com/2079-4991/15/11/840>
6. System Plus Consulting (Yole Group), “NVIDIA A100 Ampere GPU Reverse Engineering and Cost Analysis Report,” Yole Group, please refer to the website: <https://www.yolegroup.com>.
7. Yangyang Lai, Ke Pan and Seungbae Park, *Microelectronics Reliability*, **161**, 115477 (2024).
8. C. H. Tung, et al., (TSMC), “Wafer-level system integration of the fifth generation CoWoS®-S with high performance Si interposer at 2500 mm²,” 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), 2021, pp. 1-6. <https://ieeexplore.ieee.org/document/9501649>
9. Patrick W. Trimby *et al.*, *Acta Materialia*, **62**, 69 (2014).

作者簡介

邱珮如女士現為閎康科技股份有限公司研發中心專案管理副理。

Pei-Ju Chiu is currently a Deputy Project Manager at R&D Center of Materials Analysis Technology Inc. (MA-tek).